**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ**

**НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»**

**ІКНІ**

Кафедра **ПЗ**

**ЗВІТ**

до лабораторної роботи №4

на тему: «Синтез та моделювання основних типів регістрів та лічильників в системі Proteus»

з дисципліни: «Архітектура комп’ютера»

**Лектор** : доцент каф. ПЗ

Крук О.Г

**Виконала:** ст.гр.ПЗ-23

Кохман О.В.

**Прийняв:** доцент каф. ПЗ

Крук О.Г

«\_\_\_\_»\_\_\_\_\_\_\_\_\_\_2022 р.

\_ \_ \_ \_ \_ \_ \_ \_ .

Львів – 2022

**Тема:** Синтез та моделювання основних типів регістрів та лічильників в системі Proteus.

**Мета:** поглибити знання про будову та функціонування основних типів регістрів та лічильників; синтезувати їх схеми та виконати моделювання в системі програм Proteus; дослідити на основі отриманих часових діаграм їх роботу.

**Індивідуальне завдання**

**Варіант 11:**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| № | n | а1 … an | Ма | Мс | f0, КГц |
| 11 | 4 | 37, 21, 54, 61 | 10 | 14 | 56 |

**Теоретичні відомості**

**Протокол роботи**

F = 56000 Гц

T = 1/f = 1/56000 = 0.0000179 seconds

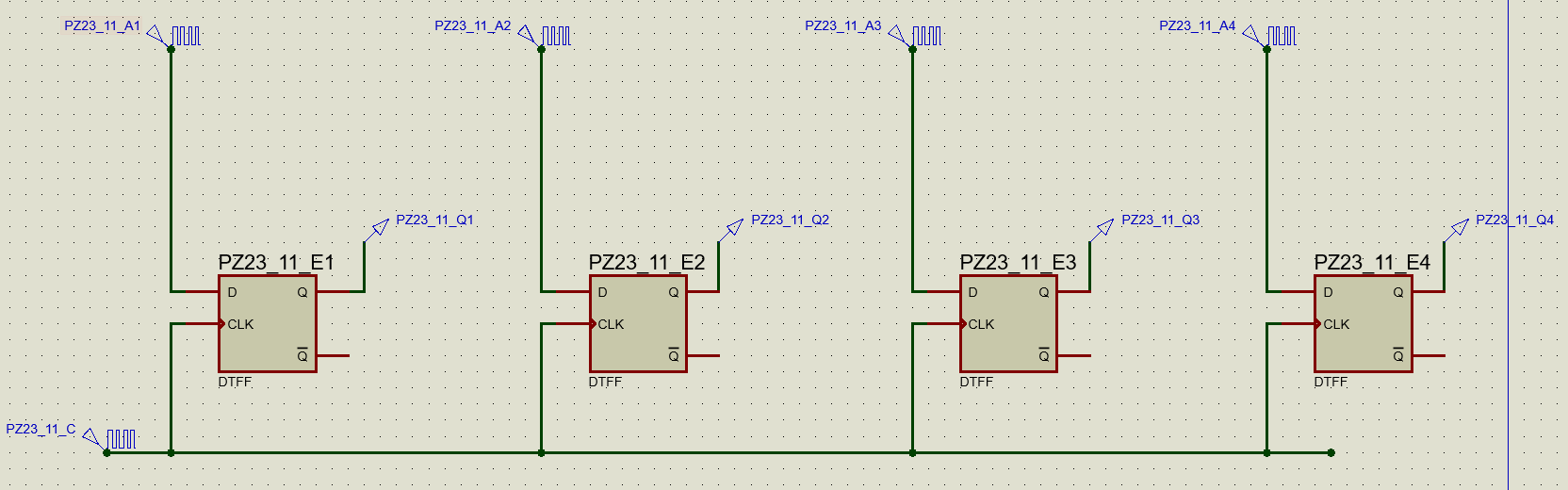
τ = Т/4 = 0.0000179/4 = 0.00000446 seconds

37 – 00100101

21 – 00010101

54 – 00110110

61 – 00111101

****

****

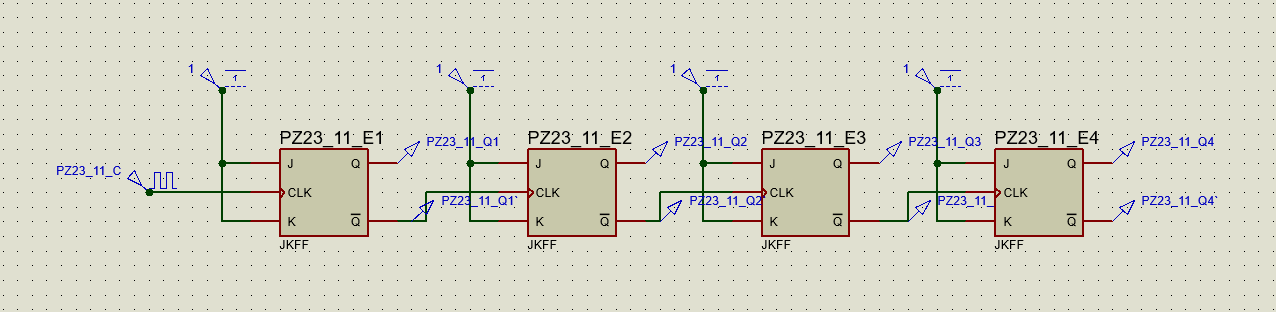


Рис. Схема 4-розрядного асинхронного підсумовуючого лічильника на JK-тригерах з прямим динамічним керууванням.



Рис. Часові діаграми на прямих виходах.



Рис. Часові діаграми на інверсних виходах.

**Висновки**