

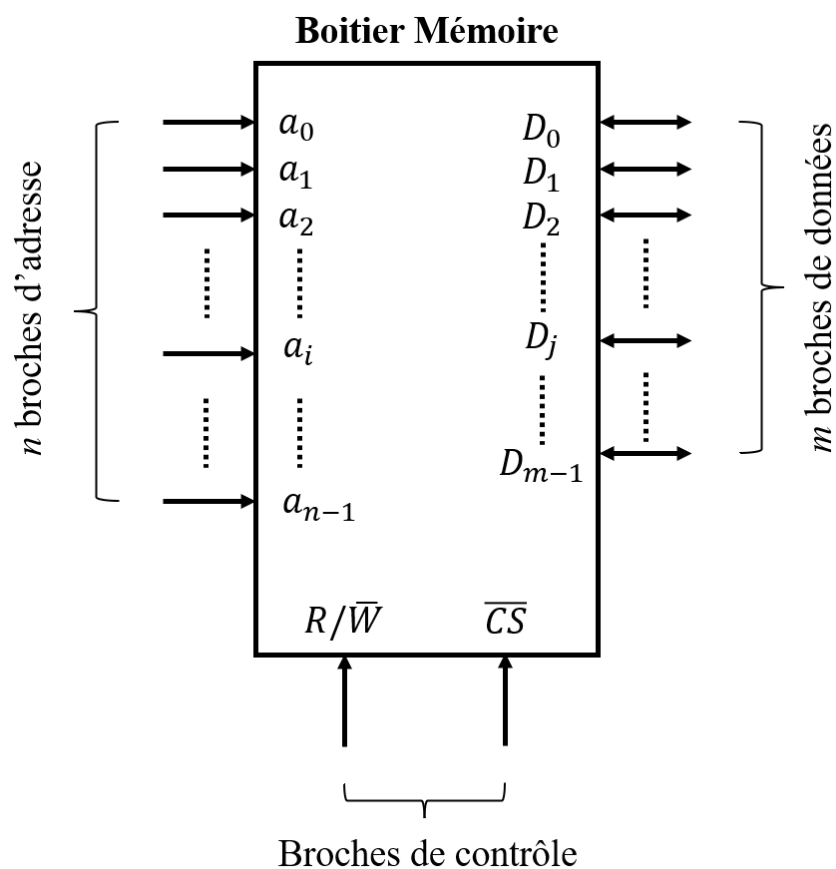
INFO2 : INFORMATIQUE EMBARQUEE

TD1 : Gestion des mémoires, adressage

1) Rappels : les mémoires, notion de sortie 3 états.

Sur un boîtier mémoire, on distingue les broches suivantes :

a_0 à a_{n-1} :	n broches d'adresses
D_0 à D_{m-1} :	m broches de données
$\overline{R/W}$:	commande de lecture ou d'écriture
\overline{CS} :	commande de sélection de boîtier



2) ORGANISATION DE LA MÉMOIRE CENTRALE POUR MICROPROCESSEUR 8 BITS (PRINCIPLE)

Pour expliquer le principe de l'association des mémoires, on va raisonner avec des boîtiers de faible capacité.
Le bus des microprocesseurs 8 bits est constitué de 8 fils de données (D_7 D_0)

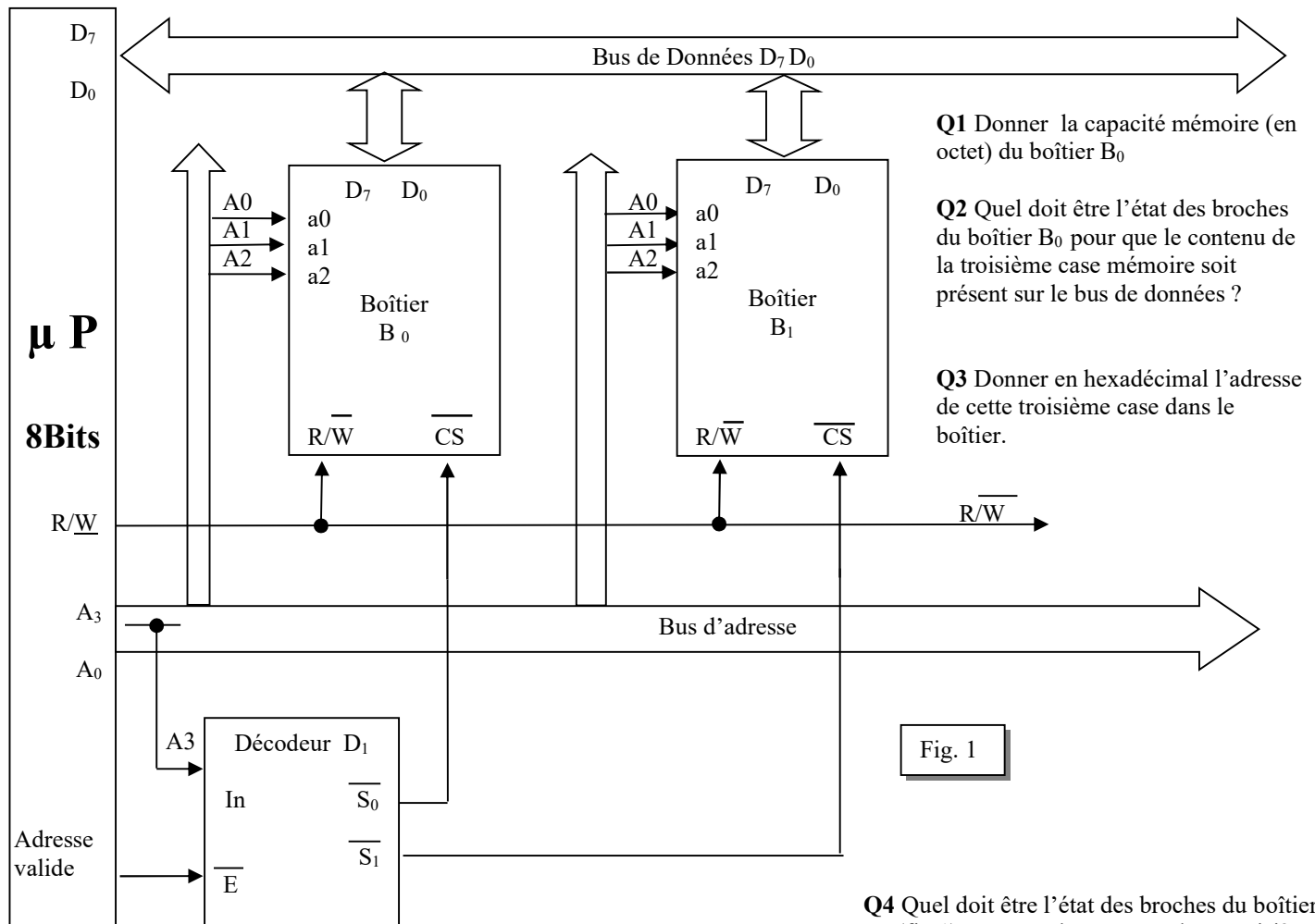


Fig. 1

Bus d'adresse				Bus de données	
A3	A2	A1	A0	D7	D0
0	0	0	0	1	0
0	0	0	1	1	0
0	0	1	0	1	1
0	0	1	1	1	1
0	1	0	0	1	1
0	1	0	1	1	1
0	1	1	0	1	1
0	1	1	1	1	1
1	0	0	0	1	0
1	0	0	1	1	0
1	0	1	0	1	0
1	0	1	1	1	0
1	1	0	0	1	1
1	1	0	1	1	1
1	1	1	0	1	1
1	1	1	1	1	0

Fig. 2

Q1 Donner la capacité mémoire (en octet) du boîtier B_0

Q2 Quel doit être l'état des broches du boîtier B_0 pour que le contenu de la troisième case mémoire soit présent sur le bus de données ?

Q3 Donner en hexadécimal l'adresse de cette troisième case dans le boîtier.

Q4 Quel doit être l'état des broches du boîtier B_1 (fig.1) pour que le contenu de sa troisième case mémoire soit présent sur le bus de données ?

(cf. fig. 2 ci contre).

Q5 Le premier boîtier B_0 doit être lu par le microprocesseur à partir des adresses 0 à 7. Le boîtier B_1 doit suivre le boîtier B_0 . Quelle est l'adresse de la deuxième case du boîtier B_1 vu du microprocesseur ?

Q6 Quel est le fil d'adresse qui contient l'information permettant de déterminer quel boîtier doit travailler ?

Q7 Donner l'adresse de base de B_0 et B_1

Q8 Donner la table de vérité du décodeur D1 fig. 1

\overline{E}	In	$\overline{S_1}$	$\overline{S_0}$

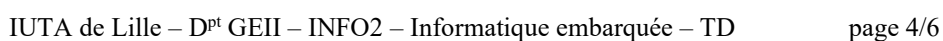
Fig. 3

Q9 Déterminer $\overline{S_0}$ = Fonction (\overline{E} , In) et $\overline{S_1}$ = Fonction (\overline{E} , In)

Q10 Donner un schéma du décodeur réalisé avec des opérateurs NAND

Si la capacité de la mémoire fig. 1 page 2 doit être doublée, il suffit de placer deux circuits supplémentaires B₂ et B₃ (cf. fig. 4.). Sur le schéma, les broches A0 à A2 du microprocesseur sont connectées aux broches a0 à a2 des boîtiers.

Remarque : rajouter R/W entre µP et boîtiers mémoire car sur ce schéma il a été oublié.



Q13 Exemple d'application avec un Pic 18F4520 vu du coté mémoire des données

Quelle est la taille maximum de la mémoire de données que peut piloter ce Pic ? Donnez la capacité en octet de chaque boîtier ; donnez les adresses de base et de fin de chaque boîtier ; dressez la cartographie de la mémoire. Sur le schéma, les broches A0 à A7 du microprocesseur sont connectées aux broches a0 à a7 des boîtiers.

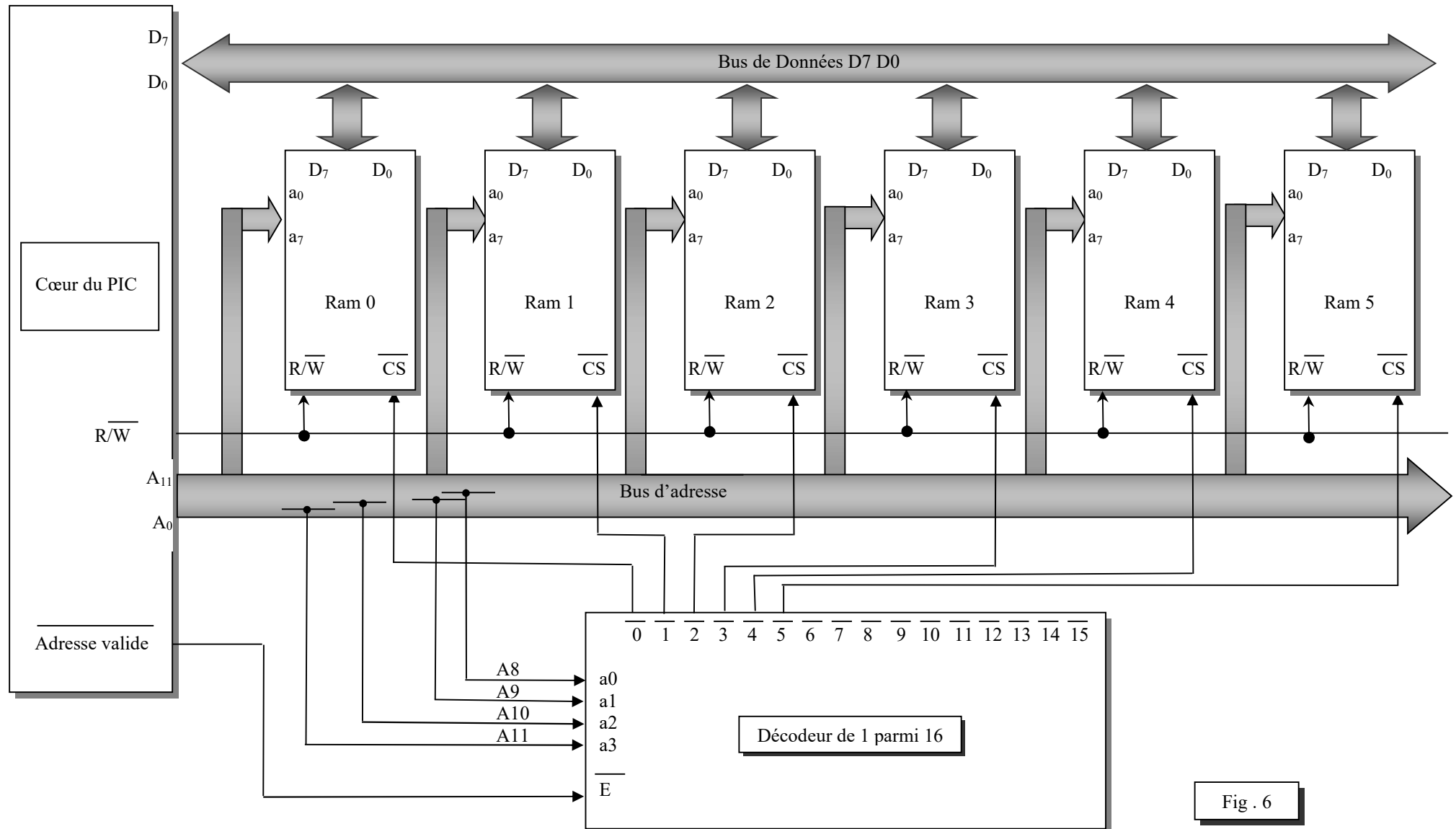


Fig . 6

	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	adresse
@base RAM0													
@fin RAM0													
@fin RAM5													

TABLE DE VERITE du décodeur de 1/16

\overline{E}	a3	a2	a1	a0	$\overline{15}$	$\overline{14}$	$\overline{13}$	$\overline{12}$	$\overline{11}$	$\overline{10}$	$\overline{9}$	$\overline{8}$	$\overline{7}$	$\overline{6}$	$\overline{5}$	$\overline{4}$	$\overline{3}$	$\overline{2}$	$\overline{1}$	$\overline{0}$
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1
0	0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1
0	0	1	0	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1
0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
0	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
0	1	0	0	0	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
0	1	0	0	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1
0	1	0	1	0	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1
0	1	0	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
0	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	1	1	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	X	X	X	X	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

X : 0 ou 1