

29-4-2017

Practica 9

Uso de Temporizadores/contadores
del uC ATmega1280



CARLOS OMAR CALDERON MEZA
MICROPROCESADORES Y MICROCONTROLADORES

Objetivo:

Mediante esta práctica el alumno aprenderá la programación y uso básico del Temporizador 0 y 2 del microcontrolador ATmega1280.

Material:

- Computadora Personal (con AVR Studio)
- Tarjeta T-Juino.
- Programa Terminal.

Equipo:

- Computadora Personal con USB, AVRStudio y WinAVR

Teoría:

- Programación del Timer 0 del microcontrolador
 - Programación del Timer 2 del microcontrolador
- (Diagrama, Funcionamiento, Registros de configuración y operación)

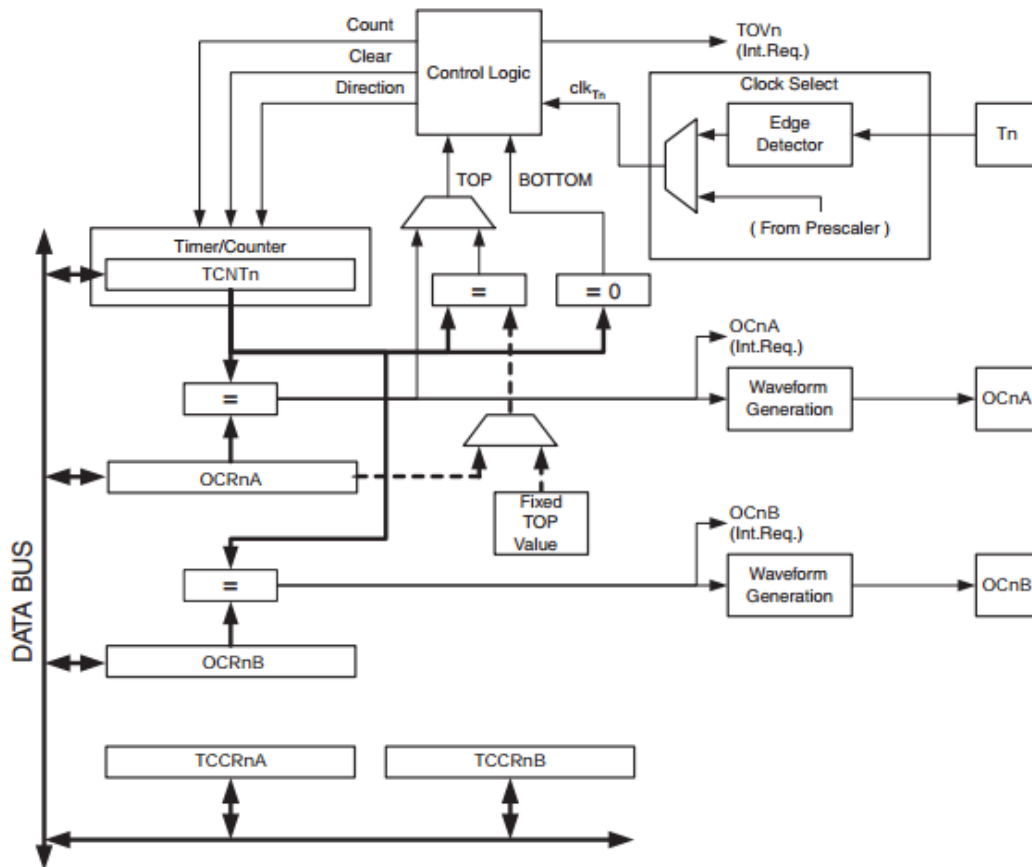
Timer/Counter 0**Características:**

- Dos unidades de output compare independientes
- Contador de eventos externos
- Generador de frecuencia
- Auto-carga (clear timer on compare match)
- Preescalador de 10 bits
- Tres fuentes de interrupción (TOV0, OCF0A, OCF0B)
- PMW con periodo variable

Es un módulo Temporizador/contador de propósito general de 8 bits, con dos unidades *output compare* independientes, y con apoyo de PWM. Permite una precisa temporización de la ejecución del programa (gestión de eventos) y la gestión de ondas.

A continuación se muestra el diagrama a bloques simplificado del temporizador/contador de 8 bits.

Figure 16-1. 8-bit Timer/Counter Block Diagram



Funcionamiento

El temporizador/contador (**TCNT0**) y output compare Register (**OCR0A y OCR0B**) son registros de 8 bits. Todas las señales de solicitud de interrupción son visibles en el Timer Interrupt flag register (**TIFR0**). Todas las interrupciones están enmascaradas por separado con el Timer Interrupt Mask Register (**TIMSK0**). TIFR0 y TIMSK no se muestran en la figura.

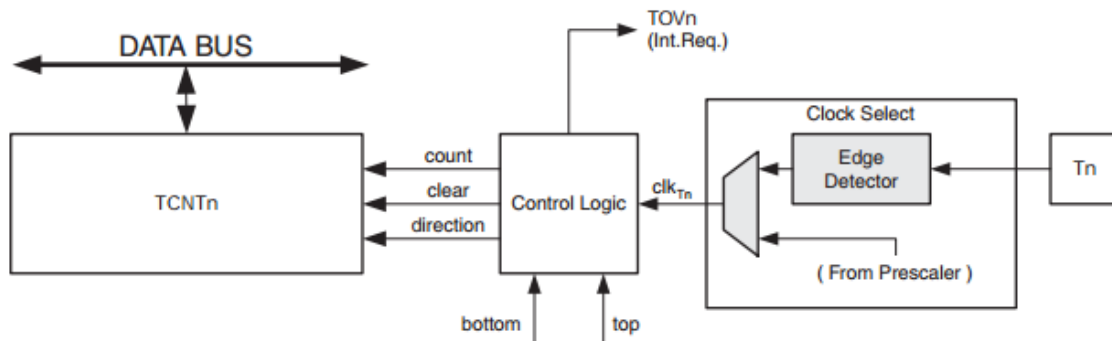
El temporizador/contador puede ser ajustado internamente, a través del pre-escalador, o por una fuente de reloj externa en el pin T0. La caja de control (**clock select**) selecciona el que utiliza el temporizador/contador de incremento o decremento. El temporizador/contador está inactivo cuando no se selecciona una fuente de reloj. La salida de la sección lógica del reloj se conoce como reloj temporizador (**clk T0**).

Los registros output compare register (OCR0A y OCR0B) se comparan con la salida del temporizador en todo momento. El resultado de la comparación puede ser utilizado por el generador de forma de onda para generar un PWM o los pin Output compare (**OC0A y OC0B**).

Las salidas de los pin OC0A y OC0B pueden ser utilizados para una petición de interrupción.

Unidad de contador

Figure 16-2. Counter Unit Block Diagram

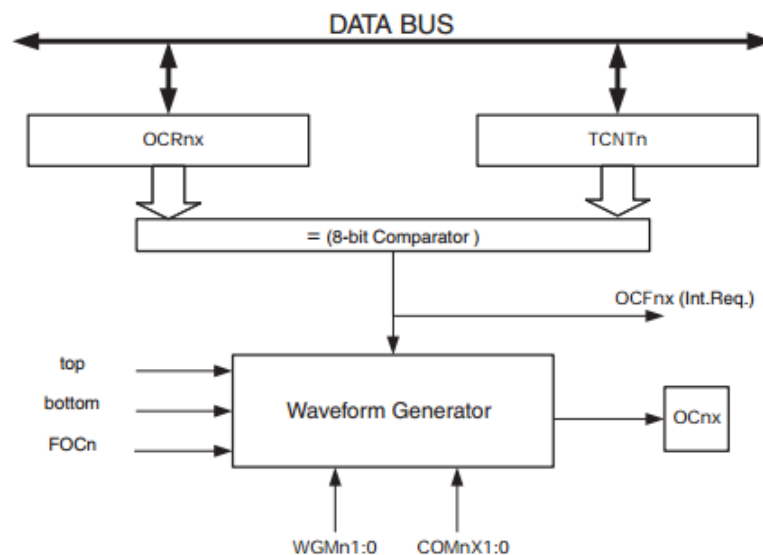


Señales

Count	Incrementar o decrementar en 1.
Direction	Selección de dirección incrementar y decrementar.
Ckear	Borrar TCNT0 (todos los bits a 0).
Clk-tn	Fuente de reloj del Temporizador/contador.
Top	Significa que TCNT0 ha alcanzado el máximo valor.
Bottom	Significa que TCNT0 ha alcanzado el mínimo valor (0).

Unidad Output Compare

Figure 16-3. Output Compare Unit, Block Diagram



El comparador de 8 bits esta comparando constantemente TCNT0 con los registros OCR0A Y OCR0B. Se pueden generar interrupciones cuando los registros son iguales.

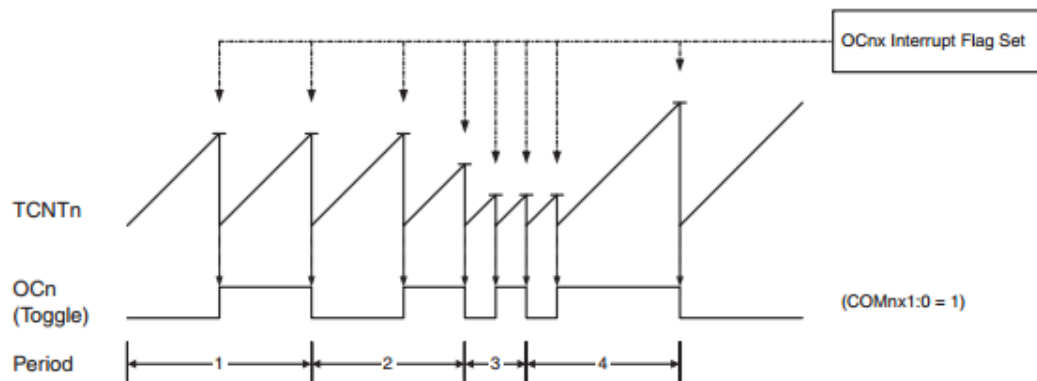
Modo normal

Es el modo más simple de funcionamiento. En este modo el sentido siempre es hacia arriba (incrementar), y no se realiza ningún contador claro. El contador simplemente se desborda cuando pasa su máximo valor de 8 bits (0xFF) y luego se reinicia desde la parte inferior (0x00). El indicador de desbordamiento (TOV0) se encuentra en el mismo ciclo que TCNT0 se convierte en 0.

Modo Clear time on compare Match (CTC)

En este modo se utiliza el registro OCR0A para manipular la resolución del Contador. EN el modo CTC el contador se pone a cero cuando el valor del contador (TCNT0) coincide con el de OCR0A. Este modo permite un mayor control de la frecuencia de salida del partido de comparación. También simplifica la operación de contar de contar los acontecimientos externos.

Figure 16-5. CTC Mode, Timing Diagram



Una interrupción puede ser generada cada vez que el valor del contador alcanza el valor TOP mediante el uso de la bandera OCF0A.

Registros

TCCR0A- Timer/counter Control Register A

Bit	7	6	5	4	3	2	1	0	
0x24 (0x44)	COM0A1	COM0A0	COM0B1	COM0B0	–	–	WGM01	WGM00	TCCR0A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- Bits 7:6 – COM0A 1:0: Comparación de la salida de ajuste A modo**

Estos bits controlan el comportamiento de comparación del pin OC0A. Si uno o ambos pin se establecen en 0 la salida OC0A anula la funcionalidad del puerto nomasl del pin I/O que está conectado.

Table 16-2. Compare Output Mode, non-PWM Mode

COM0A1	COM0A0	Description
0	0	Normal port operation, OC0A disconnected
0	1	Toggle OC0A on Compare Match
1	0	Clear OC0A on Compare Match
1	1	Set OC0A on Compare Match

Table 16-3. Compare Output Mode, Fast PWM Mode⁽¹⁾

COM0A1	COM0A0	Description
0	0	Normal port operation, OC0A disconnected
0	1	WGM02 = 0: Normal Port Operation, OC0A Disconnected WGM02 = 1: Toggle OC0A on Compare Match
1	0	Clear OC0A on Compare Match, set OC0A at BOTTOM (non-inverting mode)
1	1	Set OC0A on Compare Match, clear OC0A at BOTTOM (inverting mode)

Table 16-4. Compare Output Mode, Phase Correct PWM Mode⁽¹⁾

COM0A1	COM0A0	Description
0	0	Normal port operation, OC0A disconnected
0	1	WGM02 = 0: Normal Port Operation, OC0A Disconnected WGM02 = 1: Toggle OC0A on Compare Match
1	0	Clear OC0A on Compare Match when up-counting. Set OC0A on Compare Match when down-counting
1	1	Set OC0A on Compare Match when up-counting. Clear OC0A on Compare Match when down-counting

- **Bits 5:4 – COM0B 1:0: Comparación de ajuste en modo de salida B**

Estos bits controlan el comportamiento de comparación de salida del pin (OC0B). Si uno o ambos bits de la COM0B se establecen en 0, la salida OC0B anula la funcionalidad puerto normal del pin I/O conectado.

Table 16-5. Compare Output Mode, non-PWM Mode

COM0B1	COM0B0	Description
0	0	Normal port operation, OC0B disconnected
0	1	Toggle OC0B on Compare Match
1	0	Clear OC0B on Compare Match
1	1	Set OC0B on Compare Match

Table 16-6. Compare Output Mode, Fast PWM Mode⁽¹⁾

COM0B1	COM0B0	Description
0	0	Normal port operation, OC0B disconnected
0	1	Reserved
1	0	Clear OC0B on Compare Match, set OC0B at BOTTOM (non-inverting mode)
1	1	Set OC0B on Compare Match, clear OC0B at BOTTOM (inverting mode)

Table 16-7. Compare Output Mode, Phase Correct PWM Mode⁽¹⁾

COM0B1	COM0B0	Description
0	0	Normal port operation, OC0B disconnected
0	1	Reserved
1	0	Clear OC0B on Compare Match when up-counting. Set OC0B on Compare Match when down-counting
1	1	Set OC0B on Compare Match when up-counting. Clear OC0B on Compare Match when down-counting

- **Bits 3,2 – Reservados**

Estos bits están reservados y siempre se leen como cero.

- **Bits 1:0 – WGM01:0 Modo de generación de forma de ondas**

Combinados con el bit WGM02 encontrado en el registro TCCR0B, estos bits de controlan la secuencia de conteo del contador.

Table 16-8. Waveform Generation Mode Bit Description

Mode	WGM2	WGM1	WGM0	Timer/Counter Mode of Operation	TOP	Update of OCRx at	TOV Flag Set on ⁽¹⁾⁽²⁾
0	0	0	0	Normal	0xFF	Immediate	MAX
1	0	0	1	PWM, Phase Correct	0xFF	TOP	BOTTOM
2	0	1	0	CTC	OCRA	Immediate	MAX
3	0	1	1	Fast PWM	0xFF	TOP	MAX
4	1	0	0	Reserved	–	–	–
5	1	0	1	PWM, Phase Correct	OCRA	TOP	BOTTOM
6	1	1	0	Reserved	–	–	–
7	1	1	1	Fast PWM	OCRA	BOTTOM	TOP

OCR0A contiene un valor de 8 bits que se compara continuamente con el valor del contador TCNT0. Puede ser utilizado para una interrupción.

OCR0B – Output Compare Register B

Bit	7	6	5	4	3	2	1	0	
0x2B (0x4B)	OCR0B[7:0]								OCR0B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

OCR0B contiene un valor de 8 bits que se compara continuamente con el valor del contador TCNT0. Puede ser utilizado para una interrupción.

TIMSK0 – Timer/counter Interrupt Mask Register

Bit	7	6	5	4	3	2	1	0	
(0x6E)	-	-	-	-	-	OCIE0B	OCIE0A	TOIE0	TIMSK0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- Bits 7:3,0 – Reservados

Estos bits se encuentran reservados y siempre se lee como cero.

- **Bit 2 – OCIE0B: Timer/Counter Output compare Match B interrupt enable**

Habilita interrupción. La interrupción correspondiente se ejecuta si una comparación de ajuste timer/counter se produce, es decir, cuando el bit OCF0B se encuentre en el registro indicador de interrupciones TIFR0.

- **Bit 1 – OCIE0A: Timer/Counter Output Compare Match A interrupt enable**

Habilita interrupción. La interrupción correspondiente se ejecuta si una comparación de ajuste timer/counter se produce, es decir, cuando el bit OCF0A se encuentre en el registro indicador de interrupciones TIFR0.

- **Bit 0 – TOIE0: Timer/Counter 0 Overflow interrupt enable**

Habilita interrupción. La interrupción correspondiente se ejecuta si se produce desbordamiento en el Timer/Counter, es decir, cuando el bits TOV0 se active en el registro TIFR0.

TIFR0 – Timer/Counter 0 interrupt Flag Register

Bit	7	6	5	4	3	2	1	0	
0x15 (0x35)	–	–	–	–	–	OCF0B	OCF0A	TOV0	TIFR0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bits 7:3, 0- Reservados**

Estos bits se encuentran reservados y siempre se leen como cero.

- **Bit 2 – OCF0B: Timer/Counter 0 Output Compare Match Flag**

El bit OCF0B se establece cuando OCR0B es igual que el timer/counter. OCF0A se borra por hardware al ejecutar el correspondiente vector de manejo de interrupciones. Como alternativa, se borra OCF0B escribiendo 1 lógico a la bandera.

- **Bit 1 – OCF0A: Timer/Counter 0 Output Compare A Match Flag**

El bit OCF0A se establece cuando OCR0A es igual que el timer/counter. OCF0A se borra por hardware al ejecutar el correspondiente vector de manejo de interrupciones. Como alternativa, se borra OCF0A escribiendo 1 lógico a la bandera.

- **Bit 0 – TOV0: Timer/Counter 0 Overflog Flag**

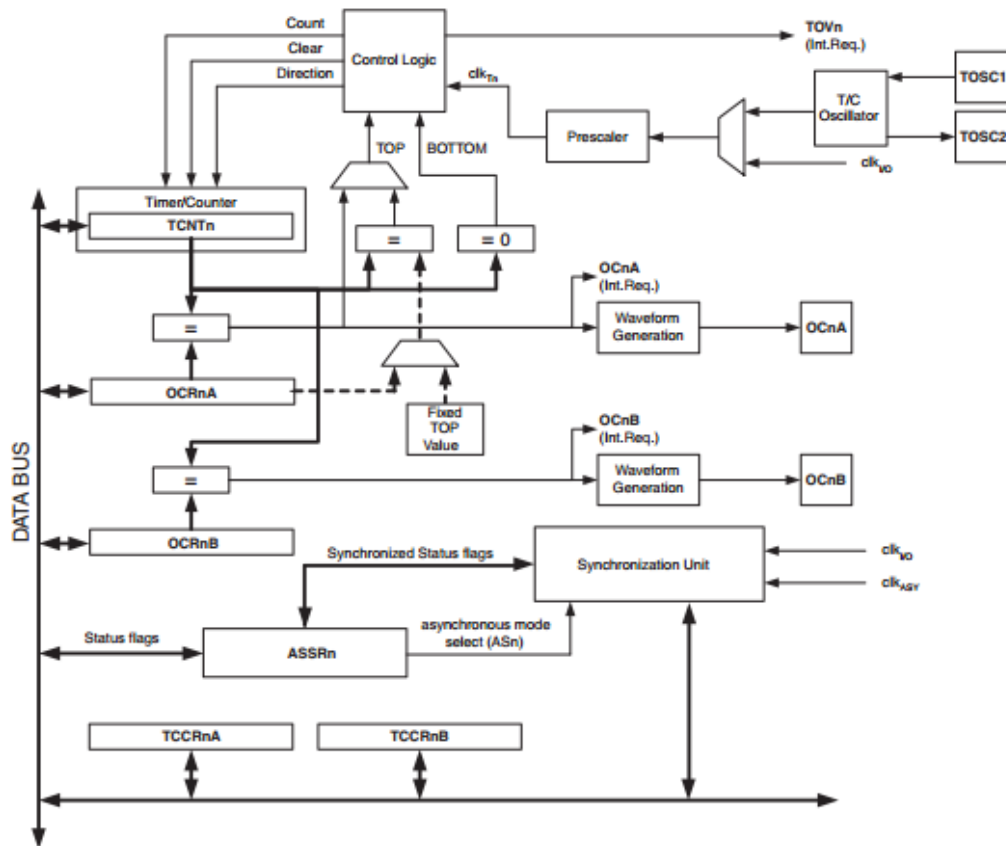
El bit TOV0 se establece cuando se produce un desbordamiento en el timer/counter. TOV0 se borra por hardware al ejecutar el correspondiente vector de manejo de interrupciones. Como alternativa, se borra OCF0A escribiendo 1 lógico a la bandera.

Timer/Counter 2

Características:

- Contador de un solo canal
- Borrador del temporizador si coincide en comparación (Auto-Reload)
- Modulación por ancho de pulso (PWM)
- Generador de frecuencia
- Pre-escalador de 10 bits
- Interrupción por sobre flujo en comparación exitosa (TOV2 y OCF2A y OCFB)
- Permite fuente de oscilación externa de 32 KHz independiente del reloj E/S

Figure 20-1. 8-bit Timer/Counter Block Diagram



Funcionamiento

El temporizador/contador (**TCNT2**) y output compare Register (**OCR2A** y **OCR2B**) son registros de 8 bits. Todas las señales de solicitud de interrupción son visibles en el Timer Interrupt flag register (**TIFR2**). Todas las interrupciones están enmascaradas por separado con el Timer Interrupt Mask Register (**TIMSK2**). TIFR2 y TIMSK2 no se muestran en la figura.

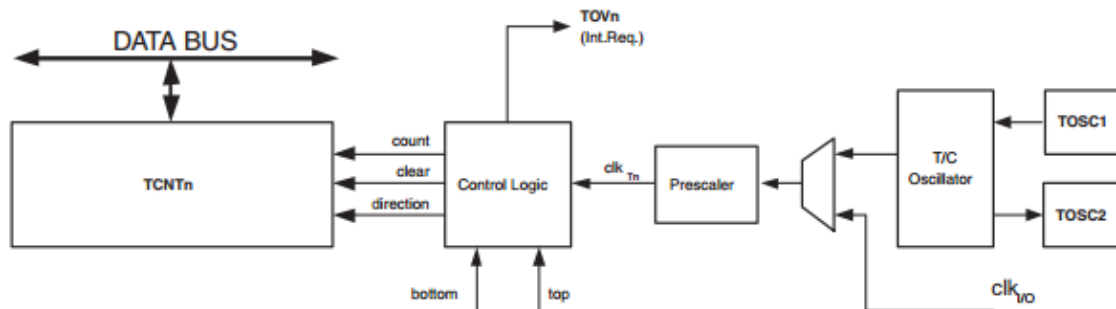
Puede ser ajustado internamente a través del pre escalador, o de forma asíncrona a partir de los pines TOSC1 y TOSC2.

Los registros output compare register (OCR2A y OCR2B) se comparan con la salida del temporizador en todo momento. El resultado de la comparación puede ser utilizado por el generador de forma de onda para generar un PWM o los pin Output compare (**OC2A y OC2B**).

Las salidas de los pin OC2A y OC2B pueden ser utilizados para una petición de interrupción.

Unidad de contador

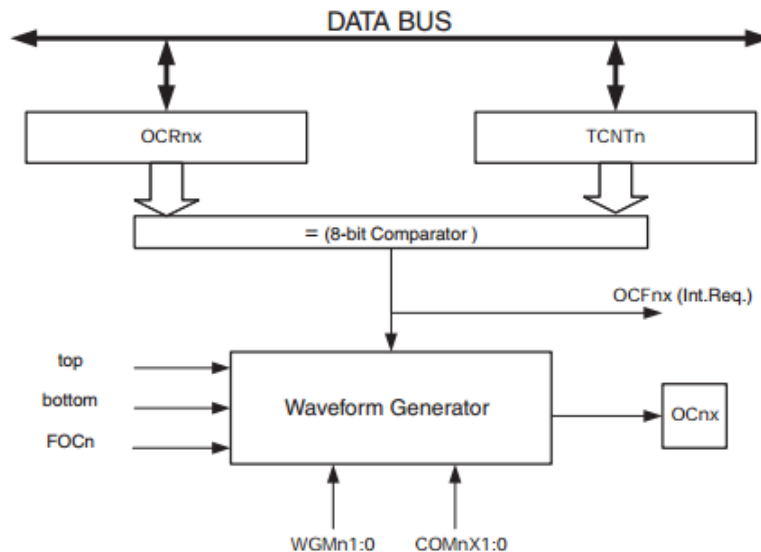
Figure 20-2. Counter Unit Block Diagram



Dependiendo del modo de operación utilizado, el contador se borra, incrementa o decrementa en cada pulso de reloj (clkT2). ClkT2 puede ser generado a partir de una fuente de reloj externa o interna, seleccionado por los bits de selección de reloj (CSS22:0). Cuando no se selecciona ninguna fuente de reloj el temporizador se detiene.

Unidad Output Compare

Figure 16-3. Output Compare Unit, Block Diagram



El comparador de 8 bits está comparando constantemente TCNT2 con los registros OCR2A Y OCR2B. Se pueden generar interrupciones cuando los registros son iguales.

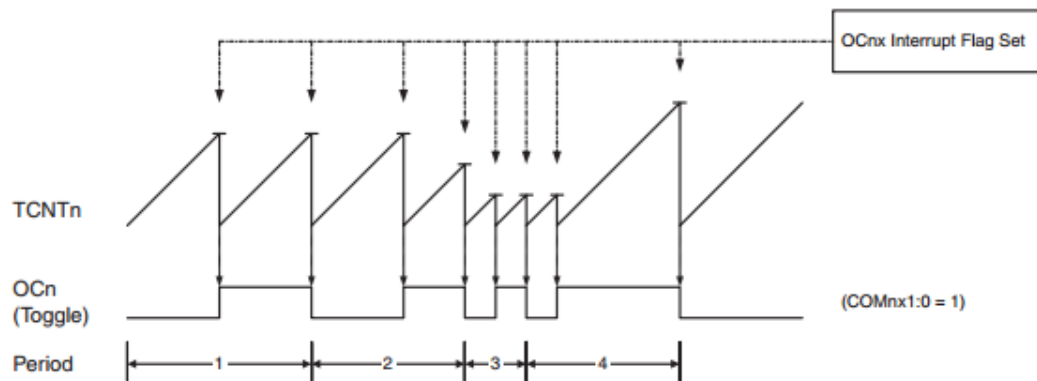
Modo normal

Es el modo más simple de funcionamiento. En este modo el sentido siempre es hacia arriba (incrementar), y no se realiza ningún contador claro. El contador simplemente se desborda cuando pasa su máximo valor de 8 bits (0xFF) y luego se reinicia desde la parte inferior (0x00). El indicador de desbordamiento (TOV0) se encuentra en el mismo ciclo que TCNT2 se convierte en 0.

Modo Clear time on compare Match (CTC)

En este modo se utiliza el registro OCR2A para manipular la resolución del Contador. EN el modo CTC el contador se pone a cero cuando el valor del contador (TCNT2) coincide con el de OCR2A. Este modo permite un mayor control de la frecuencia de salida del partido de comparación. También simplifica la operación de contar de contar los acontecimientos externos.

Figure 16-5. CTC Mode, Timing Diagram



Una interrupción puede ser generada cada vez que el valor del contador alcanza el valor TOP mediante el uso de la bandera OCF2A.

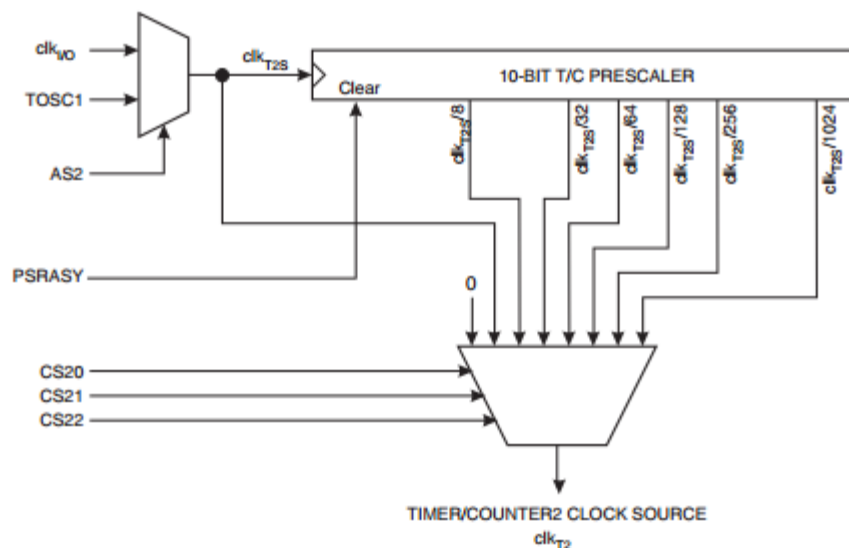
Operación asíncrona del timer/counter 2

Cuando el timer/counter2 opera de forma asíncrona se deben tomar algunas consideraciones. A continuación se muestra un procedimiento seguro de la fuente de reloj:

1. Deshabilitar timer/counter2 interrupt limpiando OCIE2x y TOIE2.
2. Seleccionar la fuente de reloj, ajustando el AS2 según corresponda.
3. Escribir los nuevos valores en TCNT2, OCR2x y TCCR2x.
4. Para cambiar a la operación asíncrona: esperar TCN2UB, OCR2xUB y TCR2xUB.
5. Limpiar el timer/counter interrupt flag.
6. Habilitar las interrupciones, si es necesario.

Timer/counter preescalador

Figure 20-12. Prescaler for Timer/Counter2



Registros

TCCR2A – Timer/Counter Control Register A

TCCR2A –Timer/Counter Control Register A

Bit	7	6	5	4	3	2	1	0	
(0xB0)	COM2A1	COM2A0	COM2B1	COM2B0	–	–	WGM21	WGM20	TCCR2A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Bits 7:6 – COM2A1:0 Comparación de salida de ajuste modo A

Estos bits controlan el comportamiento de la salida del pin (OCSA).

Table 20-2. Compare Output Mode, non-PWM Mode

COM2A1	COM2A0	Description
0	0	Normal port operation, OC2A disconnected
0	1	Toggle OC2A on Compare Match
1	0	Clear OC2A on Compare Match
1	1	Set OC2A on Compare Match

Table 20-3. Compare Output Mode, Fast PWM Mode⁽¹⁾

COM2A1	COM2A0	Description
0	0	Normal port operation, OC2A disconnected
0	1	WGM22 = 0: Normal Port Operation, OC2A Disconnected WGM22 = 1: Toggle OC2A on Compare Match
1	0	Clear OC2A on Compare Match, set OC2A at BOTTOM (non-inverting mode)
1	1	Set OC2A on Compare Match, clear OC2A at BOTTOM (inverting mode)

Table 20-4. Compare Output Mode, Phase Correct PWM Mode⁽¹⁾

COM2A1	COM2A0	Description
0	0	Normal port operation, OC2A disconnected
0	1	WGM22 = 0: Normal Port Operation, OC2A Disconnected WGM22 = 1: Toggle OC2A on Compare Match
1	0	Clear OC2A on Compare Match when up-counting Set OC2A on Compare Match when down-counting
1	1	Set OC2A on Compare Match when up-counting Clear OC2A on Compare Match when down-counting

Bits 5:4 – COM2B1:0: Comparación de ajuste de salida modo B

Estos bits controlan el comportamiento de comparación de salida pin (OC2B).

Table 20-5. Compare Output Mode, non-PWM Mode

COM2B1	COM2B0	Description
0	0	Normal port operation, OC2B disconnected
0	1	Toggle OC2B on Compare Match
1	0	Clear OC2B on Compare Match
1	1	Set OC2B on Compare Match

Table 20-6. Compare Output Mode, Fast PWM Mode⁽¹⁾

COM2B1	COM2B0	Description
0	0	Normal port operation, OC2B disconnected
0	1	Reserved
1	0	Clear OC2B on Compare Match, set OC2B at BOTTOM (non-inverting mode)
1	1	Set OC2B on Compare Match, clear OC2B at BOTTOM (inverting mode)

Table 20-7. Compare Output Mode, Phase Correct PWM Mode⁽¹⁾

COM2B1	COM2B0	Description
0	0	Normal port operation, OC2B disconnected
0	1	Reserved
1	0	Clear OC2B on Compare Match when up-counting Set OC2B on Compare Match when down-counting
1	1	Set OC2B on Compare Match when up-counting Clear OC2B on Compare Match when down-counting

Bits 3,2 – Reservados

Estos bits se reservan y siempre se leen como cero.

Bits 1:0 – WGM2 1:0 Modo de generación de formas de onda

Estos bits combinándolos con el WGM22 que se encuentra en el registro TCCR2B controlan la secuencia de conteo del contador.

Table 20-8. Waveform Generation Mode Bit Description

Mode	WGM2	WGM1	WGM0	Timer/Counter Mode of Operation	TOP	Update of OCRx at	TOV Flag Set on ⁽¹⁾⁽²⁾
0	0	0	0	Normal	0xFF	Immediate	MAX
1	0	0	1	PWM, Phase Correct	0xFF	TOP	BOTTOM
2	0	1	0	CTC	OCRA	Immediate	MAX
3	0	1	1	Fast PWM	0xFF	BOTTOM	MAX
4	1	0	0	Reserved	–	–	–
5	1	0	1	PWM, Phase Correct	OCRA	TOP	BOTTOM
6	1	1	0	Reserved	–	–	–
7	1	1	1	Fast PWM	OCRA	BOTTOM	TOP

TCCR2B – Timer/Counter Control Register B

TCCR2B – Timer/Counter Control Register B

Bit (0xB1)	7	6	5	4	3	2	1	0	
	FOC2A	FOC2B	–	–	WGM22	CS22	CS21	CS20	TCCR2B
Read/Write	W	W	R	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 7 – FOC2A: Force Output Compare A**

El bit FOC0A sólo se activa cuando los bits WGM especifican un modo no PWM.

- **Bit 6 – FOC2B: Force Output Compare B**

El bit FOC0B sólo se activa cuando los bits WGM especifican un modo no PWM

- **Bits 5:4 Res: Bits reservados**

Estos bits se reservan y siempre se leen como cero

- **Bit 3 – WGM22: Modo de forma de la onda generada**

Seleccionan el modo del contador junto con los bits WGM01, WGM00

- **Bits 2:0 – CS22:0 Selección del reloj**

Seleccionan la fuente de reloj para ser utilizado por el timer/counter:

Table 20-9. Clock Select Bit Description

CS22	CS21	CS20	Description
0	0	0	No clock source (Timer/Counter stopped)
0	0	1	$\text{clk}_{T2S}/(\text{No prescaling})$
0	1	0	$\text{clk}_{T2S}/8$ (From prescaler)
0	1	1	$\text{clk}_{T2S}/32$ (From prescaler)
1	0	0	$\text{clk}_{T2S}/64$ (From prescaler)
1	0	1	$\text{clk}_{T2S}/128$ (From prescaler)
1	1	0	$\text{clk}_{T2S}/256$ (From prescaler)
1	1	1	$\text{clk}_{T2S}/1024$ (From prescaler)

TCNT2 – Timer/Counter Register

TCNT2 – Timer/Counter Register

Bit	7	6	5	4	3	2	1	0	
(0xB2)	TCNT2[7:0]								TCNT2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

El registro temporizador/contador de acceso directo, tanto para la operación de lectura y escritura, a la unidad de temporizador/contador de 8 bits.

OCR2A – Output Compare Register A

OCR2A – Output Compare Register A

Bit	7	6	5	4	3	2	1	0	
(0xB3)	OCR2A[7:0]								OCR2A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

OCR2A contiene un valor de 8 bits que se compara continuamente con el valor del contador TCNT2. Puede ser utilizado para una interrupción.

OCR2B – Output Compare Register B

OCR2B – Output Compare Register B

Bit	7	6	5	4	3	2	1	0	
(0xB4)	OCR2B[7:0]								OCR2B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

OCR2B contiene un valor de 8 bits que se compara continuamente con el valor del contador TCNT2. Puede ser utilizado para una interrupción.

ASSR – Asynchronous Status Register

ASSR – Asynchronous Status Register

Bit	7	6	5	4	3	2	1	0	
(0xB6)	–	EXCLK	AS2	TCN2UB	OCR2AUB	OCR2BUB	TCR2AUB	TCR2BUB	ASSR
Read/Write	R	R/W	R/W	R	R	R	R	R	
Initial Value	0	0	0	0	0	0	0	0	

Bit 6 – EXCLK: Habilitación de reloj externo

Cuando está activado y se selecciona reloj asíncrono, el reloj se introduce en el temporizador TOSC1.

Bit 5 – AS2: timer/counter asíncrono

Cuando AS2 se escribe a 1 el timer/counter es sincronizado en el temporizador oscilador 1 (TOSC1).

Bit 4 – TCN2UB: Timer/Counter Update Busy

Cuando se active en 1 significa que se está actualizando. Un cero lógico en este bit indica que TCNT2 está listo para ser actualizado con un nuevo valor.

Bit 3 – OCR2AUB: Output Compare Register2 Update Busy

Cuando se active en 1 significa que se está actualizando. Un cero lógico en este bit indica que OCR2A está listo para ser actualizado con un nuevo valor.

Bit 2 – OCR2BUB: Output Compare Register2 Update busy

Cuando se active en 1 significa que se está actualizando. Un cero lógico en este bit indica que OCR2B está listo para ser actualizado con un nuevo valor.

Bit 1 – TCR2AUB: Timer/Counter Control Register2 Update Busy

Cuando se active en 1 significa que se está actualizando. Un cero lógico en este bit indica que TCCE2A está listo para ser actualizado con un nuevo valor.

Bit 0 – TCR2BUB: Timer/Counter Control Register2 Update Busy

Cuando se active en 1 significa que se está actualizando. Un cero lógico en este bit indica que TCCR2B está listo para ser actualizado con un nuevo valor.

TIMSK2 – Timer/Counter Interrupt Mask Register

TIMSK2 – Timer/Counter2 Interrupt Mask Register

Bit	7	6	5	4	3	2	1	0	
(0x70)	–	–	–	–	–	OCIE2B	OCIE2A	TOIE2	TIMSK2
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- Bits 7:3,0 – Reservados

Estos bits se encuentran reservados y siempre se lee como cero.

- Bit 2 – OCIE2B: Timer/Counter Output compare Match B interrupt enable

Habilita interrupción. La interrupción correspondiente se ejecuta si una comparación de ajuste timer/counter se produce, es decir, cuando el bit OCF2B se encuentre en el registro indicador de interrupciones TIFR2.

- **Bit 1 – OCIE2A: Timer/Counter Output Compare Match A interrupt enable**

Habilita interrupción. La interrupción correspondiente se ejecuta si una comparación de ajuste timer/counter se produce, es decir, cuando el bit OCF0A se encuentre en el registro indicador de interrupciones TIFR2.

- **Bit 0 – TOIE0: Timer/Counter 2 Overflow interrupt enable**

Habilita interrupción. La interrupción correspondiente se ejecuta si se produce desbordamiento en el Timer/Counter, es decir, cuando el bits TOV2 se active en el registro TIFR2.

TIFR2 – Timer/Counter2 interrupt Flag Register

TIFR2 – Timer/Counter2 Interrupt Flag Register

Bit	7	6	5	4	3	2	1	0	
0x17 (0x37)	–	–	–	–	–	OCF2B	OCF2A	TOV2	TIFR2
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bits 7:3, 0- Reservados**

Estos bits se encuentran reservados y siempre se leen como cero.

- **Bit 2 – OCF2B: Timer/Counter 0 Output Compare Match Flag**

El bit OCF2B se establece cuando OCR2B es igual que el timer/counter. OCF2A se borra por hardware al ejecutar el correspondiente vector de manejo de interrupciones. Como alternativa, se borra OCF2B escribiendo 1 lógico a la bandera.

- **Bit 1 – OCF2A: Timer/Counter 0 Output Compare A Match Flag**

El bit OCF2A se establece cuando OCR2A es igual que el timer/counter. OCF2A se borra por hardware al ejecutar el correspondiente vector de manejo de interrupciones. Como alternativa, se borra OCF2A escribiendo 1 lógico a la bandera.

- **Bit 0 – TOV2: Timer/Counter 2 Overflog Flag**

El bit TOV2 se establece cuando se produce un desbordamiento en el timer/counter. TOV2 se borra por hardware al ejecutar el correspondiente vector de manejo de interrupciones. Como alternativa, se borra OCF2A escribiendo 1 lógico a la bandera.

GTCCR – General Timer/Counter Control Register

GTCCR – General Timer/Counter Control Register

Bit	7	6	5	4	3	2	1	0	
0x23 (0x43)	TSM	–	–	–	–	–	PSRASY	PSRSYNC	GTCCR
Read/Write	R/W	R	R	R	R	R	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Bit 1 – PSRASY: Prescaler Reset Timer/Counter2

Cuando este bit es 1, el pre escalador del timer/counter se restablece. Este bit se borra normalmente inmediatamente por hardware. Si el bit se escribe cuando el timer/conter está funcionando en modo asíncrono, el bit seguirá siendo 1 hasta que el pre escalador sea restablecido.

Conclusiones y comentarios

Los timer/counter de los microcontroladores de ATmega son muy eficientes y sencillos de programar, es mucho más sencillo realizar retardos o delays con estos timer a hacerlo por software que requiere de mucho análisis.

Después de todo fue necesario recurrir a la placa TJ-uino aun teniendo el arduino mega 2560 ya que no cuenta con el cristal de 32khz para que trabaje el Timer2, como comento el profesor en clase ni siquiera tiene los pines disponibles para soldarle o adaptarle el cristal por nuestra parte.

Bibliografía

[1] Hoja de datos del ATmega640/1280/1281/2560/2561:

https://www.google.com.mx/url?sa=t&rct=j&q=&esrc=s&source=web&cd=1&cad=rja&uact=8&ved=0ahUKEwj90a7rg9fTAhUo0oMKHXBeA6YQFggkMAA&url=http%3A%2F%2Fwww.atmel.com%2FImages%2FAtmel-2549-8-bit-AVR-Microcontroller-ATmega640-1280-1281-2560-2561_datasheet.pdf&usq=AFQjCNHs4keTJWThJb5ooVtTVJP6OPi7fA&sig2=ZmDoLI8X5oITSapJV2U2Q