

# به نام خدا

موضوع: گزارش پروژه سیستم آبیاری هوشمند

درس مربوطه: طراحی کامپیوتری سیستم های دیجیتال

استاد مربوطه: آقای دکتر رضایی

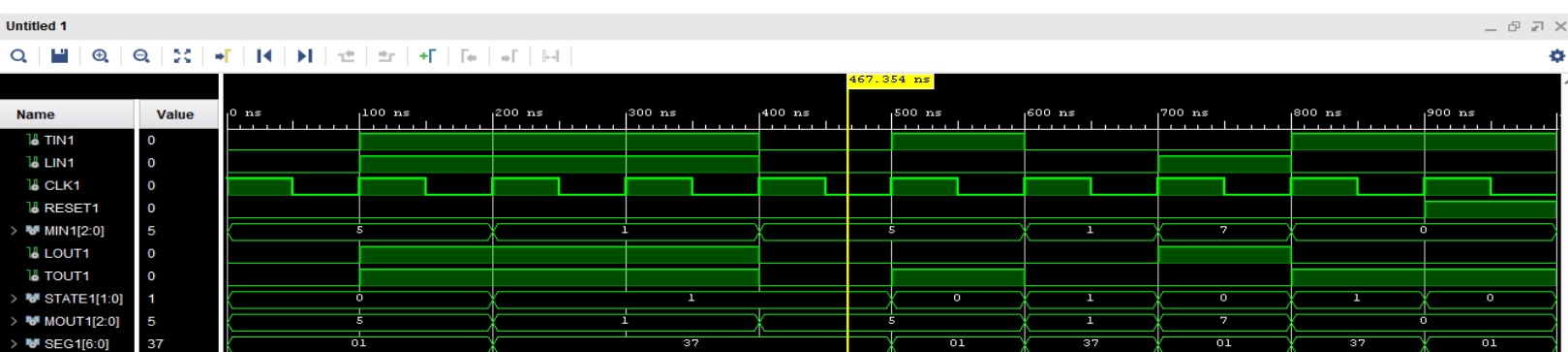
مشخصات دانشجو: امید طرب آور 400213016

## 1- مشکلات حین طراحی، کد نویسی و شبیه سازی پروژه:

- درک نکردن علت وجود استیت St2 در طرح FSM پروژه، در صورتی که فقط دو حالت ( آبیاری انجام نشود / آبیاری انجام بشود ) وجود دارد. (رفع شد: در مشکل بعدی بررسی خواهد شد)
- از آنجایی که در زمان  $t = 0$  در کلاک یک لبه بالا رونده ایجاد می شود، تغییراتی در استیت فعلی شکل می گرفت و طرح از استیت St1 شروع به کار می کرد و تا لبه بالا رونده بعدی نمی توانست آن را به استیت St0 باز گرداند. (رفع شد: ایجاد استیت St2)
- در حالتی که  $\text{Reset} = '1'$  می شد، طرح کار خود را به درستی انجام نمی داد و یا بعد از ریست شدن حالت،  $\text{Reset} = '1'$  می ماند و حالت فعلی در هر کلاک به حالت St0 انتساب داده می شد. (رفع شد: ایجاد تغییرات در پروسس CMB و اولویت قرار دادن Reset در پروسس کلاک)
- تکرار بعضی از کدها در بخش های مختلف پروسس CMB. (رفع شد: با ایجاد پروسس های مختلف، کدهای تکراری را به قطعه کد های مختلف تبدیل کردیم)
- مشکل در درک سنتز برنامه

## 2- گزارش شبیه سازی به همراه تصاویر آن:

- در کد تست بنچ برنامه سعی شد که برنامه را با حالات مختلف انتقال در ماشین حالت بررسی کنیم و نتیجه را بصورت عکس گزارش دهیم.



### 3- گزارش خروجی سنتز به همراه تصاویر آن ها:

WSystemVivado - [D:/GitHub/sutec-fpga-1402/WSystemVivado/WSystemVivado.xpr] - Vivado 2019.1

File Edit Flow Tools Reports Window Layout View Help Q- Quick Access Implementation Complete ✓ Default Layout

Flow Navigator SYNTHESIZED DESIGN - xc7vx485ffg1157-1

PROJECT MANAGER

- Settings
- Add Sources
- Language Templates
- IP Catalog

IP INTEGRATOR

- Create Block Design
- Open Block Design
- Generate Block Design

SIMULATION

- Run Simulation

RTL ANALYSIS

- Open Elaborated Design

SYNTHESIS

- Run Synthesis
- Open Synthesized Design
  - Constraints Wizard
  - Edit Timing Constraints
  - Set Up Debug
  - Report Timing Summary

Sources

Project Summary x Device x

Overview | Dashboard

Settings Edit

Project name: WSystemVivado  
Project location: D:/GitHub/sutec-fpga-1402/WSystemVivado  
Product family: Virtex-7  
Project part: xc7vx485ffg1157-1  
Top module name: WSystem  
Target language: VHDL  
Simulator language: VHDL

Synthesis

Status: Complete  
Messages: 7 warnings  
Part: xc7vx485ffg1157-1  
Strategy: Vivado Synthesis Defaults  
Report Strategy: Vivado Synthesis Default Reports  
Incremental synthesis: None

Implementation

Status: Complete  
Messages: 6 warnings  
Part: xc7vx485ffg1157-1  
Strategy: Vivado Implementation Defaults  
Report Strategy: Vivado Implementation Default Reports  
Incremental implementation: None

DRC Violations

Summary: 2 critical warnings  
1 warning  
Implemented DRC Report

Timing

Worst Negative Slack (WNS): NA  
Total Negative Slack (TNS): NA  
Number of Failing Endpoints: NA

Summary | Route Status

Tcl Console Messages Log Reports Design Runs

Undo the last edit

WSystemVivado - [D:/GitHub/sutec-fpga-1402/WSystemVivado/WSystemVivado.xpr] - Vivado 2019.1

File Edit Flow Tools Reports Window Layout View Help Q- Quick Access Implementation Complete ✓ Default Layout

Flow Navigator SYNTHESIZED DESIGN - xc7vx485ffg1157-1

PROJECT MANAGER

- Settings
- Add Sources
- Language Templates
- IP Catalog

IP INTEGRATOR

- Create Block Design
- Open Block Design
- Generate Block Design

SIMULATION

- Run Simulation

RTL ANALYSIS

- Open Elaborated Design

SYNTHESIS

- Run Synthesis
- Open Synthesized Design
  - Constraints Wizard
  - Edit Timing Constraints
  - Set Up Debug
  - Report Timing Summary

Sources

Project Summary x Device x

Overview | Dashboard

Strategy: Vivado Synthesis Defaults  
Report Strategy: Vivado Synthesis Default Reports  
Incremental synthesis: None

DRC Violations

Summary: 2 critical warnings  
1 warning  
Implemented DRC Report

Timing

Worst Negative Slack (WNS): NA  
Total Negative Slack (TNS): NA  
Number of Failing Endpoints: NA  
Total Number of Endpoints: NA  
Implemented Timing Report

Utilization

Post-Synthesis | Post-Implementation

Graph | Table

LUT 1%  
FF 1%  
IO 4%  
BUFG 3%

Utilization (%)

Power

Summary | On-Chip

Total On-Chip Power: 3.246 W  
Junction Temperature: 29.5 °C  
Thermal Margin: 55.5 °C (38.1 W)  
Effective 3JA: 1.4 °C/W  
Power supplied to off-chip devices: 0 W  
Confidence level: Low  
Implemented Power Report

Tcl Console Messages Log Reports Design Runs

Open

Timing

Design Timing Summary

General Information

Timer Settings

Design Timing Summary

Check Timing (16)

Intra-Clock Paths

Inter-Clock Paths

Other Path Groups

User Ignored Paths

Unconstrained Paths

Setup

Worst Negative Slack (WNS): inf

Total Negative Slack (TNS): 0.000 ns

Number of Failing Endpoints: 0

Total Number of Endpoints: 13

Hold

Worst Hold Slack (WHS): inf

Total Hold Slack (THS): 0.000 ns

Number of Failing Endpoints: 0

Total Number of Endpoints: 13

Pulse Width

Worst Pulse Width Slack (WPWS): NA

Total Pulse Width Negative Slack (TPWS): NA

Number of Failing Endpoints: NA

Total Number of Endpoints: NA

There are no user specified timing constraints.

Timing

Check Timing

General Information

Timer Settings

Design Timing Summary

Check Timing (16)

Intra-Clock Paths

Inter-Clock Paths

Other Path Groups

User Ignored Paths

Unconstrained Paths

Timing Check	Count	Worst Severity
no_input_delay	6	High
no_output_delay	5	High
unconstrained_internal_endpoints	3	High
no_clock	2	High
constant_clock	0	
pulse_width_clock	0	
multiple_clock	0	
generated_clocks	0	
loops	0	
partial_input_delay	0	
partial_output_delay	0	
latch_loops	0	

Clock Networks

Unconstrained (2 loads)

CLK (0.00 MHz) (drives 2 loads)

CLK

I (CLK\_IBUF\_inst)

CLK\_IBUF\_inst (IBUF)

CLK\_IBUF\_instO (CLK\_IBUF\_instO)

CLK\_IBUF (CLK\_IBUF)

I (CLK\_IBUF\_BUFG\_inst)

CLK\_IBUF\_BUFG\_inst (BUFG)

CLK\_IBUF\_BUFG\_instO (CLK\_IBUF\_BUFG\_instO)

CLK\_IBUF\_BUFG (CLK\_IBUF\_BUFG)

C (PS\_reg[1]C)

PS\_reg[1] (FDPE)

C (PS\_reg[0]C)

PS\_reg[0] (FDCE)

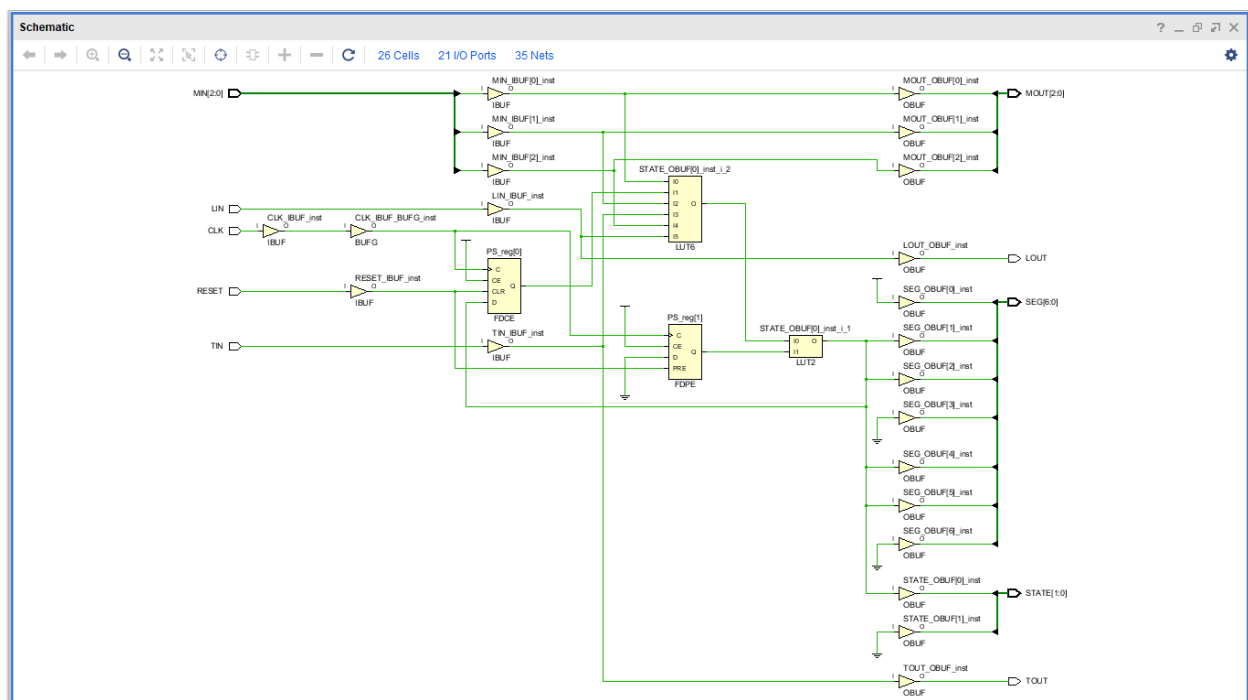
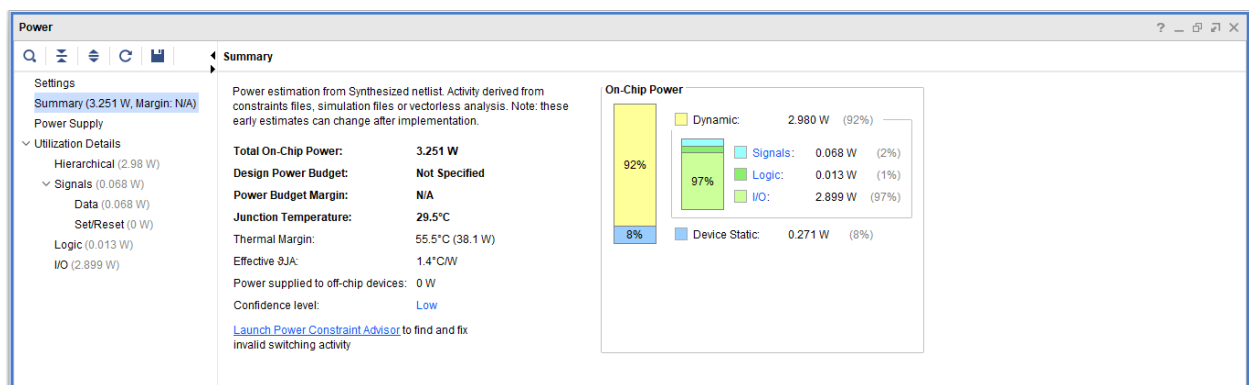
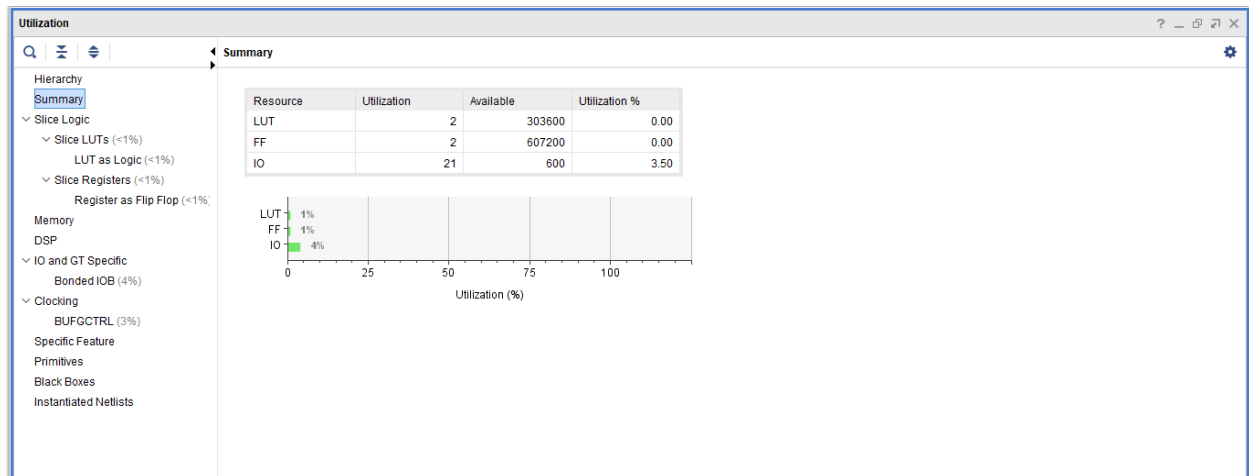
Methodology

2 Critical Warnings

Hide All

Name	Severity	Details
All Violations (2)		
Timing (2)		
Bad Practice (2)		
TIMING-17 (2)		
TIMING #1	Critical Warning	The clock pin PS_reg[0]C is not reached by a timing clock
TIMING #2	Critical Warning	The clock pin PS_reg[1]C is not reached by a timing clock





دو فایل رپورت دیگر در کنار این فایل پی دی اف موجود است.

لینک گیت هاب پروژه:

[sutech-fpga-1402 · GitFront](#)