本科生期末试卷（一）

一、选择题（每小题1分，共15分）

  1  从器件角度看，计算机经历了五代变化。但从系统结构看，至今绝大多数计算机仍属于（ B ）计算机。

A  并行    B  冯·诺依曼    C  智能    D  串行

考查：常识

  2  某机字长32位，其中1位表示符号位。若用定点整数表示，则最小负整数为（ A ）。

A  -(231-1)    B  -(230-1)    C  -(231+1)    D  -(230+1)

考查：32位定点整数表示范围

  3  以下有关运算器的描述，（ C  ）是正确的。

A  只做加法运算

    B  只做算术运算

C  算术运算与逻辑运算

D  只做逻辑运算

考查：运算器的功能

  4  EEPROM是指（ D ）。

    A  读写存储器    B  只读存储器

C  闪速存储器    D  电擦除可编程只读存储器

考查：EEPROM

  5  常用的虚拟存储系统由（ B ）两级存储器组成，其中辅存是大容量的磁表面存储器。

A  cache-主存    B  主存-辅存    C  cache-辅存    D  通用寄存器-cache

考查：虚拟存储系统两级结构

  6  RISC访内指令中，操作数的物理位置一般安排在（ D ）。

A  栈顶和次栈顶

    B  两个主存单元

C  一个主存单元和一个通用寄存器

D  两个通用寄存器

考查：RISC指令和CISC指令

  7  当前的CPU由（ B  ）组成。

A  控制器

    B  控制器、运算器、cache

C  运算器、主存

D  控制器、ALU、主存

考查：CPU组成

  8  流水CPU是由一系列叫做“段”的处理部件组成。和具备m个并行部件的CPU相比，一个m段流水CPU的吞吐能力是（ A ）。

A  具备同等水平

    B  不具备同等水平

C  小于前者

D  大于前者

考查：流水CPU

  9  在集中式总线仲裁中，（ A  ）方式响应时间最快。

A  独立请求    B  计数器定时查询    C  菊花链

考查：集中式总线仲裁

  10  CPU中跟踪指令后继地址的寄存器是（ C ）。

    A  地址寄存器    B  指令计数器

C  程序计数器    D  指令寄存器

考查：程序计数器

  11  从信息流的传输速度来看，（ A  ）系统工作效率最低。

    A  单总线    B  双总线

C  三总线    D  多总线

考查：总线结构

  12  单级中断系统中，CPU一旦响应中断，立即关闭（ C ）标志，以防止本次中断服务结束前同级的其他中断源产生另一次中断进行干扰。

    A  中断允许    B  中断请求

C  中断屏蔽    D  DMA请求

考查:中断过程

  13  安腾处理机的典型指令格式为（ C ）位。

A  32位    B  64位    C  41位    D  48位

考查：安腾处理机

  14  下面操作中应该由特权指令完成的是（ B  ）。

A  设置定时器的初值

    B  从用户模式切换到管理员模式

C  开定时器中断

D  关中断

考查：特权指令

  15  下列各项中，不属于安腾体系结构基本特征的是（ D ）。

A  超长指令字

    B  显式并行指令计算

C  推断执行

D  超线程

考查：安腾体系结构

二、填空题（每小题2分，共20分）

  1  字符信息是符号数据，属于处理（非数值  ）领域的问题，国际上采用的字符系统是七单位的（  ASCII ）码。

  2  按IEEE754标准，一个32位浮点数由符号位S（1位）、阶码E（8位）、尾数M（23位）三个域组成。其中阶码E的值等于指数的真值（ e ）加上一个固定的偏移值（ 127 ）。

  3  双端口存储器和多模块交叉存储器属于并行存储器结构，其中前者采用（  时间）并行技术，后者采用（  空间 ）并行技术。

  4  虚拟存储器分为页式、（ 段 ）式、（ 段页 ）式三种。

  5  安腾指令格式采用5个字段：除了操作码（OP）字段和推断字段外，还有3个7位的（ 地址码 ）字段，它们用于指定（ 寄存器 ）2个源操作数和1个目标操作数的地址。

  6  CPU从内存取出一条指令并执行该指令的时间称为（ 指令周期  ），它常用若干个（ CPU周期 ）来表示。

  7  安腾CPU中的主要寄存器除了128个通用寄存器、128个浮点寄存器、128个应用寄存器、1个指令指针寄存器（即程序计数器）外，还有64个（1位推断寄存器  ）和8个（ 64位分支寄存器  ）。

  8  衡量总线性能的重要指标是（总线带宽  ），它定义为总线本身所能达到的最高传输速率，单位是（ MB/s ）。

  9  DMA控制器按其结构，分为（ 选择型 ）DMA控制器和（ 多路型 ）DMA控制器。前者适用于高速设备，后者适用于慢速设备。

  10  64位处理机的两种典型体系结构是（Intel64体系结构  ）和（安腾体系结构  ）。前者保持了与IA-32的完全兼容，后者则是一种全新的体系结构。

三、简答题（每小题8分，共16分）

  1  CPU中有哪几类主要寄存器，用一句话回答其功能。

答：A.数据缓冲寄存器(DR)B.指令寄存器(IR)C.程序计算器(PC)D.数据地址

寄存器(AR)E.通用寄存器(R0～R3)F.状态字寄存器(PSW)

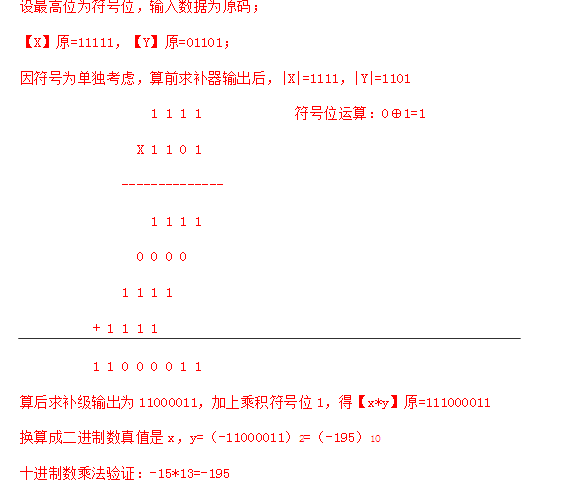
功能：执行指令、操作、时间的控制以及数据加工。

  2  指令和数据都用二进制代码存放在内存中，从时空观角度回答CPU如何区分读出的代码是指令还是数据。

答：计算机可以从时间和空间两方面来区分指令和数据，在时间上，取指周期从内存中取出的是指令，而执行周期从内存取出或往内存中写入的是数据，在空间上，从内存中取出指令送控制器，而执行周期从内存中取出的数据送运算器

四、计算题（10分）

设x=-15，y=+13，数据用补码表示，用带求补器的阵列乘法器求出乘积x×y，并用十进制数乘法进行验证。



五、证明题（12分）

用定量分析方法证明多模块交叉存储器带宽大于顺序存储器带宽。

证明：假设（1）存储器模块字长=数据总线宽度

（2）模块存取一个字的存储周期=T

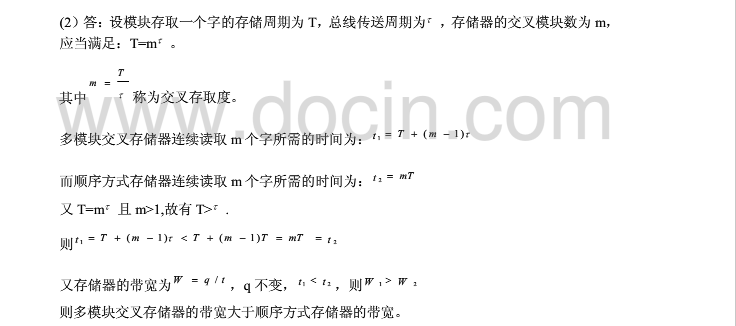
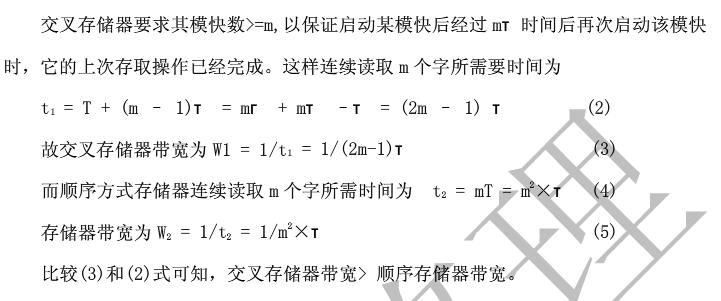
(3)总线传送周期为t

（4）交叉存储器的交叉模块为m

P88

交叉存储器为了实现流水线方式存储，即通过t时间延迟

T=mt ( 1 )



六、设计题（15分）

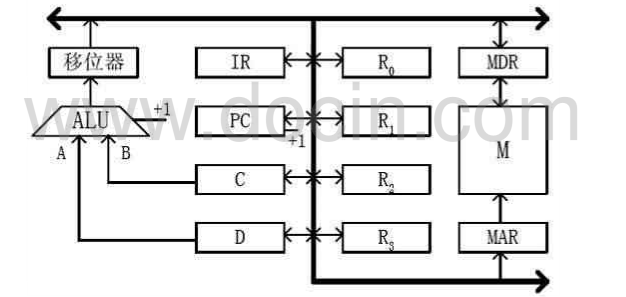
    某计算机有下图所示的功能部件，其中M为主存，指令和数据均存放在其中，MDR为主存数据寄存器，MAR为主存地址寄存器，R0～R3为通用寄存器，IR为指令寄存器，PC为程序计数器（具有自动加1功能），C、D为暂存寄存器，ALU为算术逻辑单元，移位器可左移、右移、直通传送。

    ⑴将所有功能部件连接起来，组成完整的数据通路，并用单向或双向箭头表示信息传送方向。

    ⑵画出“ADD R1，（R2）”指令周期流程图。该指令的含义是将R1中的数与（R2）指示的主存单元中的数相加，相加的结果直通传送至R1中。

    ⑶若另外增加一个指令存贮器，修改数据通路，画出⑵的指令周期流程图。

(1)



(2)

M->MDR->IR,PC+1

测试

R1->MDR

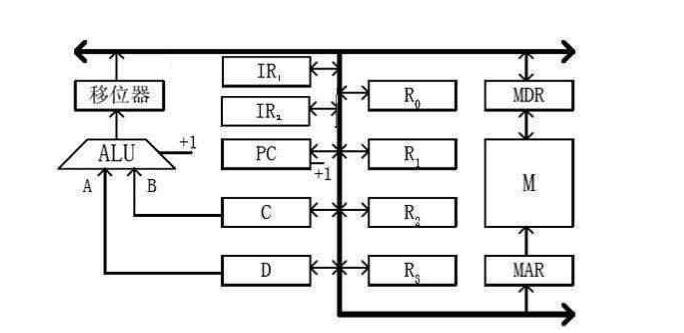
M->MDR>-C

R2->MDR

M->MDR->D

C+D->R1

PC->MAR



七、分析计算题（12分）

如果一条指令的执行过程分为取指令、指令译码、指令执行三个子过程，每个子过程时间都为100ns。

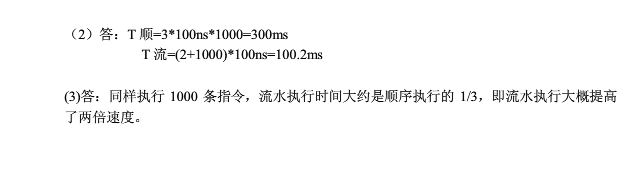
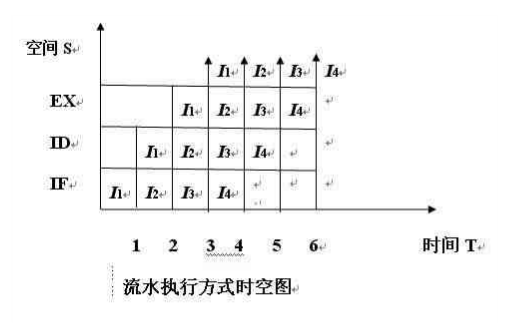
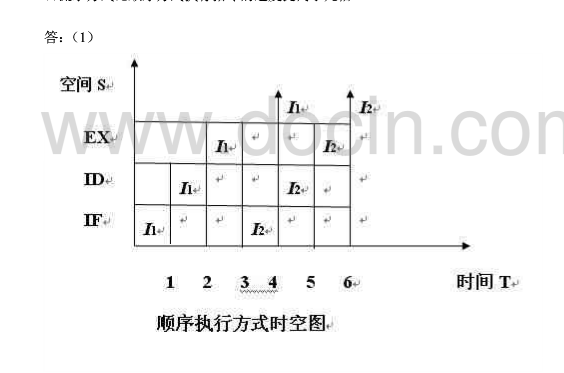
⑴请分别画出指令顺序执行和流水执行方式的时空图。

⑵计算两种情况下执行n=1000条指令所需的时间。

⑶流水方式比顺序方式执行指令的速度提高了几倍？

P170

(1)



本科生期末试卷（二）

一、选择题（每小题1分，共15分）

  1  冯·诺依曼机工作的基本方式的特点是（ B  ）。

A  多指令流单数据流

B  按地址访问并顺序执行指令

C  堆栈操作

    D  存贮器按内容选择地址

  2  在机器数（ BC ）中，零的表示形式是唯一的。

    A  原码    B  补码    C  移码    D  反码

  3  在定点二进制运算器中，减法运算一般通过（ D ）来实现。

A  原码运算的二进制减法器

B  补码运算的二进制减法器

C  原码运算的十进制加法器

    D  补码运算的二进制加法器

  4  某计算机字长32位，其存储容量为256MB，若按单字编址，它的寻址范围是（ D ）。

    A  0—64MB    B  0—32MB    C  0—32M    D  0—64M

  5  主存贮器和CPU之间增加cache的目的是（ A ）。

A  解决CPU和主存之间的速度匹配问题

B  扩大主存贮器容量

C  扩大CPU中通用寄存器的数量

    D  既扩大主存贮器容量，又扩大CPU中通用寄存器的数量

  6  单地址指令中为了完成两个数的算术运算，除地址码指明的一个操作数外，另一个常需采用（ C ）。

A  堆栈寻址方式    B  立即寻址方式

    C  隐含寻址方式    D  间接寻址方式

  7  同步控制是（  C ）。

A  只适用于CPU控制的方式

B  只适用于外围设备控制的方式

C  由统一时序信号控制的方式

    D  所有指令执行时间都相同的方式

  8  描述PCI总线中基本概念不正确的句子是（ CD ）。

A  PCI总线是一个与处理器无关的高速外围设备

B  PCI总线的基本传输机制是猝发式传送

C  PCI设备一定是主设备

    D  系统中只允许有一条PCI总线

  9  CRT的分辨率为1024×1024像素，像素的颜色数为256，则刷新存储器的容量为（ B  ）。

A  512KB    B  1MB    C  256KB    D  2MB

256=2的8次方，8位=1B，1024\*1024\*1B=1MB

  10  为了便于实现多级中断，保存现场信息最有效的办法是采用（ B   ）。

    A  通用寄存器    B  堆栈    C  存储器    D  外存

  11  特权指令是由（  C ）执行的机器指令。

    A  中断程序    B  用户程序    C  操作系统核心程序    D  I/O程序

  12  虚拟存储技术主要解决存储器的（ B ）问题。

    A  速度    B  扩大存储容量    C  成本    D  前三者兼顾

  13  引入多道程序的目的在于（ A ）。

A  充分利用CPU，减少等待CPU时间

B  提高实时响应速度

C  有利于代码共享，减少主辅存信息交换量

    D  充分利用存储器

  14  64位双核安腾处理机采用了（ A ）技术。

    A  流水    B  时间并行    C  资源重复    D  流水+资源重复

  15  在安腾处理机中，控制推测技术主要用于解决（ B ）问题。

A  中断服务

B  与取数指令有关的控制相关

C  与转移指令有关的控制相关

    D  与存数指令有关的控制相关

二、填空题（每小题2分，共20分）

  1  在计算机术语中，将ALU控制器和（ 内  ）存储器合在一起称为（ 主机 ）。

  2  数的真值变成机器码可采用原码表示法，反码表示法，（补码 ）表示法，（ 移码 ）表示法。

  3  广泛使用的（ SRAM ）和（DRAM  ）都是半导体随机读写存储器。前者的速度比后者快，但集成度不如后者高。

  4  反映主存速度指标的三个术语是存取时间、（ 存储器带宽  ）和（存储周期  ）。

  5  形成指令地址的方法称为指令寻址，通常是（ 顺序 ）寻址，遇到转移指令时（ 跳跃 ）寻址。

  6  CPU从（ 内存 ）取出一条指令并执行这条指令的时间和称为（ 指令周期 ）。

  7  RISC指令系统的最大特点是：只有（取数  ）指令和（存数  ）指令访问存储器，其余指令的操作均在寄存器之间进行。

  8  微型机的标准总线，从带宽132MB/S的32位（ 字长  ）总线发展到64位的（指令  ）总线。

  9  IA-32表示（ Intel ）公司的（ 32 ）位处理机体系结构。

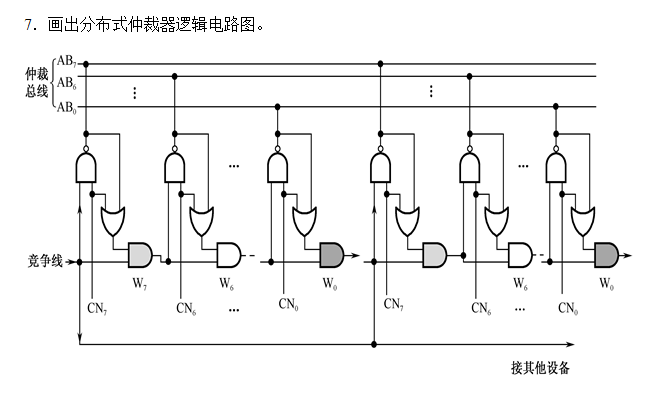
  10  安腾体系机构采用显示并行指令计算技术，在指令中设计了（ 属性 ）字段，用以指明哪些指令可以（并行  ）执行。

三、简答题（每小题8分，共16分）

  1  简述64位安腾处理机的体系结构主要特点。

1 显式并行指令计算技术 2 超长指令字技术 3 分支推断技术 4 推测技术 5 软件流水技术 6 寄存器堆栈技术

2  画出分布式仲裁器的逻辑示意图。

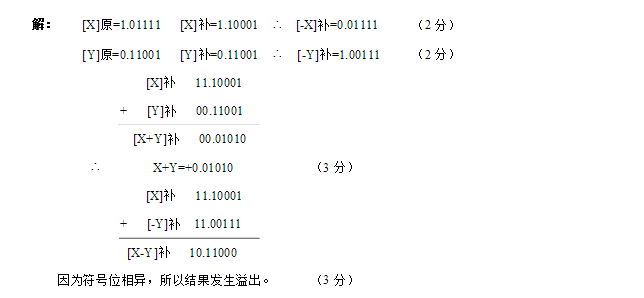


四、计算题（10分）

    已知x=-0.01111，y=+0.11001,求：

  ①  [x]补，[-x]补，[y]补，[-y]补；

  ②  x+y,x-y,判断加减运算是否溢出。



五、分析题（12分）

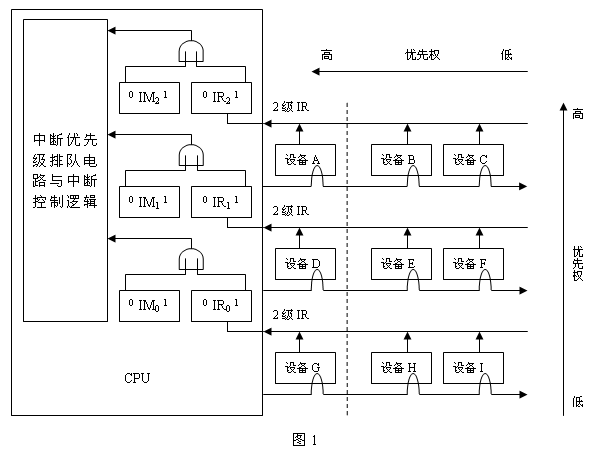
    参见图1，这是一个二维中断系统，请问：

    ①  在中断情况下，CPU和设备的优先级如何考虑？请按降序排列各设备的中断优先级。

    ②  若CPU现执行设备C的中断服务程序，IM2，IM1，IM0的状态是什么？如果CPU执行设备H的中断服务程序，IM2，IM1，IM0的状态又是什么？

    ③  每一级的IM能否对某个优先级的个别设备单独进行屏蔽？如果不能，采取什么方法可达到目的？

    ④  若设备C一提出中断请求，CPU立即进行响应，如何调整才能满足此要求？



解：

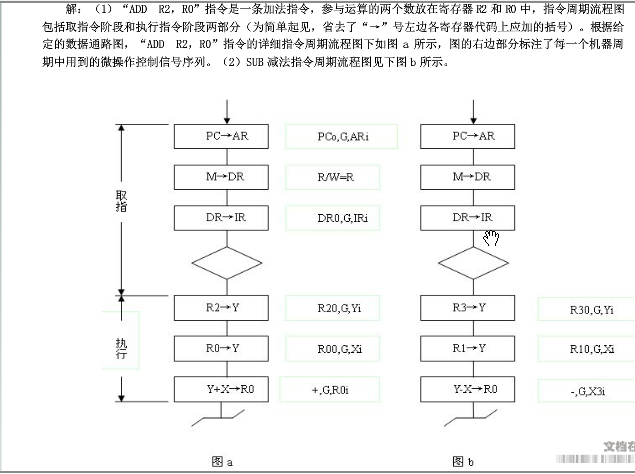
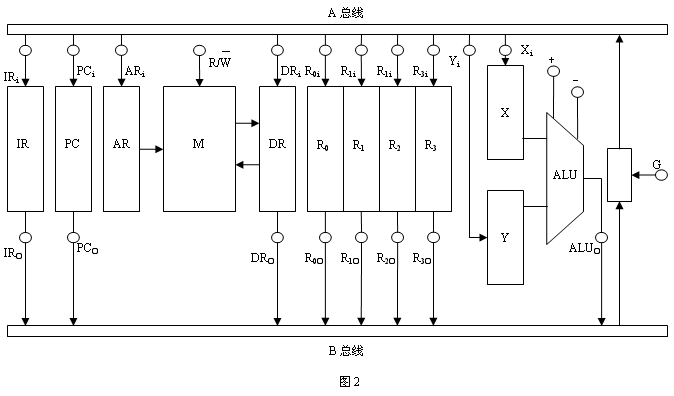
1. 在中断情况下，CPU的优先级最低。各设备优先级次序是：A-B-C-D-E-F-G-H-I-CPU
2. 执行设备B的中断服务程序时IM0IM1IM2=111；执行设备D的中断服务程序时IM0IM1IM2=011。
3. 每一级的IM标志不能对某优先级的个别设备进行单独屏蔽。可将接口中的BI（中断允许）标志清“0”，它禁止设备发出中断请求。
4. 要使C的中断请求及时得到响应，可将C从第二级取出，单独放在第三级上，使第三级的优先级最高，即令IM3=0即可 。

六、设计题（15分）

    图2所示为双总线结构机器的数据通路，IR为指令寄存器，PC为程序计数器（具有自增功能），M为主存（受R/W#信号控制），AR为地址寄存器，DR为数据缓冲寄存器，ALU由加、减控制信号决定完成何种操作，控制信号G控制的是一个门电路。另外，线上标注有小圈表示有控制信号，例中yi表示y寄存器的输入控制信号，R1o为寄存器R1的输出控制信号，未标字符的线为直通线，不受控制。

　　①  “ADD　R2,R0”指令完成(R0)+(R2)→R0的功能操作，画出其指令周期流程图，假设该指令的地址已放入PC中。并在流程图每一个CPU周期右边列出相应的微操作控制信号序列。

　　②  若将（取指周期）缩短为一个CPU周期，请先画出修改数据通路，然后画出指令周期流程图。



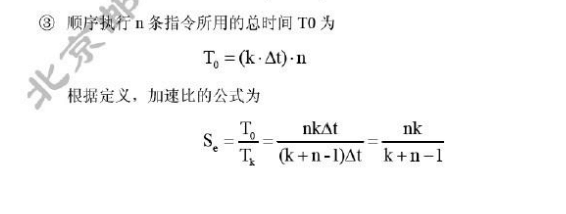
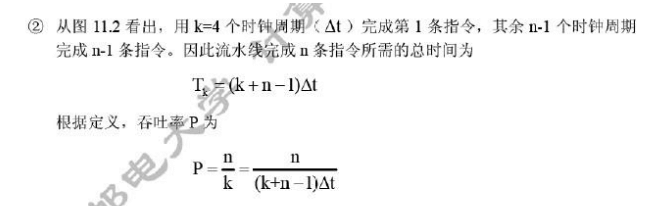
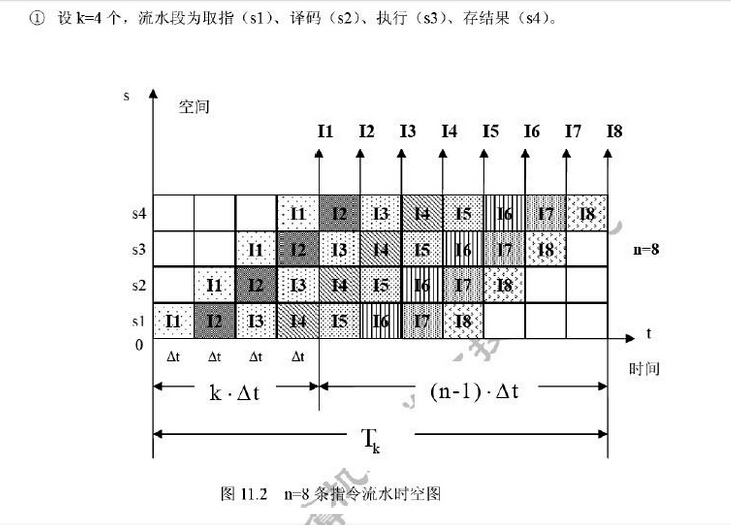
七、分析题（12分）

设有k=4段指令流水线，它们是取指令、译码、执行、存结果，各流水段持续时间均为Δt。

①连续输入n=8条指令，请画出指令流水线时空图。

②推导流水线实际吞吐率的公式P，它定义为单位时间中输出的指令数。

③推导流水线的加速比公式S，它定义为顺序执行几条指令所用的时间与流水执行几条指令所用的时间之比。



本科生期末试卷（三）

一、选择题（每小题1分，共15分）

  1  下列数中最小的数是（  C ）。

    A  （101001）2    B  （52）8    C  （101001）BCD    D  （233）16

  2  某DRAM芯片，其存储容量为512K×8位，该芯片的地址线和数据线的数目是（ D ）。

A  8，512    B  512，8    C  18，8    D  19，8

512=2的9次方，K=2的10次方，题目中有错误，应该是512K\*8位

  3  在下面描述的汇编语言基本概念中，不正确的表述是（  D ）。

A  对程序员的训练要求来说，需要硬件知识

    B  汇编语言对机器的依赖性高

C  用汇编语言编写程序的难度比高级语言小

    D  汇编语言编写的程序执行速度比高级语言慢

  4  交叉存储器实质上是一种多模块存储器，它用（ A ）方式执行多个独立的读写操作。

    A  流水    B  资源重复    C  顺序    D  资源共享

  5  寄存器间接寻址方式中，操作数在（ B ）。

    A  通用寄存器    B  主存单元    C  程序计数器    D  堆栈

  6  机器指令与微指令之间的关系是（ A ）。

A  用若干条微指令实现一条机器指令

    B  用若干条机器指令实现一条微指令

C  用一条微指令实现一条机器指令

    D  用一条机器指令实现一条微指令

  7  描述多媒体CPU基本概念中，不正确的是（ CD  ）。

A  多媒体CPU是带有MMX技术的处理器

    B  MMX是一种多媒体扩展结构

C  MMX指令集是一种多指令流多数据流的并行处理指令

    D  多媒体CPU是以超标量结构为基础的CISC机器

  8  在集中式总线仲裁中，（ A ）方式对电路故障最敏感。

    A  菊花链    B  独立请求    C  计数器定时查询

  9  流水线中造成控制相关的原因是执行（ D  ）指令而引起。

    A  条件转移    B  访内    C  算逻    D  无条件转移

  10  PCI总线是一个高带宽且与处理器无关的标准总线。下面描述中不正确的是（  B ）。

A  采用同步定时协议    B  采用分布式仲裁策略

    C  具有自动配置能力    D  适合于低成本的小系统

  11  下面陈述中，不属于外围设备三个基本组成部分的是（ D  ）。

    A  存储介质    B  驱动装置    C  控制电路    D  计数器

  12  中断处理过程中，（ B  ）项是由硬件完成。

    A  关中断    B  开中断    C  保存CPU现场    D  恢复CPU现场

  13  IEEE1394是一种高速串行I/O标准接口。以下选项中，（ D ）项不属于IEEE1394的协议集。

    A  业务层    B  链路层    C  物理层    D  串行总线管理

  14  下面陈述中，（ A ）项属于存储管理部件MMU的职能。

    A  分区式存储管理    B  交换技术    C  分页技术

  15  64位的安腾处理机设置了四类执行单元。下面陈述中，（  D ）项不属于安腾的执行单元。

A  浮点执行单元    B  存储器执行单元

    C  转移执行单元    D  定点执行单元

二、填空题（每小题2分，共20分）

  1  定点32位字长的字，采用2的补码形式表示时，一个字所能表示的整数范围是（-2的32次方到2的32次方-1  ）。

  2  IEEE754标准规定的64位浮点数格式中，符号位为1位，阶码为11位，尾数为52位，则它能表示的最大规格化正数为（1+(1-2的-52次方）)\*2的1023次方  ）。

  3  浮点加、减法运算的步骤是（ 0操作数处理 ）、（比较阶码大小并完成对阶  ）、（尾数求和运算  ）、（ 结果规格化 ）、（ 舍入处理 ）。

  4  某计算机字长32位，其存储容量为64MB，若按字编址，它的存储系统的地址线至少需要（  24 ）条。

  5  一个组相联映射的Cache，有128块，每组4块，主存共有16384块，每块64个字，则主存地址共（ 20 ）位，其中主存字块标记应为（ 9 ）位，组地址应为（ 5 ）位，Cache地址共（  13）位。

先将Cache分组，组数=128/4=32。故Cache组地址占5位，块内地址占6位，块地址占两位。故Cache地址共5+6+2=13位。主存=16384\*64=2^20字；故按字编制，主存地址为（20）位，由于采用的是第一种组相连映射，即组相连映射关系为：i=j mod Q(i为Cache组号，j为主存块号，Q为Cache组数）。故组地址为（5位）。（如果按字节编址，块内地址位数增1，Cache地址位数增1，主存位数也增1）   
如果采用第二种全相连映射方法，则先将主存按照Cache大小分区，共128个区，故区号占7位，再将每个区分组，每个区内的组数和Cache的组数相等（32组）故组地址占5位，每组有4个块，故块地址为2位，块内地址同第一种全相连映射方法中块内地址长度相同，主存地址=区号+组号+组内块号+块内地址。故按字编址，主存地址=7+5+2+6=20（位）（按字节编址时块内地址为6位，故主存地址为21位）。Cache地址=组号+组内块号+块内地址=5+2+6=13位（按字节编址时为14位）主存有16384\*64=2的20次方，20-6-5=9（主存字块标记=主存地址-块内地址-组地址）

  7  某中断系统中，每抽取一个输入数据就要中断CPU一次，中断处理程序接收取样的数据，并将其保存到主存缓冲区内。该中断处理需要X秒。另一方面，缓冲区内每存储N个数据，主程序就将其取出进行处理，这种处理需要Y秒，因此该系统可以跟踪到每秒（ N/(NX+Y）  ）次中断请求。

中断次数 / 处理该次数的中断所需的时间  
  
依题意：中断N次，所需要的总处理时间=N\*X (中断处理时间) +Y（缓冲处理时间）  
  
故答案为A

8  在计算机系统中，多个系统部件之间信息传送的公共通路称为（ 总线 ）。就其所传送信息的性质而言，在公共通路上传送的信息包括（数据信息  ）、（ 地址信息 ）、（ 控制信息 ）。

  9  在虚存系统中，通常采用页表保护、段表保护和键保护方法实现（ 存储区域 ）保护。

  10  安腾体系结构采用推测技术，利用（ 控制 ）推测方法和（ 数据 ）推测方法提高指令执行的并行度。

三、简答题（每小题8分，共16分）

  1  列表比较CISC处理机和RISC处理机的特点。



  2  简要列出64位的安腾处理机体系结构的主要特点。

1 显式并行指令计算技术。 2 超长指令字技术 3 分支推断技术 4 推测技术 5 软件流水技术 6 寄存器堆栈技术

四、计算题（12分）

有两个浮点数N1=2j1×S1,N2=2j2×S2，其中阶码用4位移码、尾数用8位原码表示（含1位符号位）。设j1=(11)2,S1=(+0.0110011)2,j2=(-10)2,S2=(+0.1101101)2，求N1+N2，写出运算步骤及结果。

**解：** (1)浮点乘法规则：

N1 ×N2 =（ 2j1 ×S1）× （2j2 × S2） = 2（j1+j2） ×（S1×S2）

(2)码求和：

j1 + j2 = 0

(3)尾数相乘：

被乘数S1 =0.0110011，令乘数S2 = 0.1101101，尾数绝对值相乘得积的绝对值，积的符号位 = 0⊕0 = 0。按无符号阵乘法器运算得：N1 ×N2 = 20×0.0001010110110111

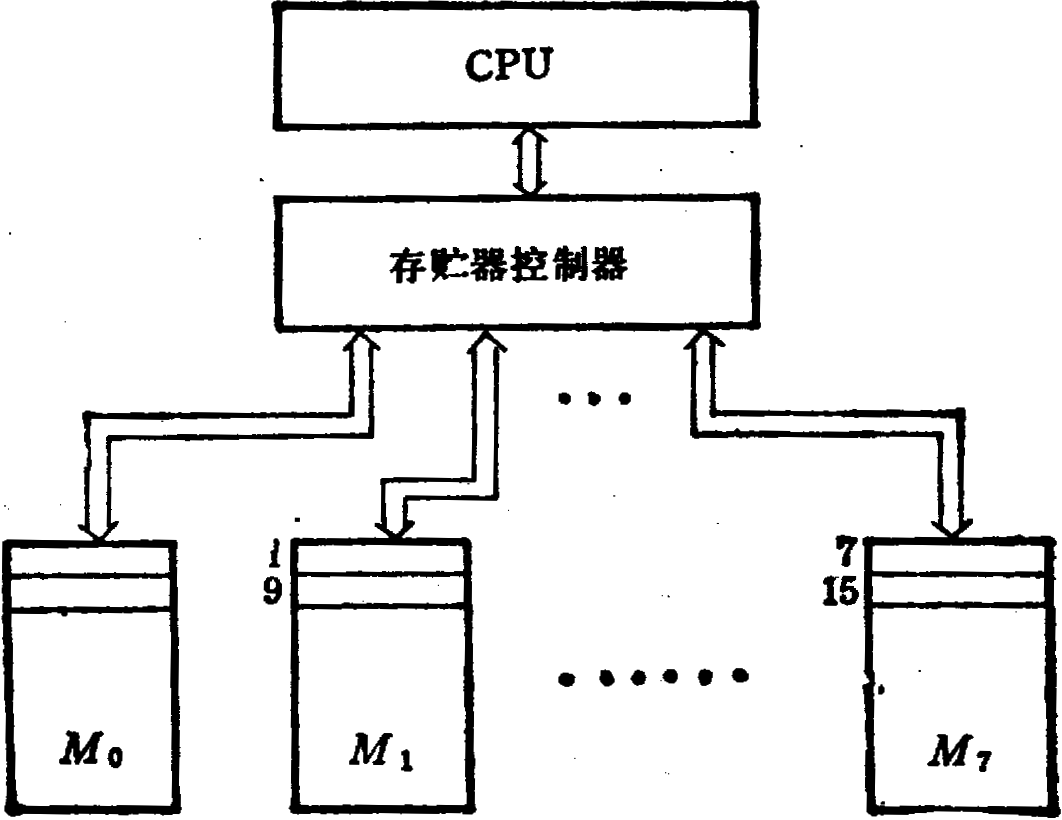
（4）尾数规格化、舍入（尾数8位）

N1 ×N2 = （+0.00010101）2×2（0）2

五、设计题（12分）

**0**

**8**

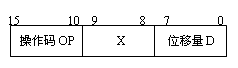


机器字长32位，常规设计的物理存储空间≤32M，若将物理存储空间扩展到256M，请提出一种设计方案。

**解：**用多体交叉存取方案，即将主存分成8个相互独立、容量相同的模块M0，M1，M2…，M7，每个模块32M×32位。它们各自具备一套地址寄存器、数据缓冲器，各自以等同的方式与CPU传递信息，其组成如图

六、分析题（10分）

    某机的指令格式如下所示



    X为寻址特征位：X=00：直接寻址；X=01：用变址寄存器RX1寻址；X=10：用变址寄存器RX2寻址；X=11：相对寻址

    设(PC)=1234H,(RX1)=0037H,(RX2)=1122H（H代表十六进制数），请确定下列指令中的有效地址：

①4420H    ②2244H    ③1322H    ④3521H

解：1）X=00,D=20H,有效地址EA=20H 2）X=10,D=44H,有效地址EA=1122H+44H=1166H 3）X=11,D=22H，有效地址EA=1234H+22H=1256H 4）X=01,D=21H,有效地址EA=0037H+21H=0058H

七、分析题（15分）

    有如下四种类型的单处理机：

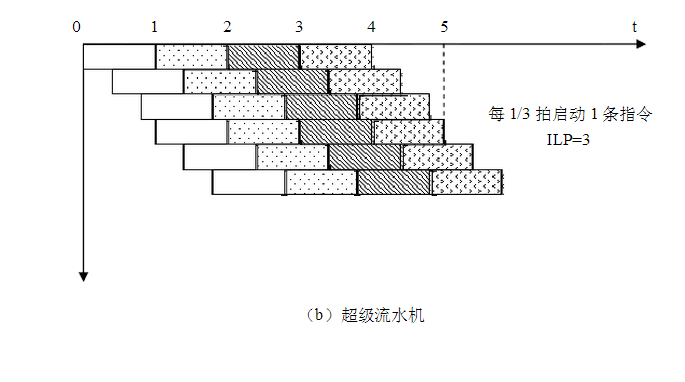
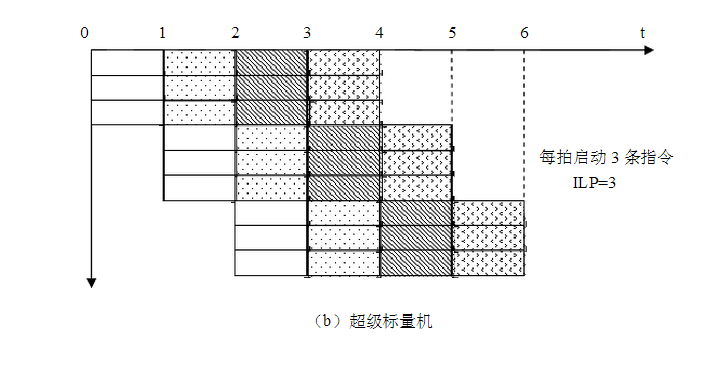
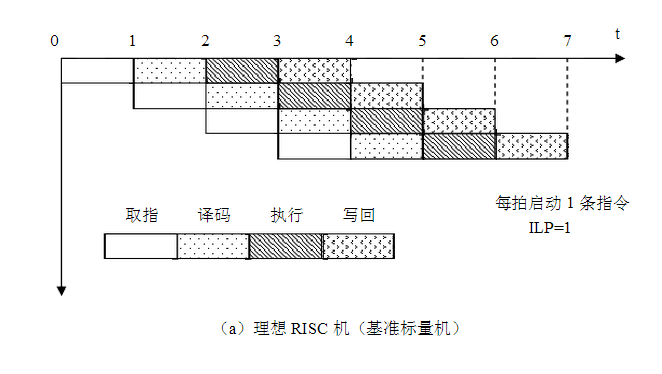
    ①  基准标量机（每个CPU周期启动1条机器指令，并行度ILP=1）；

② 超级标量机（每个CPU周期启动3条机器指令，并行度ILP=3）；

1. 超级流水机（每1/3个CPU周期启动1条机器指令，并行度ILP=3）；

④ 超标量超流水机（每个CPU周期启动9条指令，并行度ILP=9）。

试画出四种类型处理机的时空图。



本科生期末试卷（四）

一、选择题（每小题1分，共15分）

  1  运算器的核心功能部件是（  B ）。

    A  数据总线    B  ALU    C  状态条件寄存器    D  通用寄存器

  2  某单片机字长32位，其存储容量为4MB。若按字编址，它的寻址范围是（  A ）。

A  1M    B  4MB    C  4M    D  1MB

4M\*8b/32b=1Mb=1M

  3  某SRAM芯片，其容量为1M×8位，除电源和接地端外，控制端有E和R/W#，该芯片的管脚引出线数目是（ D ）。

A  20    B  28    C  30    D  32

1M=2的20次方，地址线20根，8位数据线8根，20+8+1+1+1+1=32

  4  双端口存储器所以能进行高速读/写操作，是因为采用（ D  ）。

A  高速芯片    B  新型器件

    C  流水技术    D  两套相互独立的读写电路

  5  单地址指令中为了完成两个数的算术运算，除地址码指明的一个操作数以外，另一个数常需采用（ C ）。

A  堆栈寻址方式    B  立即寻址方式

    C  隐含寻址方式    D  间接寻址方式

  6  为确定下一条微指令的地址，通常采用断定方式，其基本思想是（ C  ）。

    A  用程序计数器PC来产生后继微指令地址

    B  用微程序计数器µPC来产生后继微指令地址

    C  通过微指令顺序控制字段由设计者指定或由设计者指定的判别字段控制产生后继微指令地址

    D  通过指令中指定一个专门字段来控制产生后继微指令地址

  7  微程序控制器中，机器指令与微指令的关系是（ B  ）。

    A  每一条机器指令由一条微指令来执行

    B  每一条机器指令由一段用微指令编成的微程序来解释执行

    C  一段机器指令组成的程序可由一条微指令来执行

    D  一条微指令由若干条机器指令组成

  8  CPU中跟踪指令后继地址的寄存器是（ B ）。

    A  地址寄存器    B  程序计数器    C  指令寄存器    D  通用寄存器

  9  某寄存器中的数值为指令码，只有CPU的（A  ）才能识别它。

    A  指令译码器    B  判断程序    C  微指令    D  时序信号

  10  为实现多级中断，保存现场信息最有效的方法是采用（ B  ）。

    A  通用寄存器    B  堆栈    C  主存    D  外存

  11  采用DMA方式传送数据时，每传送一个数据，就要占用一个（C  ）的时间。

    A  指令周期    B  机器周期    C  存储周期    D  总线周期

  12  将IEEE1394串行标准接口与SCSI并行标准接口进行比较，指出下面陈述中不正确的项是（ D ）。

A  前者数据传输率高

B  前者数据传送的实时性好

C  前者使用6芯电缆，体积小

    D  前者不具有热插拔能力

  13  下面陈述中，不属于虚存机制要解决的问题项是（D  ）。

A  调度问题

    B  地址映射问题

C  替换与更新问题

    D  扩大物理主存的存储容量和字长

  14  进程从运行状态转入就绪状态的可能原因是（ D  ）。

A  被选中占有处理机时间

B  等待某一事件发生

C  等待的事件已发生

    D  时间片已用完

  15  安腾处理机的一组指令中，可以并行执行的指令是（ B  ）。

A  Id8  r1=[r3]    B  add  r6=r8,r9

    C  SUB  r3=r1,r4    D  add  r5=r3,r7

二、填空题（每小题2分，共20分）

  1  计算机系统的层次结构从下至上可分为五级，即微程序设计级（或逻辑电路级）、一般机器级、操作系统级、（ 汇编语言 ）级、（ 高级语言 ）级。

  2  十进制数在计算机内有两种表示形式：（字符串形式  ）形式和（压缩的十进制数  ）形式。前者主要用在非数值计算的应用领域，后者用于直接完成十进制数的算术运算。

  3  一个定点数由符号位和数值域两部分组成。按小数点位置不同，定点数有（ 纯小数 ）和（纯整数  ）两种表示方法。

  4  对存储器的要求是容量大、速度快、成本低，为了解决这三方面的矛盾，计算机采用多级存储体系结构，即（ cache ）、（主存  ）、（外存  ）。

  5  高级的DRAM芯片增强了基本DRAM的功能，存取周期缩短至20ns以下。举出三种高级DRAM芯片，它们是（ FPM-DRAM ）、（CDRAM  ）、（SDRAM  ）。

  6  一个较完善的指令系统，应当有（ 数据处理 ）、（数据存储  ）、（数据传送  ）、（程序控制  ）四大类指令。

  7  机器指令对四种类型的数据进行操作。这四种数据类型包括（ 地址 ）型数据、（数值  ）型数据、（ 字符 ）型数据、（逻辑  ）型数据。

  8  CPU中保存当前正在执行的指令的寄存器是（ 指令寄存器 ），指示下一条指令地址的寄存器是（ 程序计数器 ），保存算术逻辑运算结果的寄存器是（ 数据寄存器 ）和（ 通用寄存器 ）。

  9  虚存系统中，通常采用页表保护、段表保护和键保护以实现（ 区域保护 ）保护。

  10  安腾体系结构采用分支推断技术，将传统的（ if then else ）分支结构转变为无分支的（  顺序/并行）代码，避免了错误预测分支而付出的代价。

三、简答题（每小题8分，共16分）

  1  PCI总线中三种桥的名称是什么？简述其功能。

PCI总线有三种桥，即HOST / PCI桥（简称HOST桥），PCI / PCI桥，PCI / LAGACY桥。

在PCI总线体系结构中，桥起着重要作用：（1） 它连接两条总线，使总线间相互通信。（2） 桥是一个总线转换部件，可以把一条总线的地址空间映射到另一条总线的地址空间上，从而使系统中任意一个总线主设备都能看到同样的一份地址表。 利用桥可以实现总线间的卒发式传送. 桥有信号的缓冲组等。 能力和信号电平转换功能。它还可以完成规程转换、数据快存化、装拆数据分

  2  安腾处理机采用的6种增强并行性功能的技术措施是什么？

解：1.显示并行指令计算技术

2.超长指令字技术

3.分支推断技术

4.推测技术

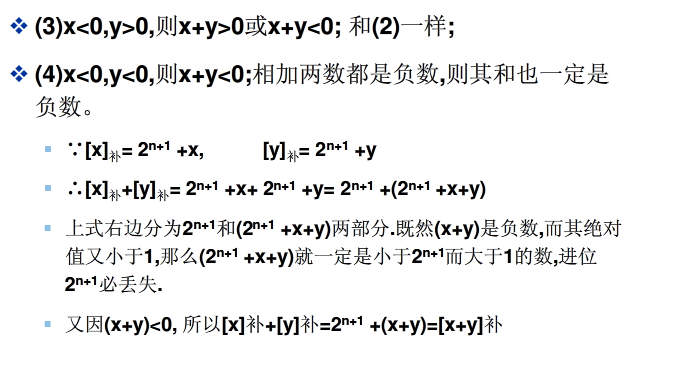
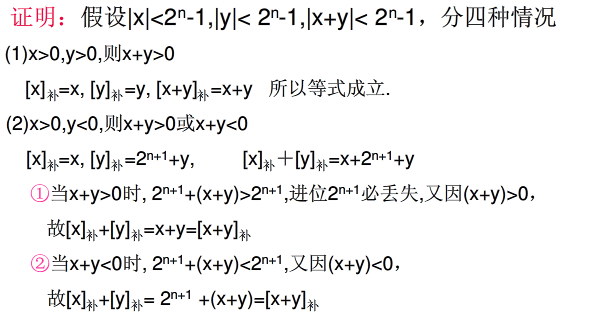
5.软件流水技术

6.寄存器堆栈技术

四、证明题（12分）

    设|x|﹤(2n-1)，|y|﹤(2n-1)，|x+y|﹤(2n-1)

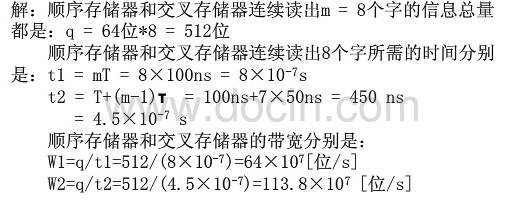
求证：[x]补+[y]补=[x+y]补   (mod 2n+1)



五、计算题（10分）

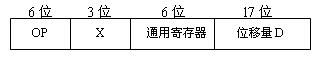
    设存储器容量为64M字，字长为64位，模块数m=8，分别用顺序和交叉方式进行组织。存储周期T=100ns，数据总线宽度为64位，总线传送周期=50ns。

求：顺序存储器和交叉存储器的带宽各是多少？

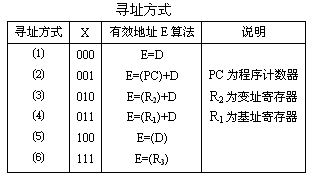


六、分析题（12分）

    一种二进制RS型32位的指令结构如下：



    其中OP为操作码字段，X为寻址模式字段，D为偏移量字段，其寻址模式定义为有效地址E算法及说明列表如下：



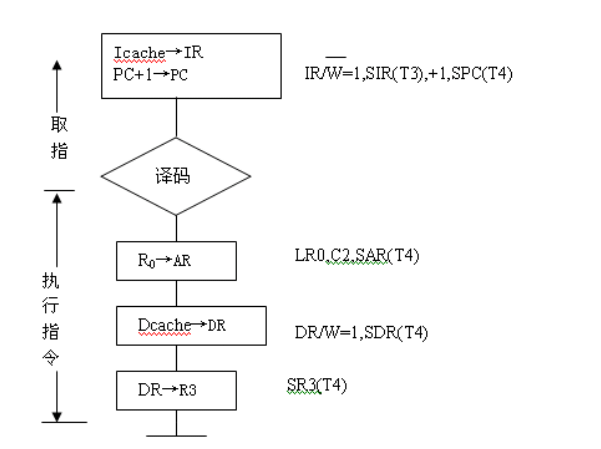
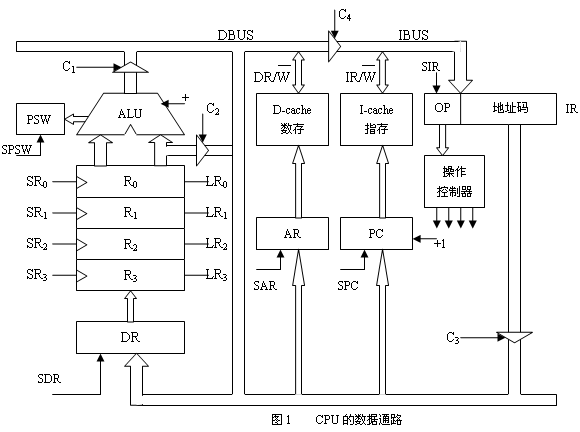
请写出6种寻址方式的名称。

1)直接寻址 2）间接寻址 3）变址寻址 4）基址变址 5） 间接寻址 6）寄存器间接寻址

七、设计题（15分）

    CPU的数据通路如图1所示。运算器中R0～R3为通用寄存器，DR为数据缓冲寄存器，PSW为状态字寄存器。D-cache为数据存储器，I-cache为指令存储器，PC为程序计数器（具有加1功能），IR为指令寄存器。单线箭头信号均为微操作控制信号（电位或脉冲），如LR0表示读出R0寄存器，SR0表示写入R0寄存器。

    机器指令“LDA(R3),R0”实现的功能是：以（R3）的内容为数存单元地址，读出数存该单元中数据至通用寄存器R0中。请画出该取数指令周期流程图，并在CPU周期框外写出所需的微操作控制信号。（一个CPU周期有T1～T4四个时钟信号，寄存器打入信号必须注明时钟序号）



本科生期末试卷（五）

一、选择题（每小题1分，共15分）

  1  某机字长64位，1位符号位，63位表示尾数，若用定点整数表示，则最大正整数位（  A ）。

    A  +(263-1)    B  +(264-1)    C  -(263-1)    D  -(264-1)

  2  请从下面浮点运算器中的描述中选出两个描述正确的句子（ AB ）。

    A  浮点运算器可用两个松散连接的定点运算部件一阶码和尾数部件来实现。

    B  阶码部件可实现加，减，乘，除四种运算。

    C  阶码部件只进行阶码相加，相减和比较操作。

    D  尾数部件只进行乘法和除法运算。

  3  存储单元是指（ C  ）。

    A  存放1个二进制信息位的存储元

    B  存放1个机器字的所有存储元集合

    C  存放1个字节的所有存储元集合

    D  存放2个字节的所有存储元集合

  4  某机字长32位，存储容量1MB，若按字编址，它的寻址范围是（ D ）。

A  0—1M    B  0—512KB    C  0—56K    D  0—256KB

1\*1024\*1024\*8b/32b=256\*K，答案应是256K，没有B

1B=8b,B是字节，b是位,字长是若干个字节

  5  用于对某个寄存器中操作数的寻址方式为（ C  ）。

    A  直接    B  间接    C  寄存器直接    D  寄存器间接

  6  程序控制类的指令功能是（ D ）。

A  进行算术运算和逻辑运算

B  进行主存与CPU之间的数据传送

C  进行CPU和I/O设备之间的数据传送

    D  改变程序执行的顺序

  7  指令周期是指（ C  ）。

A  CPU从主存取出一条指令的时间

B  CPU执行一条指令的时间

C  CPU从主存取出一条指令加上执行一条指令的时间

    D  时钟周期时间

  8  描述当代流行总线结构中基本概念不正确的句子是（ AC ）。

A  当代流行的总线不是标准总线

B  当代总线结构中，CPU和它私有的cache一起作为一个模块与总线相连

    C  系统中允许有一个这样的CPU模块

  9  CRT的颜色为256色，则刷新存储器每个单元的字长是（ C  ）。

A  256位    B  16位    C  8位    D  7位

256=2的8次方

  10  发生中断请求的条件是（ C ）。

A  一条指令执行结束

B  一次I/O操作结束

C  机器内部发生故障

    D  一次DMA操作结束

  11  中断向量地址是（ C ）。

A  子程序入口地址

B  中断服务程序入口地址

C  中断服务程序入口地址指示器

    D  例行程序入口地址

  12  IEEE1394所以能实现数据传送的实时性，是因为（ D ）。

A  除异步传送外，还提供同步传送方式

    B  提高了时钟频率

C  除优先权仲裁外，还提供均等仲裁,紧急仲裁两种总线仲裁方式

    D  能够进行热插拔

  13  直接映射cache的主要优点是实现简单。这种方式的主要缺点是（ B  ）。

A  它比其他cache映射方式价格更贵

    B  如果使用中的2个或多个块映射到cache同一行，命中率则下降

C  它的存取时间大于其它cache映射方式

    D  cache中的块数随着主存容量增大而线性增加

  14  虚拟存储器中段页式存储管理方案的特性为（ D ）。

A  空间浪费大，存储共享不易，存储保护容易，不能动态连接

    B  空间浪费小，存储共享容易，存储保护不易，不能动态连接

C  空间浪费大，存储共享不易，存储保护容易，能动态连接

    D  空间浪费小，存储共享容易，存储保护容易，能动态连接

  15  安腾处理机的指令格式中，操作数寻址采用（ C ）。

    A  R-R-S型    B  R-R-R型    C  R-S-S型    D  S-S-S型

二、填空题（每小题2分，共20分）

  1  IEEE6754标准规定的64位浮点数格式中，符号位为1位，阶码为11位，尾数为52位。则它所能表示的最大规格化正数为（ （1+（1-2的-52次方））\*2的1023次方 ）。

  2  直接使用西文键盘输入汉字，进行处理，并显示打印汉字，要解决汉字的（ 输入编码 ）、（汉字内码  ）和（ 字模码 ）三种不同用途的编码。

  3  数的真值变成机器码时有四种表示方法，即（ 原码 ）表示法，（反码  ）表示法，（  补码）表示法，（移码  ）表示法。

  4  主存储器的技术指标有（  存取时间），（存储周期  ），（ 存储器带宽 ），（存储容量  ）。

  5  cache和主存构成了（内存储器 ），全由（硬件  ）来实现。

  6  根据通道的工作方式，通道分为（ 选择 ）通道和（多路  ）通道两种类型。

  7  SCSI是（并行  ）I/O标准接口，IEEE1394是（  串行 ）I/O标准接口。

  8  某系统总线的一个存取周期最快为3个总线时钟周期，总线在一个总线周期中可以存取32位数据。如总线的时钟频率为8.33MHz，则总线的带宽是（ 11.1MB/s）。

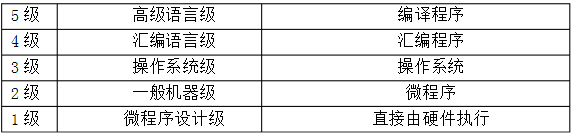
总线的带宽＝数据宽度×总线周期的最高频率  
＝ （32/8）Byte×（8.33/3）M/s  
＝ 11.1 MB/s

  9  操作系统是计算机硬件资源管理器，其主要管理功能有（处理机  ）管理、（ 存储 ）管理和（ 设备 ）管理。

  10 安腾处理机采用VLIW技术，编译器经过优化，将多条能并行执行的指令合并成一个具有（多个操作码  ）的超长指令字，控制多个独立的（功能部件  ）同时工作。

三、简答题（每小题8分，共16分）

  1  画图说明现代计算机系统的层次结构。



2  简述水平型微指令和垂直型微指令的特点。

A．水平型微指令并行操作能力强，效力高，灵活性强，垂直型微指令则较

差；B．水平型微指令执行一条指令的时间短，垂直型微指令执行时间长；C．由

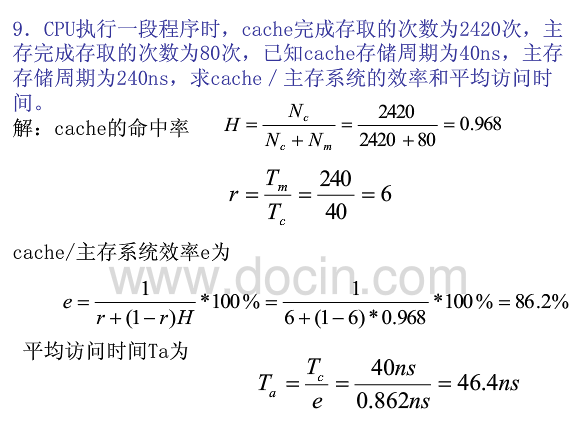
水平型微指令解析指令的微程序，有微指令字较长而微程序短的特点，垂直型微

指令则相反，微指令字较短而程序长；D．水平型微指令用户难以掌握，而垂直

型微指令与指令比较相似，相对来说，比较容易掌握

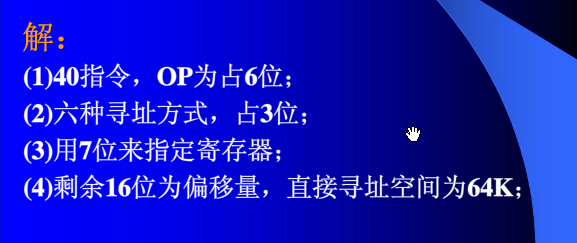
四、计算题（10分）

CPU执行一段程序时，cache完成存取的次数为2420次，主存完成的次数为80次，已知cache存储周期为40ns，主存存储周期为200ns，求cache/主存系统的效率和平均访问时间。（我相信题目又写错了，本应该主存存储周期位240ns但此题改成了200ns,将答案中的Tm改成200即可）



五、设计题（12分）

某机器单字长指令为32位，共有40条指令，通用寄存器有128个，主存最大寻址空间为64M。寻址方式有立即寻址、直接寻址、寄存器寻址、寄存器间接寻址、基值寻址、相对寻址六种。请设计指令格式，并做必要说明。（主存那应该是64K，神马玩意的破试卷）



机器字长32位，主存容量64Mb/2=2的7次方\*2的20次方\*b，因此MAR=27位

共40条指令，OP段占6位（2的5次方等于32），采用单字长和双字长两种指令格式，其中单字长指令用于算数逻辑和I/O指令，双字长指令用于用于访问主存的指令（你妹啥玩意。。）

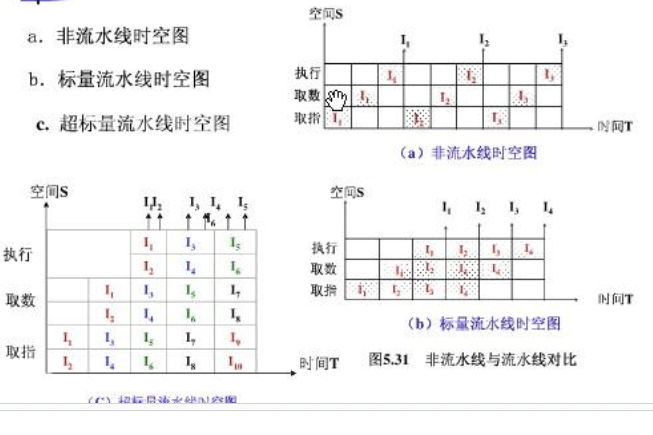
OP

六、证明题（12分）

    一条机器指令的指令周期包括取指（IF）、译码（ID）、执行（EX）、写回（WB）四个过程段，每个过程段1个时钟周期T完成。

    先段定机器指令采用以下三种方式执行：①非流水线（顺序）方式，②标量流水线方式，③超标量流水线方式。

请画出三种方式的时空图，证明流水计算机比非流水计算机具有更高的吞吐率。

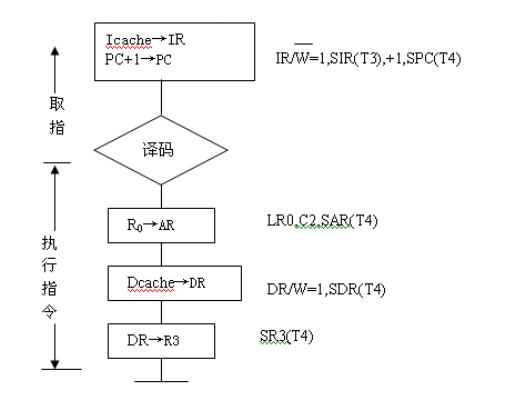
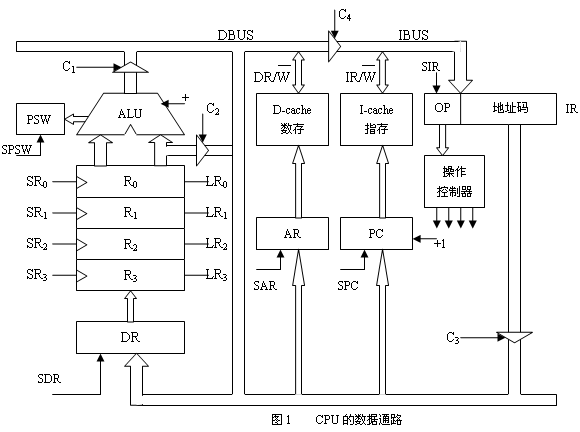


七、设计题（15分）

    CPU的数据通路如图1所示。运算器中R0～R3为通用寄存器，DR为数据缓冲寄存器，PSW为状态字寄存器。D-cache为数据存储器，I-cache为指令存储器，PC为程序计数器（具有加1功能），IR为指令寄存器。单线箭头信号均为微操作控制信号（电位或脉冲），如LR0表示读出R0寄存器，SR0表示写入R0寄存器。

    机器指令“STO R1,(R2)”实现的功能是：将寄存器R1中的数据写入到以（R2）为地址的数存单元中。请画出该存数指令周期流程图，并在CPU周期框外写出所需的微操作控制信号。（一个CPU周期含T1～T4四个时钟信号，寄存器打入信号必须注明时钟序号）

解：



本科生期末试卷（六）

一、选择题（每小题1分，共15分）

  1  从器件角度看，计算机经历了五代变化。但从系统结构看，至今绝大多数计算机仍属于（  ）计算机。

    A  并行    B  冯·诺依曼    C  智能    D  串行

  2  某机字长32位，其中1位表示符号位。若用定点整数表示，则最小负整数为（  ）。

    A  -(231-1)    B  -(230-1)    C  -(231+1)    D  -(230+1)

  3  以下有关运算器的描述，（  ）是正确的。

    A  只做加法运算    B  只做算术运算

    C  算术运算与逻辑运算    D  只做逻辑运算

  4  EEPROM是指（  ）。

    A  读写存储器    B  只读存储器

    C  闪速存储器    D  电擦除可编程只读存储器

  5  常用的虚拟存储系统由（  ）两级存储器组成，其中辅存是大容量的磁表面存储器。

    A  cache-主存    B  主存-辅存    C  cache-辅存    D  通用寄存器-cache

  6  RISC访内指令中，操作数的物理位置一般安排在（  ）。

A  栈顶和次栈顶

    B  两个主存单元

C  一个主存单元和一个通用寄存器

    D  两个通用寄存器

  7  当前的CPU由（  ）组成。

A  控制器

    B  控制器、运算器、cache

C  运算器、主存

    D  控制器、ALU、主存

  8  流水CPU是由一系列叫做“段”的处理部件组成。和具备m个并行部件的CPU相比，一个m段流水CPU的吞吐能力是（  ）。

A  具备同等水平

    B  不具备同等水平

C  小于前者

    D  大于前者

  9  在集中式总线仲裁中，（  ）方式响应时间最快。

    A  独立请求    B  计数器定时查询    C  菊花链

  10  CPU中跟踪指令后继地址的寄存器是（  ）。

    A  地址寄存器    B  指令计数器    C  程序计数器    D  指令寄存器

  11  从信息流的传输速度来看，（  ）系统工作效率最低。

    A  单总线    B  双总线    C  三总线    D  多总线

  12  单级中断系统中，CPU一旦响应中断，立即关闭（  ）标志，以防止本次中断服务结束前同级的其他中断源产生另一次中断进行干扰。

    A  中断允许    B  中断请求    C  中断屏蔽    D  DMA请求

  13  安腾处理机的典型指令格式为（  ）位。

    A  32位    B  64位    C  41位    D  48位

  14  下面操作中应该由特权指令完成的是（  ）。

A  设置定时器的初值

B  从用户模式切换到管理员模式

C  开定时器中断

    D  关中断

  15  下列各项中，不属于安腾体系结构基本特征的是（  ）。

    A  超长指令字    B  显式并行指令计算    C  推断执行    D  超线程

二、填空题（每小题2分，共20分）

  1  字符信息是符号数据，属于处理（ 非数值 ）领域的问题，国际上采用的字符系统是七单位的（ ASCII ）码。

  2  按IEEE754标准，一个32位浮点数由符号位S（1位）、阶码E（8位）、尾数M（23位）三个域组成。其中阶码E的值等于指数的真值（e  ）加上一个固定的偏移值（127  ）。

  3  双端口存储器和多模块交叉存储器属于并行存储器结构，其中前者采用（ 时间 ）并行技术，后者采用（ 空间 ）并行技术。

  4  虚拟存储器分为页式、（ 段 ）式、（ 段页 ）式三种。

  5  安腾指令格式采用5个字段：除了操作码（OP）字段和推断字段外，还有3个7位的（ 地址码 ）字段，它们用于指定（寄存器  ）2个源操作数和1个目标操作数的地址。

  6  CPU从内存取出一条指令并执行该指令的时间称为（指令周期  ），它常用若干个（CPU周期  ）来表示。

  7  安腾CPU中的主要寄存器除了128个通用寄存器、128个浮点寄存器、128个应用寄存器、1个指令指针寄存器（即程序计数器）外，还有64个（1位推断寄存器  ）和8个（ 64位分支寄存器 ）。

  8  衡量总线性能的重要指标是（  总线带宽），它定义为总线本身所能达到的最高传输速率，单位是（MB/s  ）。

  9  DMA控制器按其结构，分为（ 选择型 ）DMA控制器和（多路型  ）DMA控制器。前者适用于高速设备，后者适用于慢速设备。

  10  64位处理机的两种典型体系结构是（ Intel64体系结构 ）和（安腾体系结构  ）。前者保持了与IA-32的完全兼容，后者则是一种全新的体系结构。

三、简答题（每小题8分，共16分）

  1  简要总结一下，采用哪几种技术手段可以加快存储系统的访问速度？

解：1. 增加cache，利用空间局部性和时间局部性减少内存访问时间。

2. cahe优化: 多级cache减少确实损失， 非阻塞cache，流水化cache访问。

3. 采用交叉存储方式提高内存带宽。

4. 采用虚拟内存机制降低内存缺失损失。

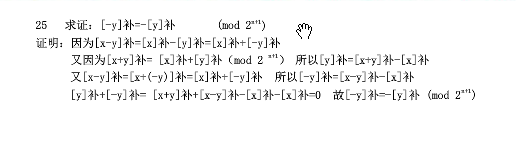
  2  一台机器的指令系统有哪几类典型指令？列出其名称。

A.数据传送类指令 B.算术运算类指令C.逻辑运算类指令D.程序控制类指

令E.输入输出类指令F.字符串类指令 G.系统控制类指令H.特权指令

四、证明题（10分）

求证：[-y]补=-[y]补    (mod 2n+1)



五、设计题（12分）

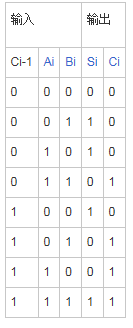
    现给定与门、或门、异或门三种芯片，其中与门、或门的延迟时间为20ms，异或门的延迟时间为60ns。

    ⑴请写出一位全加器（FA）的真值表和逻辑表达式，画出FA的逻辑图。

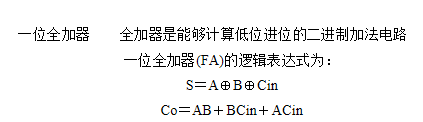
    ⑵画出32位行波进位加法器/减法器的逻辑图。注：画出最低2位和最高2位（含溢出电路）

⑶计算一次加法所用的总时间。

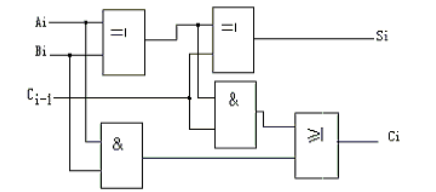
1. 真值表：



逻辑表达式：

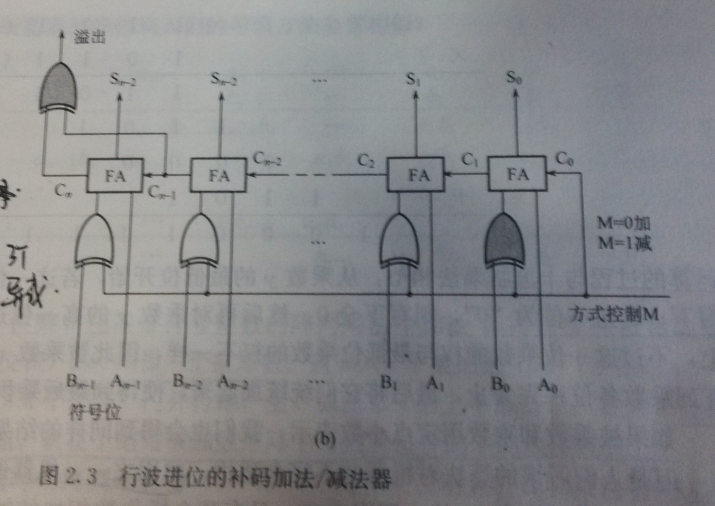


逻辑图：



（2）

（n改成32）



（3)

T=20ms,ta=(2n+9)T=1460ms

六、计算题（12分）

某计算机的存储系统由cache、主存和磁盘构成。cache的访问时间为15ns；如果被访问的单元在主存中但不在cache中，需要用60ns的时间将其装入cache，然后再进行访问；如果被访问的单元不在主存中，则需要10ms的时间将其从磁盘中读入主存，然后再装入cache中并开始访问。若cache的命中率为90%，主存的命中率为60%，求该系统中访问一个字的平均时间。

cache直接访问：t1 = 15\*90% = 13.5ns;  
在主存中，说明cache没有直接命中，但主存命中，10%\*60%吧，所以时间: t2 = 10%\*60%\*(60+15) = 4.5ns  
在硬盘中，说明cache每名中，主存也没命中，必定在硬盘里，故概率是10%\*40%，所以时间是：t3 = 10%\*40%\*（10^7+60+15）ns = 400003ns  
平均时间:Ta = t1+t2+t3 = 4000021ns

七、计算题（15分）

假设使用100台多处理机系统获得加速比80，求原计算机程序中串行部分所占的比例是多少？



本科生期末试卷（七）

一、选择题（每小题1分，共15分）

  1  冯·诺依曼机工作的基本方式的特点是（  ）。

A  多指令流单数据流

B  按地址访问并顺序执行指令

C  堆栈操作

    D  存贮器按内容选择地址

  2  在机器数（  ）中，零的表示形式是唯一的。

    A  原码    B  补码    C  移码    D  反码

  3  在定点二进制运算器中，减法运算一般通过（  ）来实现。

    A  原码运算的二进制减法器    B  补码运算的二进制减法器

    C  原码运算的十进制加法器    D  补码运算的二进制加法器

  4  某计算机字长32位，其存储容量为256MB，若按单字编址，它的寻址范围是（  ）。

    A  0-64MB    B  0-32MB    C  0-32M    D  0-64M

  5  主存贮器和CPU之间增加cache的目的是（  ）。

A  解决CPU和主存之间的速度匹配问题

    B  扩大主存贮器容量

C  扩大CPU中通用寄存器的数量

    D  既扩大主存贮器容量，又扩大CPU中通用寄存器的数量

  6  单地址指令中为了完成两个数的算术运算，除地址码指明的一个操作数外，另一个常需采用（  ）。

    A  堆栈寻址方式    B  立即寻址方式

    C  隐含寻址方式    D  间接寻址方式

  7  同步控制是（  ）。

A  只适用于CPU控制的方式

    B  只适用于外围设备控制的方式

C  由统一时序信号控制的方式

    D  所有指令执行时间都相同的方式

  8  描述PCI总线中基本概念不正确的句子是（  ）。

A  PCI总线是一个与处理器无关的高速外围设备

    B  PCI总线的基本传输机制是猝发式传送

C  PCI设备一定是主设备

    D  系统中只允许有一条PCI总线

  9  CRT的分辨率为1024×1024像素，像素的颜色数为256，则刷新存储器的容量为（  ）。

    A  512KB    B  1MB    C  256KB    D  2MB

  10  为了便于实现多级中断，保存现场信息最有效的办法是采用（  ）。

    A  通用寄存器    B  堆栈    C  存储器    D  外存

  11  特权指令是由（  ）执行的机器指令。

    A  中断程序    B  用户程序    C  操作系统核心程序    D  I/O程序

  12  虚拟存储技术主要解决存储器的（  ）问题。

    A  速度    B  扩大存储容量    C  成本    D  前三者兼顾

  13  引入多道程序的目的在于（  ）。

A  充分利用CPU，减少等待CPU时间

    B  提高实时响应速度

C  有利于代码共享，减少主辅存信息交换量

    D  充分利用存储器

  14  64位双核安腾处理机采用了（  ）技术。

    A  流水    B  时间并行    C  资源重复    D  流水+资源重复

  15  在安腾处理机中，控制推测技术主要用于解决（  ）问题。

A  中断服务

    B  与取数指令有关的控制相关

C  与转移指令有关的控制相关

    D  与存数指令有关的控制相关

二、填空题（每小题2分，共20分）

  1  在计算机术语中，将ALU控制器和（内  ）存储器合在一起称为（ 主机 ）。

  2  数的真值变成机器码可采用原码表示法，反码表示法，（ 补码 ）表示法，（ 移码 ）表示法。

  3  广泛使用的（ SRAM ）和（DRAM  ）都是半导体随机读写存储器。前者的速度比后者快，但集成度不如后者高。

  4  反映主存速度指标的三个术语是存取时间、（ 存储器带宽 ）和（ 存储周期 ）。

  5  形成指令地址的方法称为指令寻址，通常是（ 顺序 ）寻址，遇到转移指令时（ 跳跃 ）寻址。

  6  CPU从（ 内存 ）取出一条指令并执行这条指令的时间和称为（指令周期  ）。

  7  RISC指令系统的最大特点是：只有（取数  ）指令和（存数  ）指令访问存储器，其余指令的操作均在寄存器之间进行。

  8  微型机的标准总线，从带宽132MB/S的32位（ 字长 ）总线发展到64位的（ 指令 ）总线。

  9  IA-32表示（ Intel ）公司的（32  ）位处理机体系结构。

  10  安腾体系机构采用显示并行指令计算技术，在指令中设计了（属性  ）字段，用以指明哪些指令可以（ 并行 ）执行。

三、简答题（每小题8分，共16分）

  1  存储系统中加入chche存储器的目的是什么？有哪些地址映射方式，各有什么特点？

Cache是一种高速缓冲存储器，是为了解决CPU和主存之间速度的不匹配。

地址映射方式有：A.全相联映射方式，这是一种带全部块地址一起保存的方法，

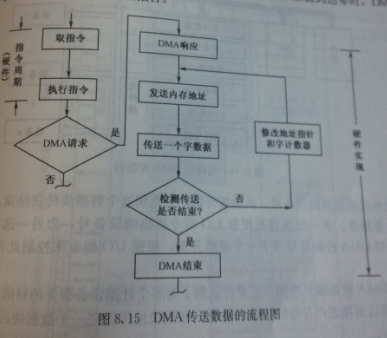
可使主存的一块直接拷贝到chche中的任意一行上，非常灵活；B.直接映射方式：

优点是硬件简单，成本低，缺点是每个主存块只有一个固定的行位置可存放；C.

组相联映射方式:它是前两者的折衷方案，适度的兼顾了二者的优点有尽量避免

其缺点，从灵活性、命中率、硬件投资来说较为理想，因而得到了普遍采用

  2  画出DMA传送数据流程图。



四、分析题（12分）

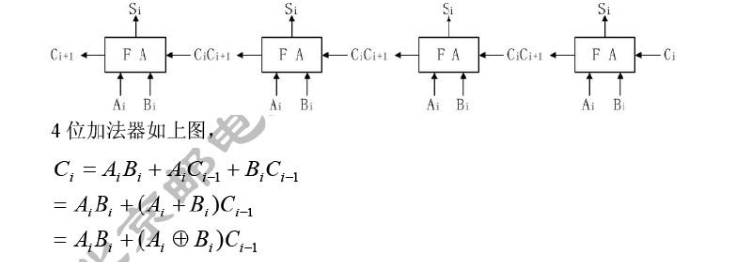
    某加法器进位链小组信号为C4C3C2C1，低位来的进位信号为C0，请分别按下述两种方式写出C4C3C2C1的逻辑表达式：

    ①  串行进位方式

②  并行进位方式

解 ：

（1）串行进位方式：  
C1 = G1 + P1 C0 其中： G1 = A1 B1 ，P1 = A1⊕B1  
C2 = G2 + P2 C1 G2 = A2 B2 ，P2 = A2⊕B2  
C3 = G3 + P3 C2 G3 = A3 B3 , P3 = A3⊕B3  
C4 = G4 + P4 C3 G4 = A4 B4 , P4 = A4⊕B4  
 (2) 并行进位方式：  
 C1 = G1 + P1 C0   
C2 = G2 + P2 G1 + P2 P1 C0  
C3 = G3 + P3 G2 + P3 P2 G1 + P3 P2 P1 C0  
C4 = G4 + P4 G3 + P4 P3 G2 + P4P3 P2 G1 + P4 P3 P2 P1 C0  
其中 G1—G4 ，P1—P4 表达式与串行进位方式相同。



五、计算题（10分）

    某计算机系统的内存储器又cache和主存构成，cache的存储周期为30ns，主存的存取周期为150ns。已知在一段给定的时间内，CPU共访问内存5000次，其中400次访问主存。问：

    ①  cache的命中率是多少？

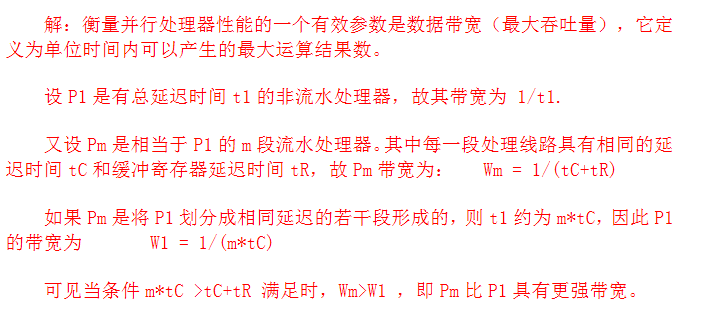
    ②  CPU访问内存的平均时间是多少纳秒？

③  cache-主存系统的效率是多少？

1. h=Nc/(Nc+Nm)=（5000-400）/5000=0.92，命中率为0.92
2. Ta=hTc+(1-h)Tm=0.92\*30+0.08\*150=39.6ns
3. r=Tm/Tc=150/30=5;e=1/(r+(1-r)h)=75.8%;e=Tc/Ta=30/39.6=75.8%

六、证明题（12分）

用定量分析法说明流水处理机比非流水（顺序）处理机具有更高的吞吐率。



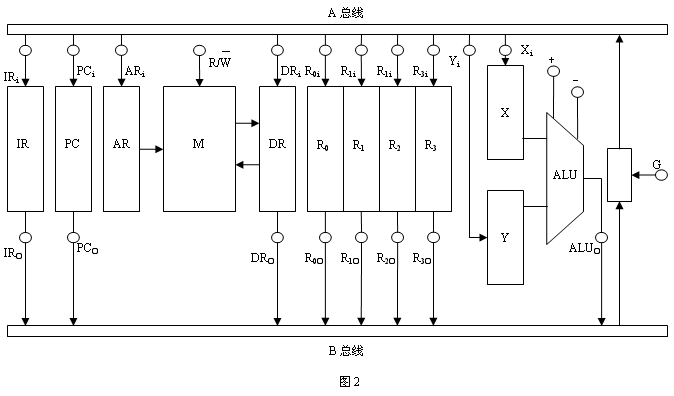
七、设计题（15分）

    图1所示为双总线结构的机器，IR为指令寄存器，PC为程序计数器（具有加1功能），M为主存（受R/W#读写信号控制），AR为主存地址寄存器，DR为数据缓冲寄存器，ALU内+-控制信号决定完成何种操作信号，控制信号G控制的一个门电路。所有箭头线上的小圈表示控制信号的输入/输出点。例如R1i表示寄存器R1的输入，R1O表示寄存器R1的输出。未标信号的线表示直通，不受控制。

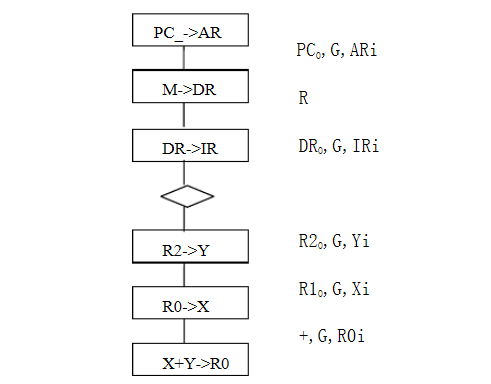
    ①  “ADD R2,R0”指令完成(R0)+(R2)→R0的功能操作。画出其指令周期流程图。

    ②  若将主存M分成数存和指存两个存储器，通用寄存器R0～R3的输出直接连到x或y暂存器。请修改数据通路，画出“ADD R2，R0”指令的指令周期流程图。

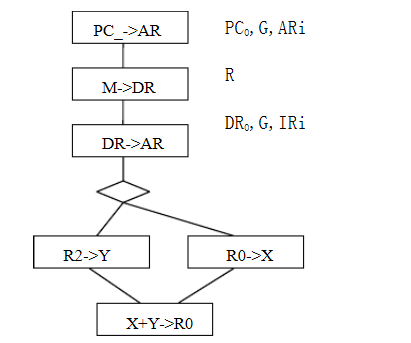
    ③  执行同一个ADD指令，第②种情况下机器速度提高多少倍？



(1)



(2)



(3)

(6-5)/6=1/6

本科生期末试卷（八）

一、选择题（每小题1分，共15分）

  1  下列数中最小的数是（  ）。

    A  （101001）2    B  （52）8    C  （101001）BCD    D  （233）16

  2  某DRAM芯片，其存储容量为512K×8位，该芯片的地址线和数据线的数目是（  ）。

    A  8，512    B  512，8    C  18，8    D  19，8

  3  在下面描述的汇编语言基本概念中，不正确的表述是（  ）。

A  对程序员的训练要求来说，需要硬件知识

B  汇编语言对机器的依赖性高

C  用汇编语言编写程序的难度比高级语言小

D  汇编语言编写的程序执行速度比高级语言慢

  4  交叉存储器实质上是一种多模块存储器，它用（  ）方式执行多个独立的读写操作。

    A  流水    B  资源重复    C  顺序    D  资源共享

  5  寄存器间接寻址方式中，操作数在（  ）。

    A  通用寄存器    B  主存单元    C  程序计数器    D  堆栈

  6  机器指令与微指令之间的关系是（  ）。

A  用若干条微指令实现一条机器指令

B  用若干条机器指令实现一条微指令

C  用一条微指令实现一条机器指令

    D  用一条机器指令实现一条微指令

  7  描述多媒体CPU基本概念中，不正确的是（  ）。

A  多媒体CPU是带有MMX技术的处理器

    B  MMX是一种多媒体扩展结构

C  MMX指令集是一种多指令流多数据流的并行处理指令

    D  多媒体CPU是以超标量结构为基础的CISC机器

  8  在集中式总线仲裁中，（  ）方式对电路故障最敏感。

    A  菊花链    B  独立请求    C  计数器定时查询

  9  流水线中造成控制相关的原因是执行（  ）指令而引起。

    A  条件转移    B  访内    C  算逻    D  无条件转移

  10  PCI总线是一个高带宽且与处理器无关的标准总线。下面描述中不正确的是（  ）。

    A  采用同步定时协议    B  采用分布式仲裁策略

    C  具有自动配置能力    D  适合于低成本的小系统

  11  下面陈述中，不属于外围设备三个基本组成部分的是（  ）。

    A  存储介质    B  驱动装置    C  控制电路    D  计数器

  12  中断处理过程中，（  ）项是由硬件完成。

    A  关中断    B  开中断    C  保存CPU现场    D  恢复CPU现场

  13  IEEE1394是一种高速串行I/O标准接口。以下选项中，（  ）项不属于IEEE1394的协议集。

    A  业务层    B  链路层    C  物理层    D  串行总线管理

 ！ 14  下面陈述中，（  ）项属于存储管理部件MMU的职能。

    A  分区式存储管理    B  交换技术    C  分页技术

  15  64位的安腾处理机设置了四类执行单元。下面陈述中，（  ）项不属于安腾的执行单元。

A  浮点执行单元    B  存储器执行单元

    C  转移执行单元    D  定点执行单元

二、填空题（每小题2分，共20分）

  1  定点32位字长的字，采用2的补码形式表示时，一个字所能表示的整数范围是（ -2的-31次方~2的31次方-1）。

  2  IEEE754标准规定的64位浮点数格式中，符号位为1位，阶码为11位，尾数为52位，则它能表示的最大规格化正数为（（2—2的-52次方）\*2的1023次方  ）。

  3  浮点加、减法运算的步骤是（ 0操作数处理 ）、（比较阶码大小并完成对阶  ）、（ 尾数进行加或减操作 ）、（ 结果规格化）、（舍入处理  ）。

  4  某计算机字长32位，其存储容量为64MB，若按字编址，它的存储系统的地址线至少需要（ 24 ）条。

  5  一个组相联映射的Cache，有128块，每组4块，主存共有16384块，每块64个字，则主存地址共（ 20 ）位，其中主存字块标记应为（ 9 ）位，组地址应为（ 5 ）位，Cache地址共（ 13 ）位。

  6  CPU从主存取出一条指令并执行该指令的时间叫（指令周期  ），它通常包含若干个（ CPU周期 ），而后者又包含若干个（ 时钟周期 ）。

  7  某中断系统中，每抽取一个输入数据就要中断CPU一次，中断处理程序接收取样的数据，并将其保存到主存缓冲区内。该中断处理需要X秒。另一方面，缓冲区内每存储N个数据，主程序就将其取出进行处理，这种处理需要Y秒，因此该系统可以跟踪到每秒（ N/(NX+Y) ）次中断请求。

  8  在计算机系统中，多个系统部件之间信息传送的公共通路称为（总线  ）。就其所传送信息的性质而言，在公共通路上传送的信息包括（ 地址 ）、（数据  ）、（ 控制 ）。

  9  在虚存系统中，通常采用页表保护、段表保护和键保护方法实现（存储区域  ）保护。

  10  安腾体系结构采用推测技术，利用（数据  ）推测方法和（ 控制 ）推测方法提高指令执行的并行度。

三、简答题（每小题8分，共16分）

  1  比较水平型微指令与垂直型微指令特点。

A．水平型微指令并行操作能力强，效力高，灵活性强，垂直型微指令则较

差；B．水平型微指令执行一条指令的时间短，垂直型微指令执行时间长；C．由

水平型微指令解析指令的微程序，有微指令字较长而微程序短的特点，垂直型微

指令则相反，微指令字较短而程序长；D．水平型微指令用户难以掌握，而垂直

型微指令与指令比较相似，相对来说，比较容易掌握

  2  简述安腾处理机的“分支推断”技术的基本思想。

答：该技术讲传统的"if-else-then"分支结构转变为无分支的顺序/并行代码，以避免由于错误预测分支而付出代价。当处理机能够确认分支的所有的可能的后续路径开始并执行多段代码并暂存各段代码的执行结果，直到处理机确认分支转移与否的条件是真是假时，处理机再把应该选择的路径的指令执行结果保留下来。

四、计算题（10分）

    设两个浮点数N1=2j1×S1,N2=2j2×S2，其中阶码3位（移码），尾数4位，数符1位。设：

j1=(-10)2,S1=(+0.1001)2

j2=(+10)2,S2=(+0.1011)2

求：N1×N2，写出运算步骤及结果，积的尾数占4位，按原码阵列乘法器计算步骤求尾数之积。

**解：** (1)浮点乘法规则：

N1 ×N2 =（ 2j1 ×S1）× （2j2 × S2） = 2（j1+j2） ×（S1×S2）

(2)码求和：

j1 + j2 = 0

(3)尾数相乘：

被乘数S1 =0.1001，令乘数S2 = 0.1011，尾数绝对值相乘得积的绝对值，积的符号位 =

0⊕0 = 0。按无符号阵乘法器运算得：N1 ×N2 = 20×0.01100011

（4）尾数规格化、舍入（尾数四位）

N1 ×N2 = （+ 0.01100011）2 = （+0.1100）2×2（-01）2

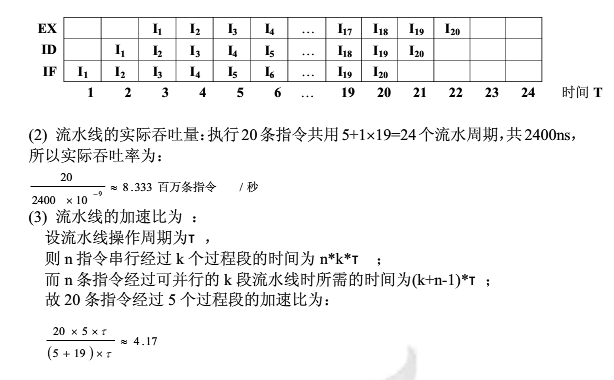
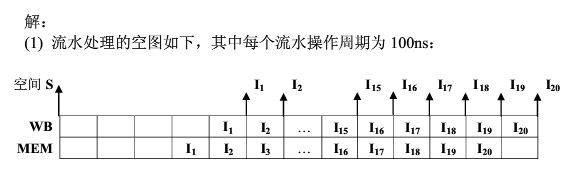
五、分析题（12分）

    指令流水线有取指（IF）、译码（ID）、执行（EX）、写回寄存器堆（WB）四个过程段，共有12条指令连续输入此流水线。要求：

    ①  画出流水处理的时空图，假设时钟周期100ns。

    ②  求流水线的实际吞吐率（单位时间里执行完毕的指令数）。

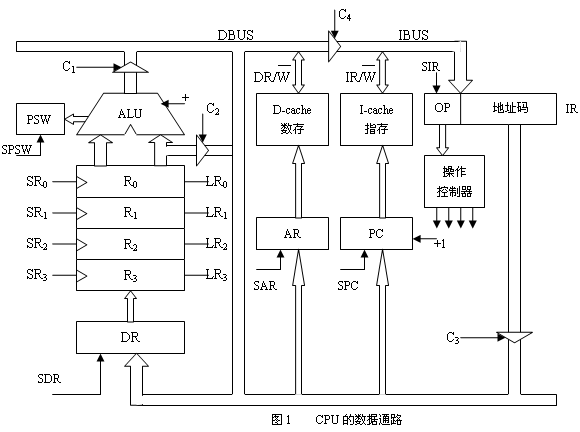
③  求流水CPU的加速比。



六、设计题（15分）

    CPU的数据通路如图1所示。运算器中R0～R3为通用寄存器，DR为数据缓冲寄存器，PSW为状态字寄存器。D-cache为数据存储器，I-cache为指令存储器，PC为程序计数器（具有加1功能），IR为指令寄存器。单线箭头信号均为微操作控制信号（电位或脉冲），如LR0表示读出R0寄存器，SR0表示写入R0寄存器。

    机器指令“JMP （R3）”实现的功能是：将寄存器（R3）的内容2008送到程序计数器PC，下一条指令将从指存2008号单元读出执行。JMP是无条件转移指令。画出JMP指令周期流程图，并在CPU周期外标出所需的微操作控制信号。（一个CPU周期含T1～T4四个时钟信号，打入寄存器信号必须注明时钟序号）



解：



七、分析题（12分）

    一台单处理机采用串行程序实现A1+A2+A3+A4+A5+A6+A7+A8各矩阵（均为n×n）的累加求和运算。请画出一种计算任务优化算法图。

若用4台多处理机系统实现上述矩阵的求和运算，请画出计算任务优化算法图。

本科生期末试卷（九）

一、选择题（每小题1分，共15分）

  1  运算器的核心功能部件是（  ）。

    A  数据总线    B  ALU    C  状态条件寄存器    D  通用寄存器

  2  某单片机字长32位，其存储容量为4MB。若按字编址，它的寻址范围是（  ）。

    A  1M    B  4MB    C  4M    D  1MB

  3  某SRAM芯片，其容量为1M×8位，除电源和接地端外，控制端有E和R/W#，该芯片的管脚引出线数目是（  ）。

    A  20    B  28    C  30    D  32

  4  双端口存储器所以能进行高速读/写操作，是因为采用（  ）。

    A  高速芯片    B  新型器件    C  流水技术    D  两套相互独立的读写电路

  5  单地址指令中为了完成两个数的算术运算，除地址码指明的一个操作数以外，另一个数常需采用（  ）。

    A  堆栈寻址方式    B  立即寻址方式    C  隐含寻址方式    D  间接寻址方式

  6  为确定下一条微指令的地址，通常采用断定方式，其基本思想是（  ）。

    A  用程序计数器PC来产生后继微指令地址

    B  用微程序计数器µPC来产生后继微指令地址

    C  通过微指令顺序控制字段由设计者指定或由设计者指定的判别字段控制产生后继微指令地址

    D  通过指令中指定一个专门字段来控制产生后继微指令地址

  7  微程序控制器中，机器指令与微指令的关系是（  ）。

    A  每一条机器指令由一条微指令来执行

    B  每一条机器指令由一段用微指令编成的微程序来解释执行

    C  一段机器指令组成的程序可由一条微指令来执行

    D  一条微指令由若干条机器指令组成

  8  CPU中跟踪指令后继地址的寄存器是（  ）。

    A  地址寄存器    B  程序计数器    C  指令寄存器    D  通用寄存器

  9  某寄存器中的数值为指令码，只有CPU的（  ）才能识别它。

    A  指令译码器    B  判断程序    C  微指令    D  时序信号

  10  为实现多级中断，保存现场信息最有效的方法是采用（  ）。

    A  通用寄存器    B  堆栈    C  主存    D  外存

  ！11  采用DMA方式传送数据时，每传送一个数据，就要占用一个（  ）的时间。

    A  指令周期    B  机器周期    C  存储周期    D  总线周期

  12  将IEEE1394串行标准接口与SCSI并行标准接口进行比较，指出下面陈述中不正确的项是（  ）。

A  前者数据传输率高

B  前者数据传送的实时性好

C  前者使用6芯电缆，体积小

D  前者不具有热插拔能力

  13  下面陈述中，不属于虚存机制要解决的问题项是（  ）。

A  调度问题

B  地址映射问题

C  替换与更新问题

D  扩大物理主存的存储容量和字长

  14  进程从运行状态转入就绪状态的可能原因是（  ）。

A  被选中占有处理机时间

B  等待某一事件发生

C  等待的事件已发生

D  时间片已用完

  15  安腾处理机的一组指令中，可以并行执行的指令是（  ）。

A  Id8  r1=[r3]    B  add  r6=r8,r9

C  SUB  r3=r1,r4    D  add  r5=r3,r7

二、填空题（每小题2分，共20分）

  1  计算机系统的层次结构从下至上可分为五级，即微程序设计级（或逻辑电路级）、一般机器级、操作系统级、（ 汇编语言 ）级、（高级语言  ）级。

  2  十进制数在计算机内有两种表示形式：（ 字符串 ）形式和（压缩的是十进制数  ）形式。前者主要用在非数值计算的应用领域，后者用于直接完成十进制数的算术运算。

  3  一个定点数由符号位和数值域两部分组成。按小数点位置不同，定点数有（ 纯小数 ）和（纯整数  ）两种表示方法。

 ！ 4  对存储器的要求是容量大、速度快、成本低，为了解决这三方面的矛盾，计算机采用多级存储体系结构，即（cache  ）、（主存  ）、（外存  ）。

  5  高级的DRAM芯片增强了基本DRAM的功能，存取周期缩短至20ns以下。举出三种高级DRAM芯片，它们是（ FPM-DRAM ）、（CDRAM  ）、（SDRAM  ）。

 ！ 6  一个较完善的指令系统，应当有（ 数据处理 ）、（数据存储  ）、（数据传输  ）、（程序控制  ）四大类指令。

 ！ 7  机器指令对四种类型的数据进行操作。这四种数据类型包括（字符  ）型数据、（  数值）型数据、（逻辑  ）型数据、（控制  ）型数据。

 ！ 8  CPU中保存当前正在执行的指令的寄存器是（ 指令寄存器 ），指示下一条指令地址的寄存器是（ 程序计数器 ），保存算术逻辑运算结果的寄存器是（ 通用寄存器 ）和（ 数据缓冲寄存器 ）。

  9  虚存系统中，通常采用页表保护、段表保护和键保护以实现（存储区域  ）保护。

  10  安腾体系结构采用分支推断技术，将传统的（ if then else ）分支结构转变为无分支的（ 顺序/并行 ）代码，避免了错误预测分支而付出的代价。

三、简答题（每小题8分，共16分）

  1  为什么在计算机系统中引入DMA方式来交换数据？若使用总线周期挪用方式，DMA控制器占用总线进行数据交换期间，CPU处于何种状态？

为了减轻cpu对I/O操作的控制，使得cpu的效率有了提高。

可能遇到两种情况：一种是此时CPU不需要访内，如CPU正在执行乘法命令；另一种情况是，I/O设备访内优先，因为I/O访内有时间要求，前一个I/O数据必须在下一个访内请求到来之前存取完毕。

  2  简述磁表面存储器的读/写原理。

在磁表面存储器中，利用一种称为“磁头”的装置来形成和判别磁层中的不同磁化状态。写入时，利用磁头使载磁体（盘片）具有不同的磁化状态，而在读出时又利用磁头来判别这些不同的磁化状态。

四、设计题（12分）

    设A=anan-1…a1a0是已知的(n+1)位的二进制原码，其中最高位为符号位，画出原码转换为补码的逻辑电路图（只画出最低4位）。

五、计算题（10分）

已知cache存储周期40ns，主存存储周期200ns，cache/主存系统平均访问时间为50ns，求cache的命中率是多少？

解：Ta=h\*Tc+(1-h)\*Tm

得50=40h+200(1-h),则h=94%

六、分析题（12分）

已知浮点加法流水线由阶码比较、对阶、尾数相加、规格化四个流水段组成，每段所需的时间（包括缓冲寄存器时间）分别为30ns、25ns、55ns、50ns。请画出该流水线的时空图，并计算加速比。



七、设计题（15分）

    图1所示为传送（MOV，OP码IR0IR100）、加法（ADD，OP码IR0IR101）、取反（COM，OP码IR0IR110）、十进制加法（ADT，OP码IR0IR111）四条指令的微程序流程图，每一框表示一个CPU周期。其中rs,rd为8个通用寄存器R0～R7，每个CPU周期含4个时钟脉冲T1～T4。

①  设微指令的微命令字段为12位，判别字段和下址字段是多少位？

在系统的一个**基本**周期(又称**[机器周期](http://baike.baidu.com/view/713240.htm" \t "http://baike.baidu.com/view/_blank)**，一般由几个[时钟周期](http://baike.baidu.com/view/85561.htm" \t "http://baike.baidu.com/view/_blank)组成)中，一组实现一定操作功能的[微命令](http://baike.baidu.com/view/894439.htm" \t "http://baike.baidu.com/view/_blank)的组合，构成一条[微指令](http://baike.baidu.com/view/873614.htm" \t "http://baike.baidu.com/view/_blank)。

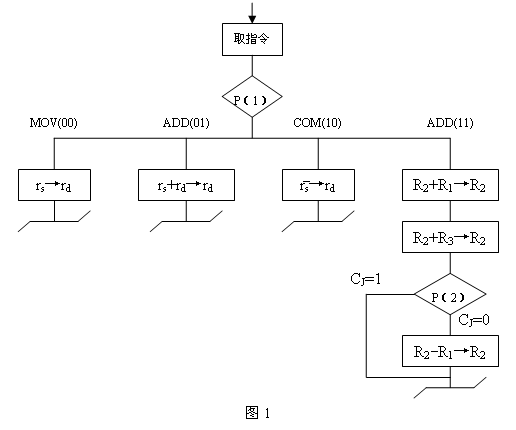
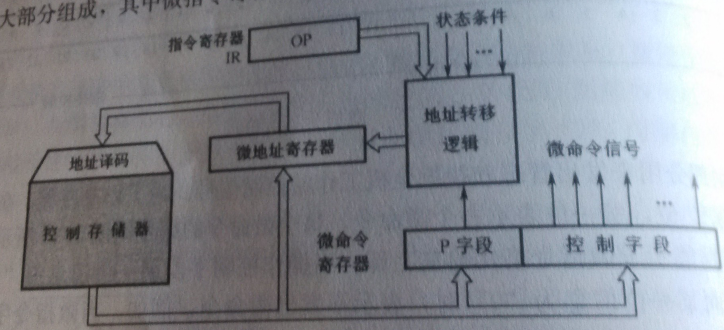
12H，01H

②  控制存储器E2PROM存储容量至少是多少？

③  给每条微指令分配一个确定的微地址（二进制编码表示）。

④  写出微地址转移逻辑表达式和转移逻辑图。

⑤  画出微程序控制器结构图。



本科生期末试卷（十）

一、选择题（每小题1分，共15分）

  1  某机字长64位，1位符号位，63位表示尾数，若用定点整数表示，则最大正整数位（  ）。

    A  +(263-1)    B  +(264-1)    C  -(263-1)    D  -(264-1)

  2  请从下面浮点运算器中的描述中选出两个描述正确的句子（  ）。

    A  浮点运算器可用两个松散连接的定点运算部件一阶码和尾数部件来实现。

    B  阶码部件可实现加，减，乘，除四种运算。

    C  阶码部件只进行阶码相加，相减和比较操作。

    D  尾数部件只进行乘法和除法运算。

  3  存储单元是指（  ）。

    A  存放1个二进制信息位的存储元

    B  存放1个机器字的所有存储元集合

    C  存放1个字节的所有存储元集合

    D  存放2个字节的所有存储元集合

  4  某机字长32位，存储容量1MB，若按字编址，它的寻址范围是（  ）。

    A  0—1M    B  0—512KB    C  0—56K    D  0—256KB答案应该是256K

  5  用于对某个寄存器中操作数的寻址方式为（  ）。

    A  直接    B  间接    C  寄存器直接    D  寄存器间接

  6  程序控制类的指令功能是（  ）。

    A  进行算术运算和逻辑运算    B  进行主存与CPU之间的数据传送

    C  进行CPU和I/O设备之间的数据传送    D  改变程序执行的顺序

  7  指令周期是指（  ）。

    A  CPU从主存取出一条指令的时间    B  CPU执行一条指令的时间

    C  CPU从主存取出一条指令加上执行一条指令的时间    D  时钟周期时间

  8  描述当代流行总线结构中基本概念不正确的句子是（  ）。

    A  当代流行的总线不是标准总线

    B  当代总线结构中，CPU和它私有的cache一起作为一个模块与总线相连

    C  系统中允许有一个这样的CPU模块

  9  CRT的颜色为256色，则刷新存储器每个单元的字长是（  ）。

    A  256位    B  16位    C  8位    D  7位

  10  发生中断请求的条件是（  ）。

A  一条指令执行结束    B  一次I/O操作结束

C  机器内部发生故障    D  一次DMA操作结束

  ！11  中断向量地址是（  ）。

A  子程序入口地址    B  中断服务程序入口地址

C  中断服务程序入口地址指示器    D  例行程序入口地址

  12  IEEE1394所以能实现数据传送的实时性，是因为（  ）。

A  除异步传送外，还提供同步传送方式

B  提高了时钟频率

C  除优先权仲裁外，还提供均等仲裁,紧急仲裁两种总线仲裁方式

D  能够进行热插拔

  13  直接映射cache的主要优点是实现简单。这种方式的主要缺点是（  ）。

A  它比其他cache映射方式价格更贵

B  如果使用中的2个或多个块映射到cache同一行，命中率则下降

C  它的存取时间大于其它cache映射方式

D  cache中的块数随着主存容量增大而线性增加

  14  虚拟存储器中段页式存储管理方案的特性为（  ）。

A  空间浪费大，存储共享不易，存储保护容易，不能动态连接

B  空间浪费小，存储共享容易，存储保护不易，不能动态连接

C  空间浪费大，存储共享不易，存储保护容易，能动态连接

D  空间浪费小，存储共享容易，存储保护容易，能动态连接

  15  安腾处理机的指令格式中，操作数寻址采用（  ）。

    A  R-R-S型    B  R-R-R型    C  R-S-S型    D  S-S-S型

二、填空题（每小题2分，共20分）

  1  IEEE6754标准规定的64位浮点数格式中，符号位为1位，阶码为11位，尾数为52位。则它所能表示的最大规格化正数为（ （1+（1-2的-52次方））\*2的1023次方 ）。

  2  直接使用西文键盘输入汉字，进行处理，并显示打印汉字，要解决汉字的（ 输入编码 ）、（汉子内码  ）和（字模码 ）三种不同用途的编码。

  3  数的真值变成机器码时有四种表示方法，即（ 原码 ）表示法，（反码  ）表示法，（  补码）表示法，（移码  ）表示法。

  4  主存储器的技术指标有（  存取时间），（存储器带宽  ），（存储容量  ），（存储周期  ）。

  5  cache和主存构成了（内存储器  ），全由（ 硬件 ）来实现。

  6  根据通道的工作方式，通道分为（ 选择 ）通道和（多路  ）通道两种类型。

  7  SCSI是（并行  ）I/O标准接口，IEEE1394是（ 串行 ）I/O标准接口。

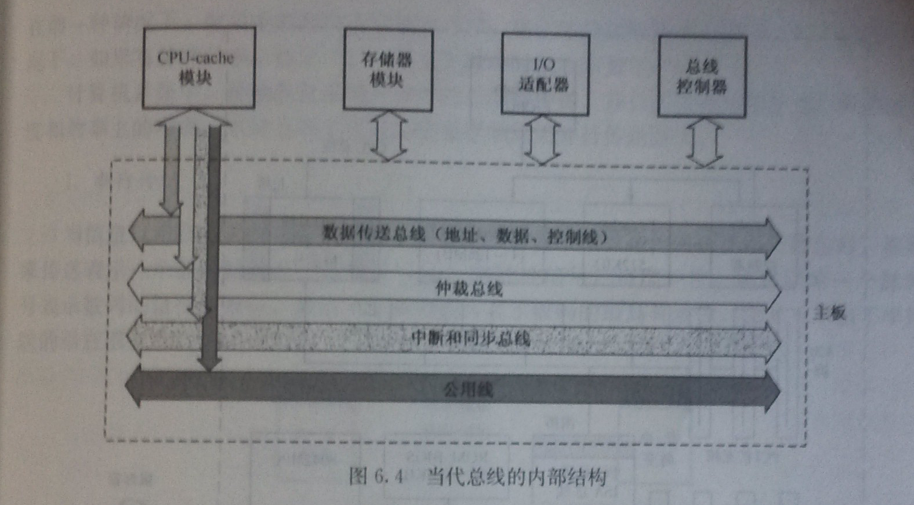
  8  某系统总线的一个存取周期最快为3个总线时钟周期，总线在一个总线周期中可以存取32位数据。如总线的时钟频率为8.33MHz，则总线的带宽是（  11.1MB/s）。

  9  操作系统是计算机硬件资源管理器，其主要管理功能有（ 处理机 ）管理、（  存储）管理和（设备  ）管理。

  10  安腾处理机采用VLIW技术，编译器经过优化，将多条能并行执行的指令合并成一个具有（ 多个操作码 ）的超长指令字，控制多个独立的（功能部件  ）同时工作。

1. 简答题（每小题8分，共16分）

1  画图说明当代总线的内部结构与外部功能部件的联系，做简要说明。



在当代总线结构中，CPU和他私有的cache一起作为一个模块与总线相连。系统中允许有多个这样的处理模块，而总线控制器完成几个总线请求者之间的协调与仲裁

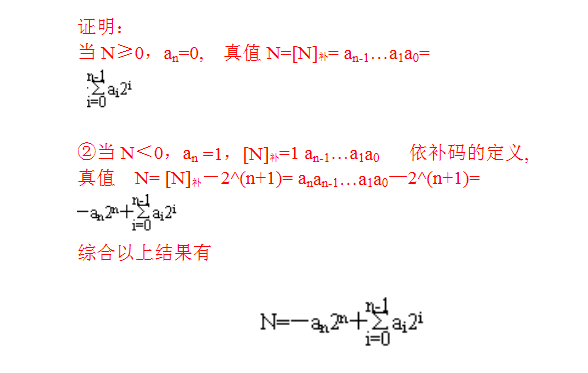
  2  比较cache与虚存的相同点和不同点。

相同点：（1）出发点相同；都是为了提高存储系统的性能价格比而构造的分层存储体系。（2）原理相同；都是利用了程序运行时的局部性原理把最近常用的信息块从相对慢速而大容量的存储器调入相对高速而小容量的存储器.

不同点：（1）侧重点不同；cache主要解决主存和CPU的速度差异问题；虚存主要是解决存储容量问题。（2）数据通路不同；CPU与cache、主存间有直接通路；而虚存需依赖辅存，它与CPU间无直接通路。（3）透明性不同；cache对系统程序员和应用程序员都透明；而虚存只对应用程序员透明。（4）未命名时的损失不同；主存未命中时系统的性能损失要远大于cache未命中时的损失。

四、证明题（10分）

    设[N]补=anan-1…a1a0，其中an是符号位。



五、分析题（12分）

  判断以下三组指令中各存在哪种类型的数据相关？

    ⑴I1 LDA R1,A      ;M(A)→R1,M(A)是存储器单元

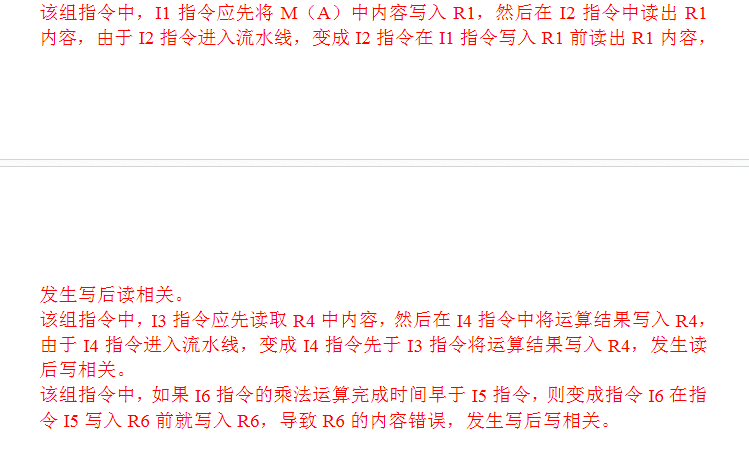
      I2 ADD R2,R1      ;(R2)+(R1)→R2

    ⑵I3 ADD R3,R4      ;(R3)+(R4)→R3

      I4 MUL R4,R5      ;(R4)×(R5)→R4

    ⑶I5 LDA R6,B      ;M(B)→R6,M(B)是存储器单元

      I6 MUL R6,R7      ;(R6)×(R7)→R6

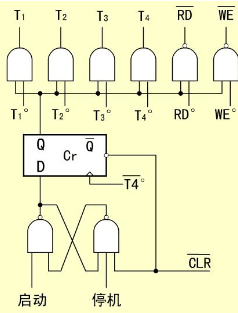


六、设计题（15分）

    一个CPU周期中需要4个节拍脉冲T1～T4。每个Ti的持续间隔为200ns。请设计：

    ①  节拍脉冲产生器；

1. 启停控制逻辑电路。要求T1前沿开启、T4后沿关闭节拍脉冲产生器。



七、简答题（12分）

为什么MESI协议能够解决多处理机系统中的Cache一致性？

