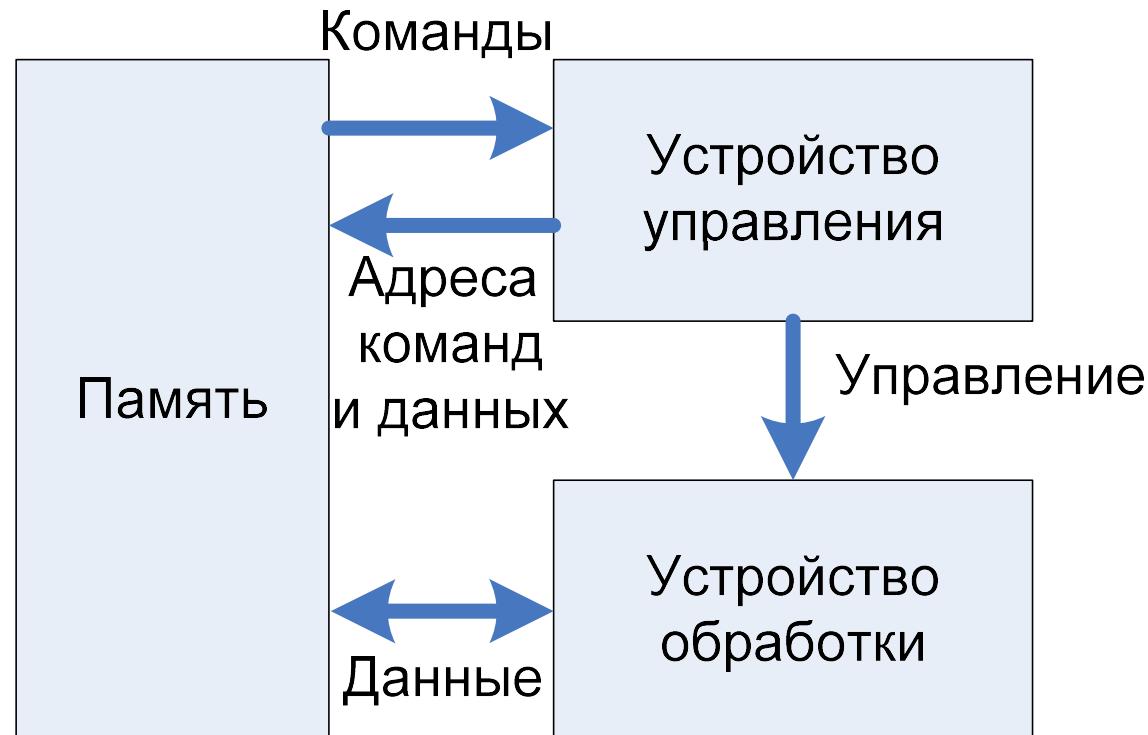
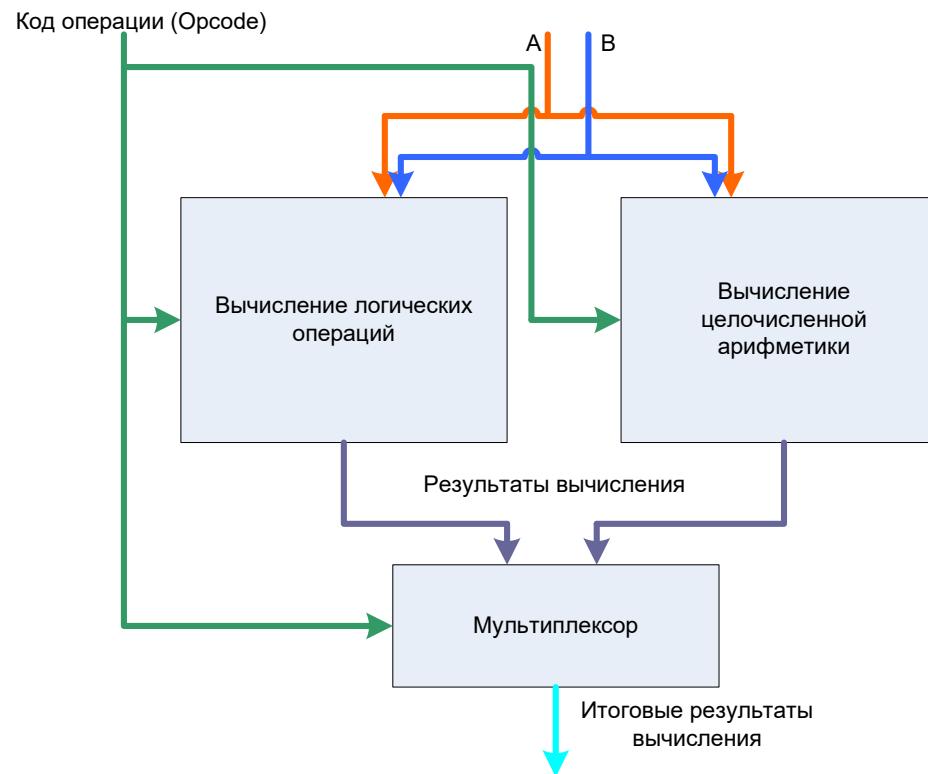


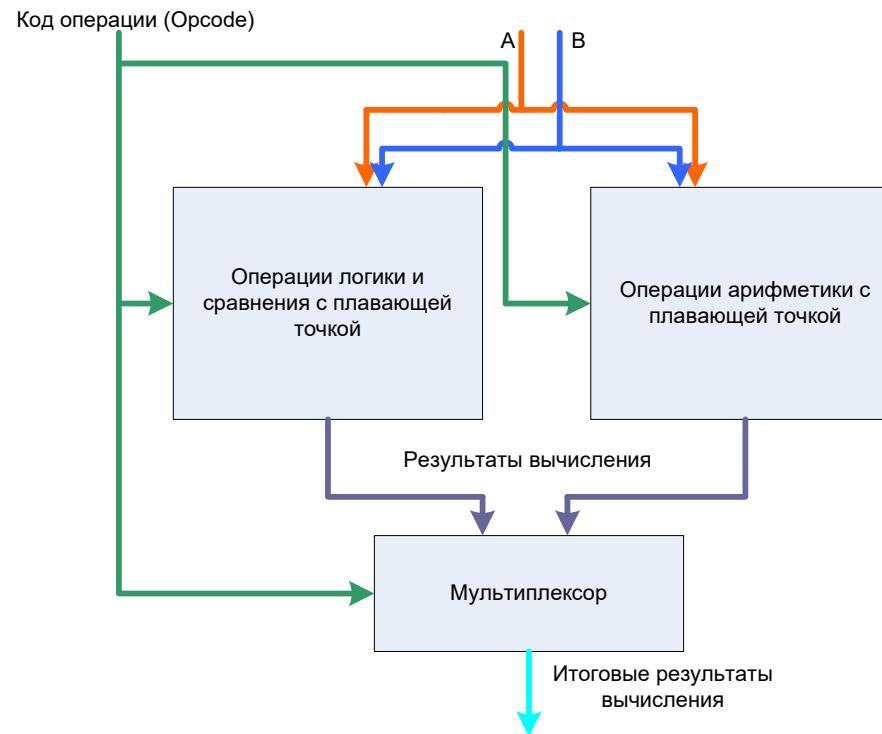
Общие принципы построения ЭВМ



ALU - блок целочисленной логики

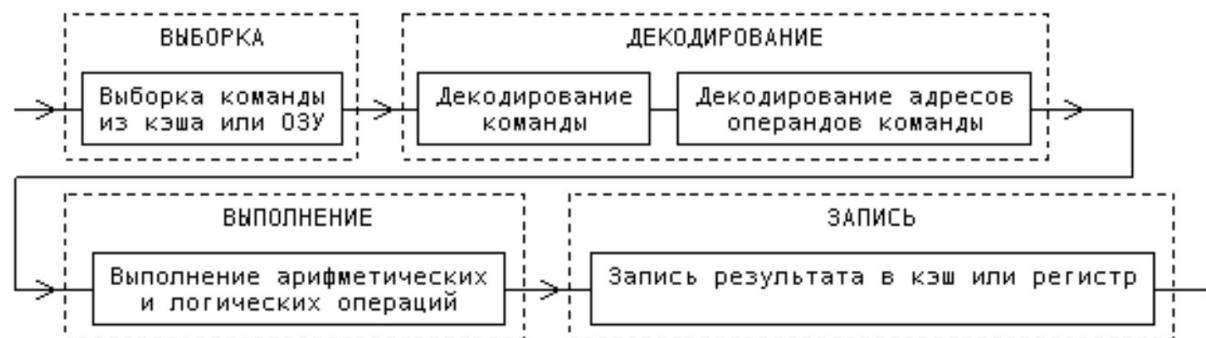


FPU - блок арифметики с плавающей точкой



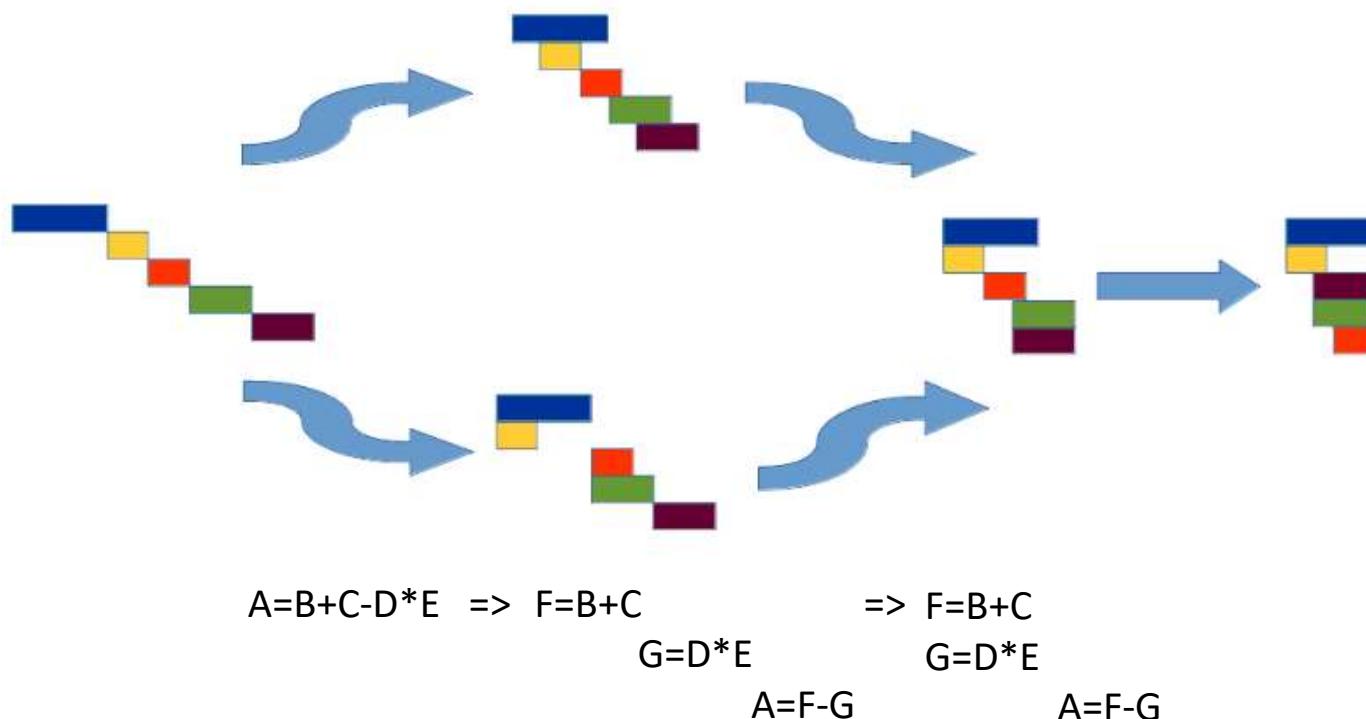
Конвейер

РАБОТА КОНВЕЙЕРА ПРОЦЕССОРОВ 486

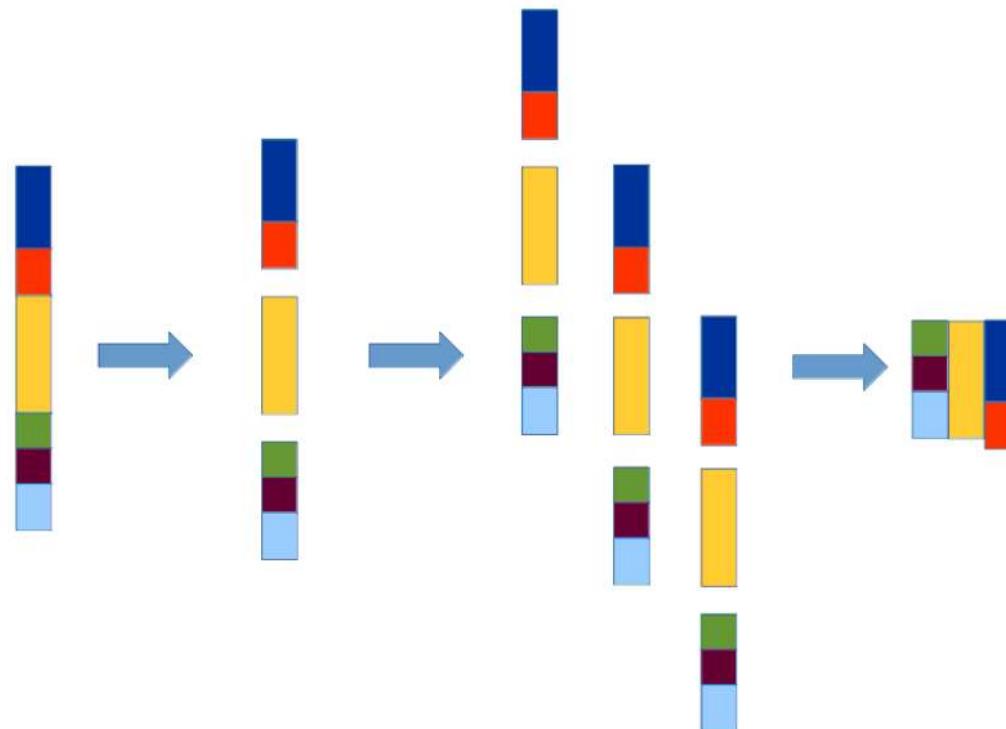


1: [F] [D1] [D2] [EX] [WB]
2: [F] [D1] [D2] [EX] [WB]
3: [F] [D1] [D2] [EX] [WB]
4: [F] [D1] [D2] [EX] [WB]
5: [F] [D1] [D2] [EX] [WB]

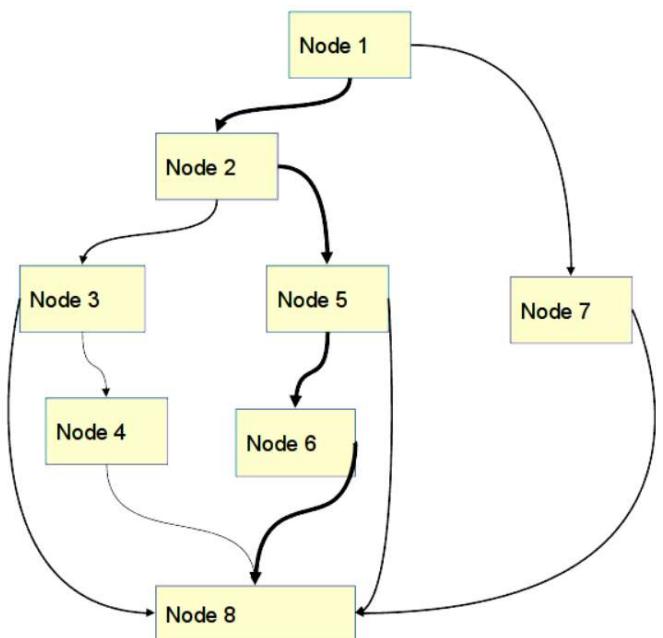
Суперскалярные конвейеры out-of-order superscalar(ОООСС)



Суперскалярные конвейеры out-of-order superscalar(OOOSS)



Спекулятивный режим и предсказания переходов

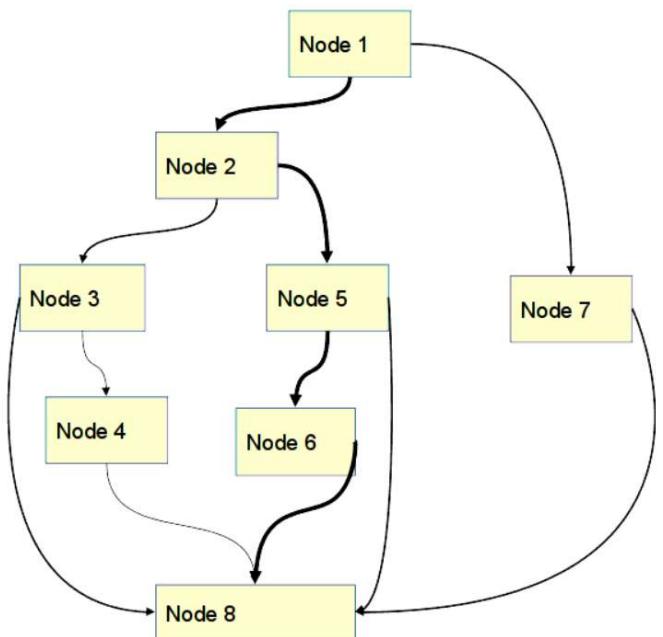


A=B+C
D=E*F
If(A>D)
 G=H*I
else
 G=H+I

A=B+C
D=E*F
G*=H*I
if => G=G*
else G=H+I

A=B+C
D=E*F
G*=H*I
G**=H+I
if => G=G*
else G=G**

Спекулятивный режим и предсказания переходов



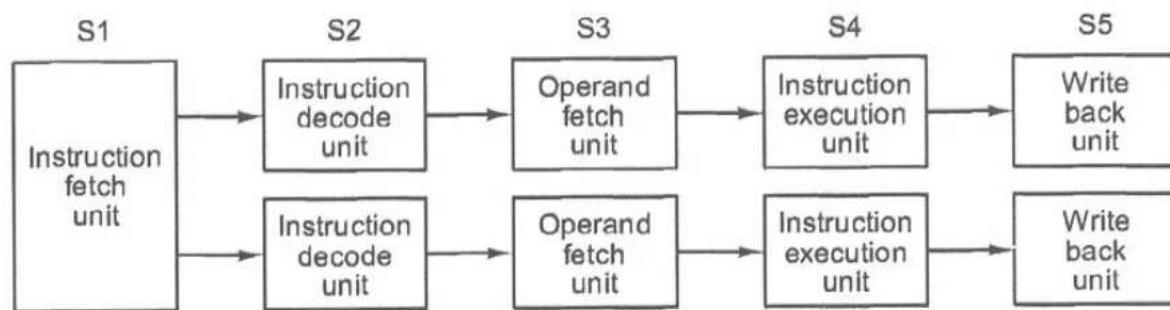
```
If(flag)  
{  
...  
}
```

- Хранение одного или нескольких предыдущих переходов
- Хранение индекса (хэш-таблицы)

Точность предсказаний до 94-96%

Двойной конвейер

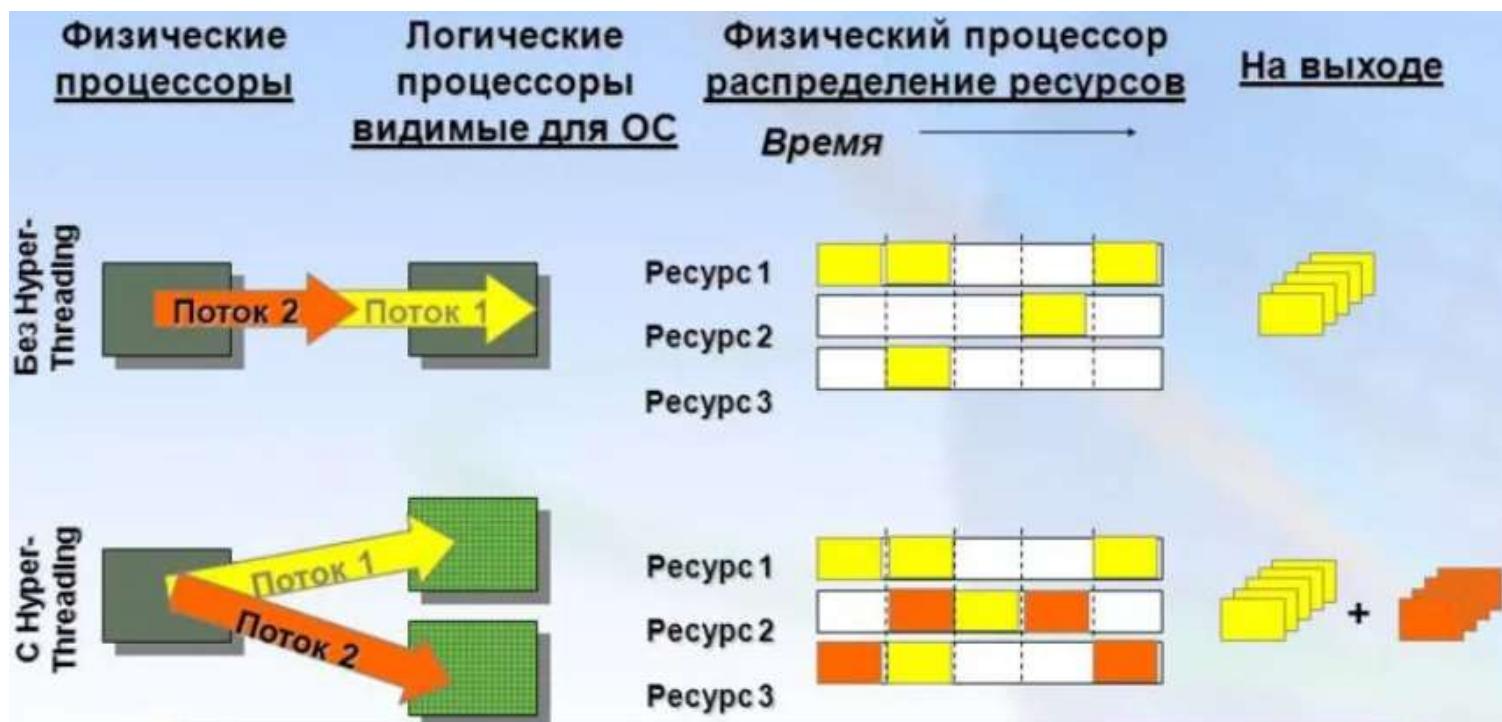
Схема двухконвейерного процессора
Pentium



U-конвейер выполняет произвольные команды

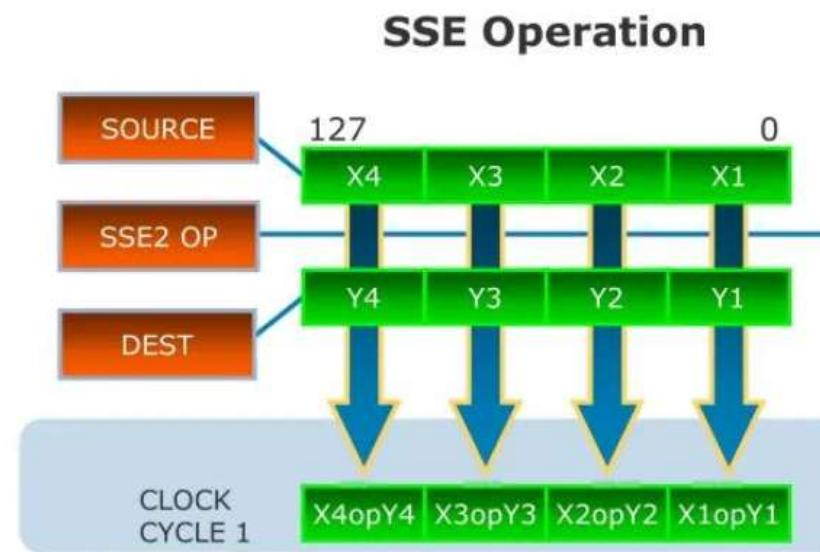
V-конвейер - только простые команды с целыми числами.

Многопоточность

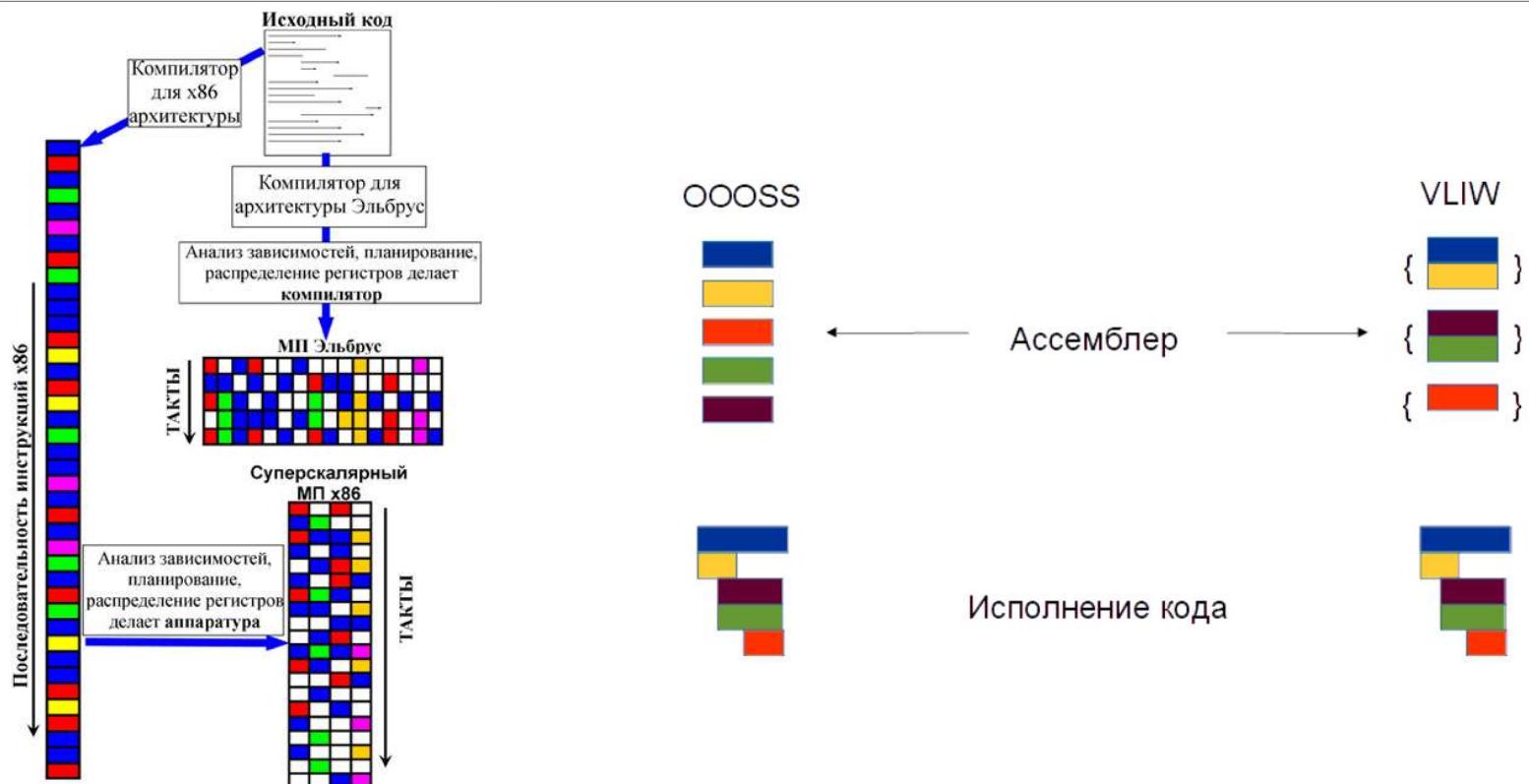


SIMD – Инструкции с множественными данными

- 128-bit wide with Intel® SSE(2,3,4)
 - 2 64-bit integer ops/cycle
 - 4 32-bit integer ops/cycle
 - 8 16-bit integer ops/cycle
 - 16 8-bit integer ops/cycle
- 256-bit with AVX (Sandy Bridge)
- 512-bit with Larrabee



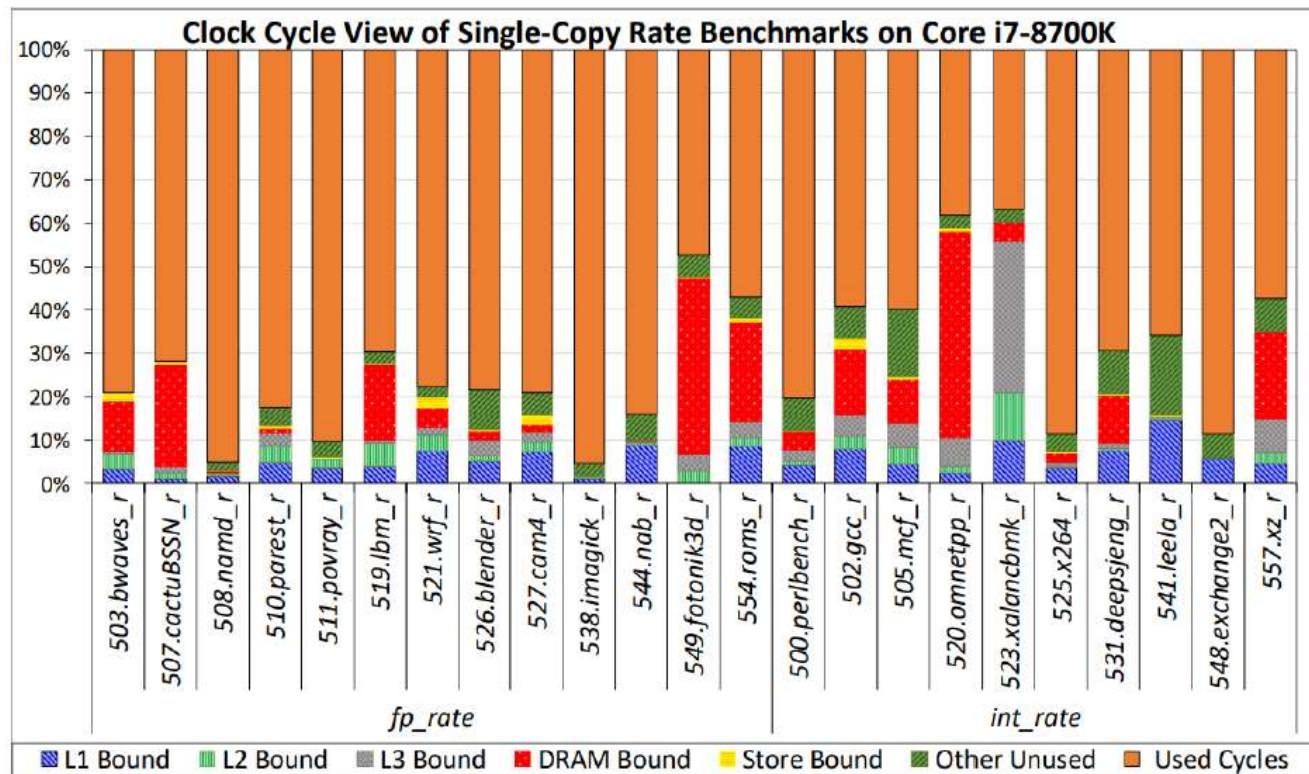
Широкое командное слово (VLIW)



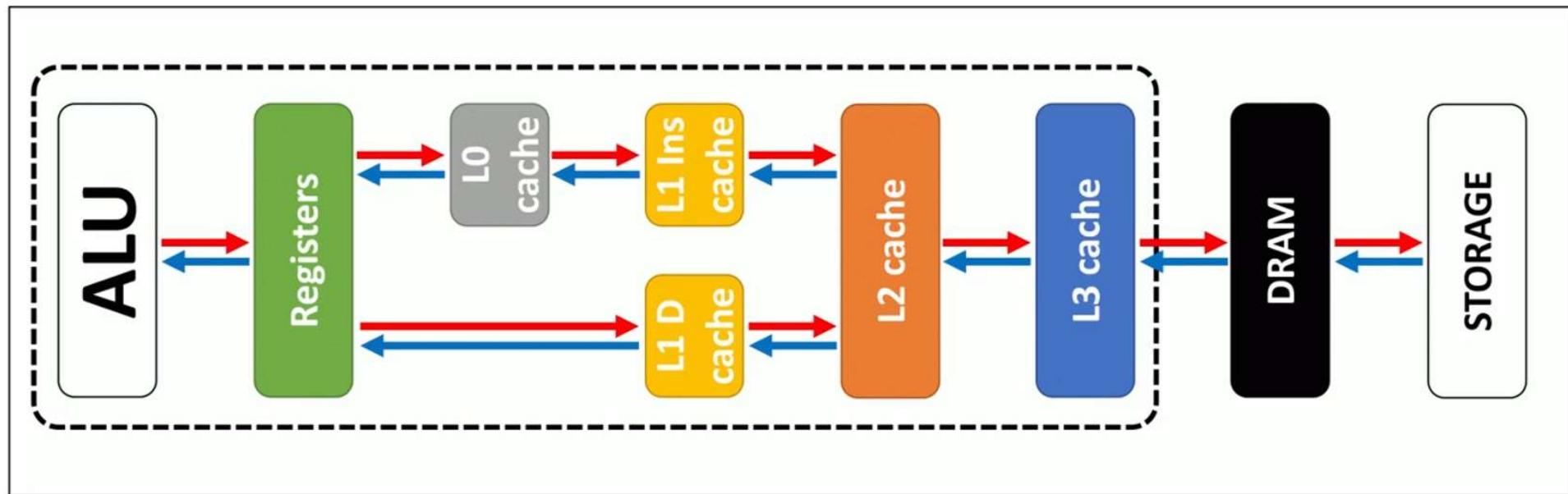
CISC, RISC, VLIW

Характеристика	CISC	RISC	VLIW
Длина команды	Различная	Однаковая	Однаковая
Расположение полей в командах	Различное	Однаковое	Однаковое
Количество регистров	Малое. Регистры специализированные	Большое. Регистры универсальные	Большое. Регистры универсальные
Доступ к памяти	Кодируется в команде. Выполняется по микрокоманде	Выполняется по специальной команде	Выполняется по специальной команде
Длительность выполнения команд	Различная	Однаковая (для большинства команд)	Различная

Влияние скорости доступа к памяти на производительность



Многоуровневый кэш



Ключевые параметры

- время доступа в кэш при попадании в него (*Hit time*);
- частота промахов в кэш (*Miss rate*);
- задержка на доступ к данным при промахе в кэш (*Miss penalty*).

Многоуровневый кэш

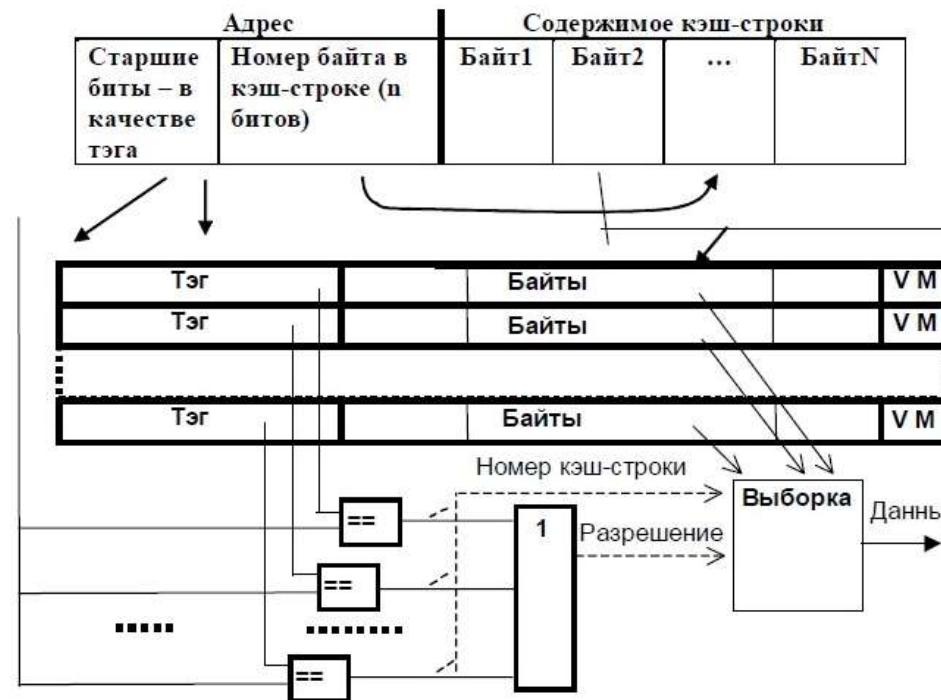


Кэш с прямым отображением

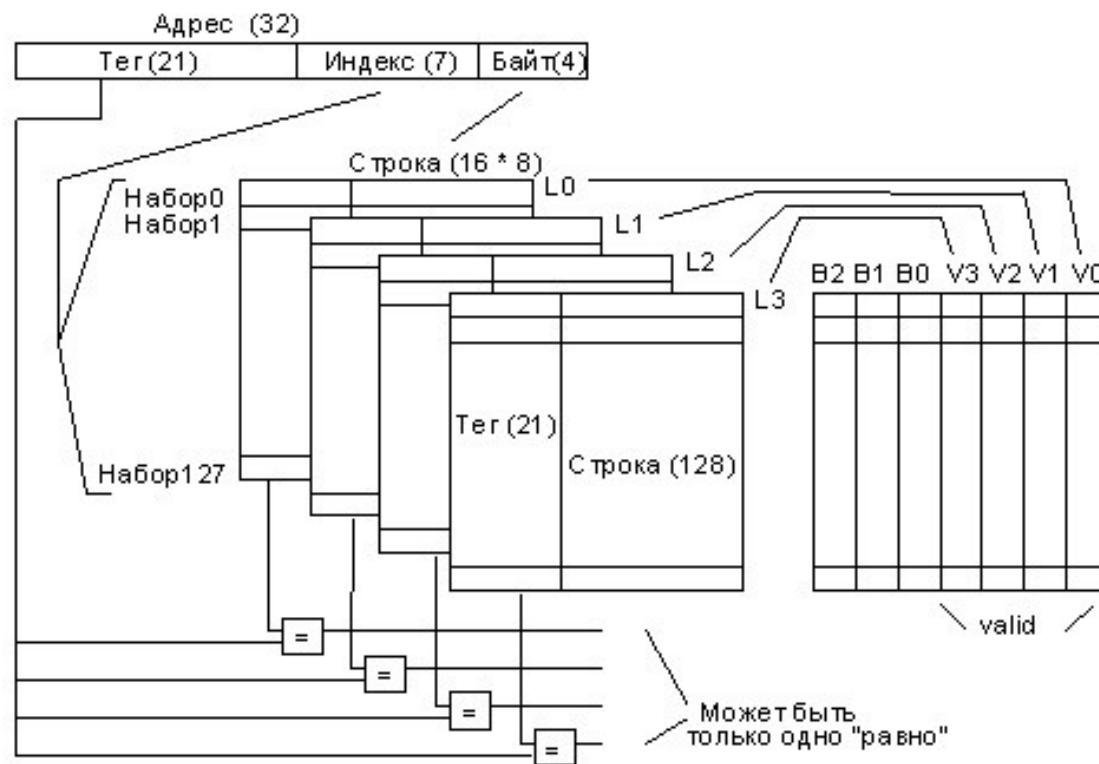
Адрес		
Старшие биты – в качестве тега	Индекс	Номер байта в кэш-строке
A16-31	A2-15	A0-1



Ассоциативный кэш



Множественно-ассоциативный кэш

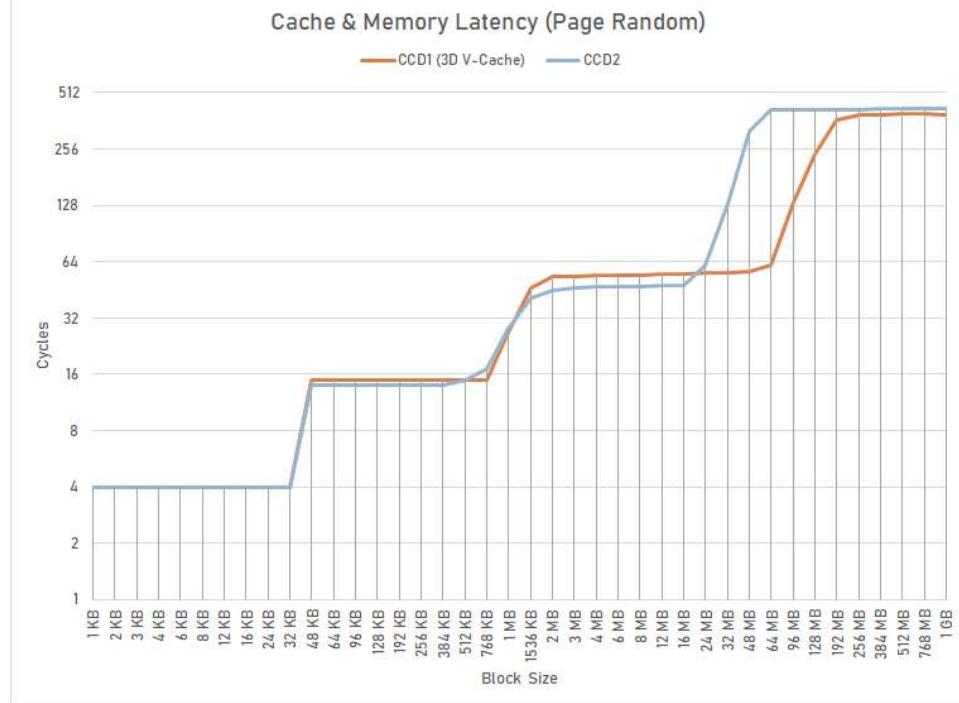
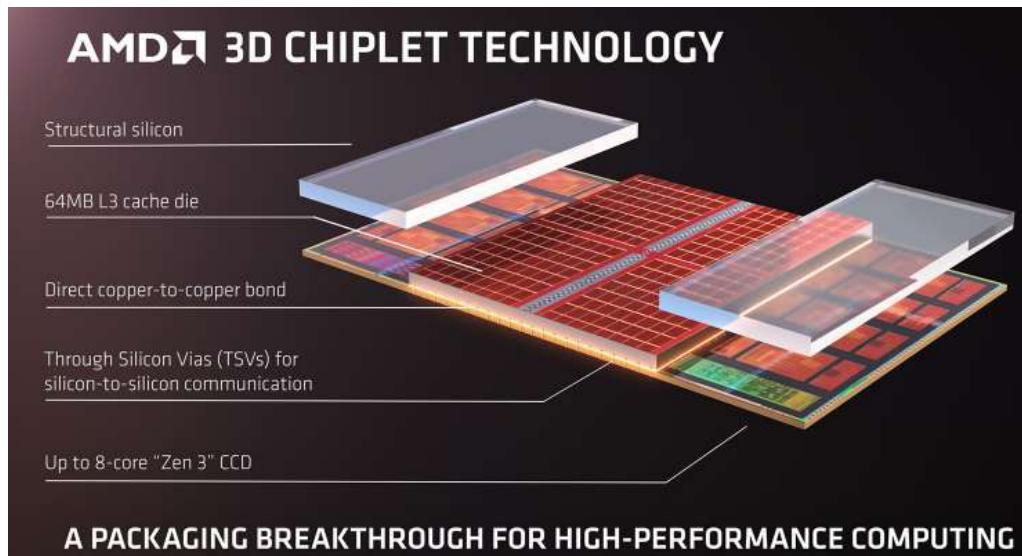


Многоуровневый кэш

Processor			
Name	Intel Core i9 9900KS		
Code Name	Coffee Lake	Max TDP	127.0 W
Package	Socket 1151 LGA		
Technology	14 nm	Core Voltage	1.199 V
Specification	Intel® Core™ i9-9900KS CPU @ 4.00GHz		
Family	6	Model	E
Ext. Family	6	Ext. Model	9E
Stepping	D	Revision	R0
Instructions	MMX, SSE, SSE2, SSE3, SSSE3, SSE4.1, SSE4.2, EM64T, VT-x, AES, AVX, AVX2, FMA3, TSX		
Clocks (Core #0)			
Core Speed	4614.58 MHz		
Multiplier	x 46.0 (8 - 50)		
Bus Speed	100.27 MHz		
Rated FSB			
Cache			
L1 Data	8 x 32 KBytes	8-way	
L1 Inst.	8 x 32 KBytes	8-way	
Level 2	8 x 256 KBytes	4-way	
Level 3	16 MBytes	16-way	
Selection	Socket #1	Cores	8
		Threads	16

Processor			
Name	AMD Ryzen 9 5950X		
Code Name	Vermeer	Max TDP	105.0 W
Package	Socket AM4 (1331)		
Technology	7 nm	Core Voltage	1.392 V
Specification	AMD Ryzen 9 5950X 16-Core Processor		
Family	F	Model	1
Ext. Family	19	Ext. Model	21
Stepping	2	Revision	VRM-B2
Instructions	MMX(+), SSE, SSE2, SSE3, SSSE3, SSE4.1, SSE4.2, SSE4A, x86-64, AMD-V, AES, AVX, AVX2, FMA3, SHA		
Clocks (Core #0)			
Core Speed	3592.72 MHz		
Multiplier	x 36.0 (5.5 - 50.5)		
Bus Speed	99.80 MHz		
Rated FSB			
Cache			
L1 Data	16 x 32 KBytes	8-way	
L1 Inst.	16 x 32 KBytes	8-way	
Level 2	16 x 512 KBytes	8-way	
Level 3	2 x 32 MBytes	16-way	
Selection	Socket #1	Cores	16
		Threads	32

Многоуровневый кэш (3.5 уровня)



Многоуровневый кэш

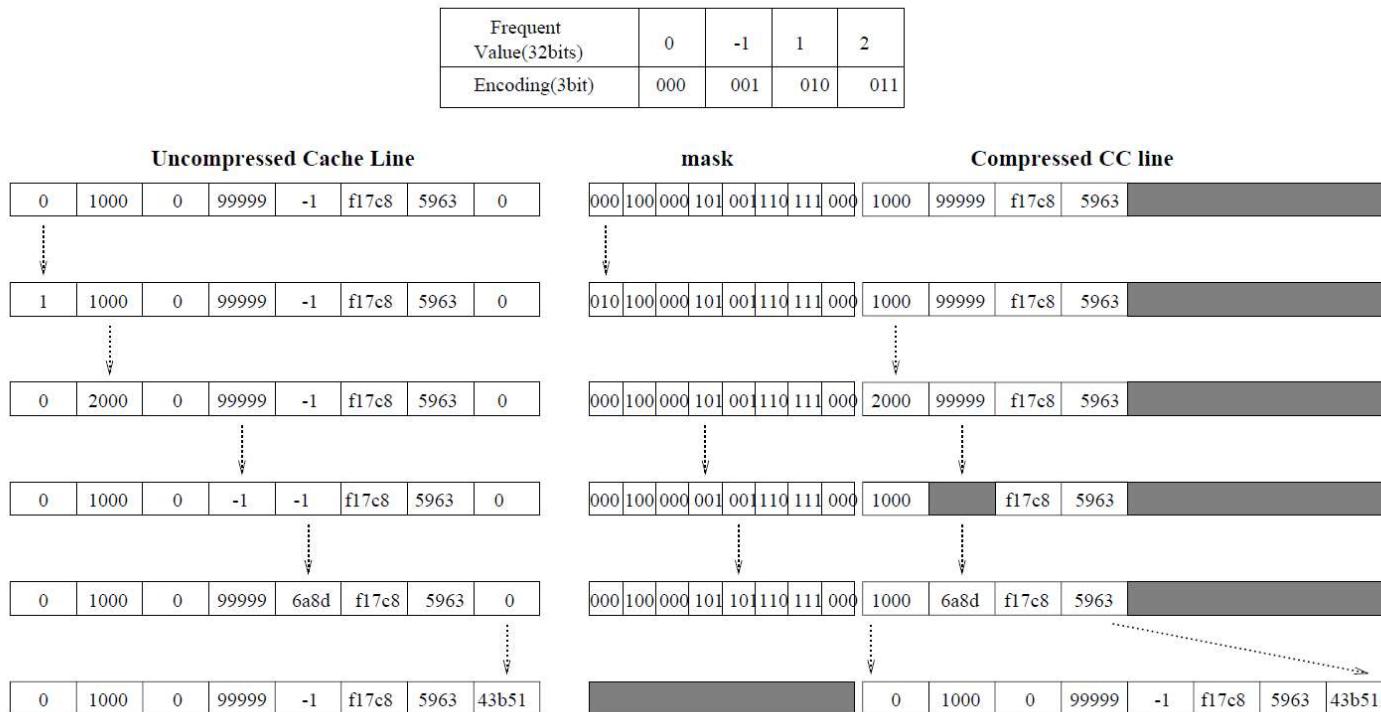
МИКРОПРОЦЕССОРЫ ЭЛЬБРУС

Эльбрус 130нм	Эльбрус-2C+ 90нм	Эльбрус-4C 65нм	Эльбрус-8С 28нм	Эльбрус-8СВ 28нм	Эльбрус-16С 16нм
1-ое поколение	2-ое поколение	3-ое поколение	4-ое поколение	5-ое поколение	6-ое поколение
- 5 GFLOPS	- 28 GFLOPS	- 50 GFLOPS	- 250 GFLOPS	- 0.58 TFLOPS	- 1.5 TFLOPS
- 1 ядро	- 2 ядра + 4 DSP	- 4 ядра	- 8 ядер	- 8 ядер	- 16 ядер
- 300 МГц	- 500 МГц	- 800 МГц	- 1.3 ГГц	- 1.5 ГГц	- 2.0 ГГц
2H07	1H11	2H13	2H15	2H18	2H21

ПОДСИСТЕМА КЭШ-ПАМЯТИ

- Кэш-память ядра:
 - L1I: 128 KB, 256B line, 4-way
 - L1D: 64 KB, 32B line, 4-way
 - L2: 1 MB, 64B line, 4-way, неинклюзивная
- Кэш-память L3, общая для всех ядер:
 - 32 MB, 64B line, 16-way (data), неинклюзивная

Сжатие данных в СБИС (Frequent Value Compression - FVC)



Сжатие данных в СБИС (Frequent Pattern Compression- FPC)

Префикс	Закодированная последовательность	Размер данных
000	Последовательность нулей	3 бита (для последовательностей до 8 нулей)
001	4 бита со знаковым расширением	4 бита
010	1 байт со знаковым расширением	8 бит
011	Полуслово со знаковым расширением	16 бит
100	Полуслово вместе с нулевым полусловом	Ненулевое полуслово (16 бит)
101	Два полуслова, в каждом из которых используется байт со знаковым расширением	Два байта (16 бит)
110	Слово из повторяющихся байтов	8 бит
111	Несжатое слово	Само слово (32 бита)

Сжатие данных в СБИС (C-Pack)

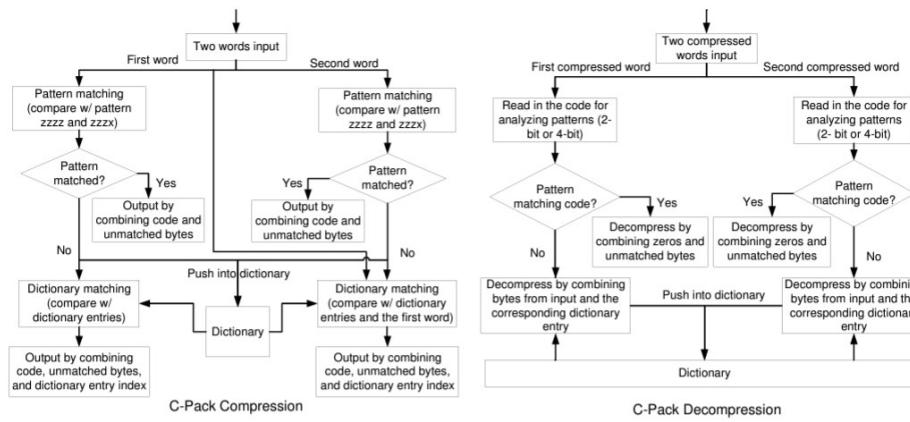


Fig. 2. C-Pack (a) compression and (b) decompression.

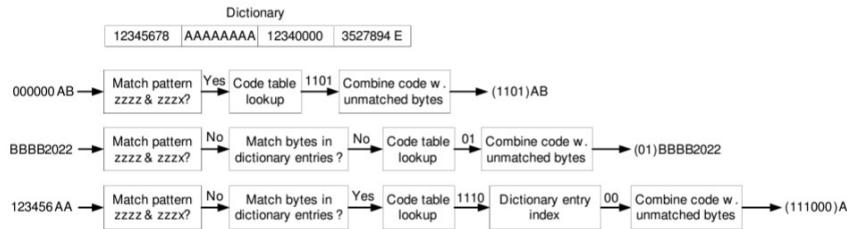
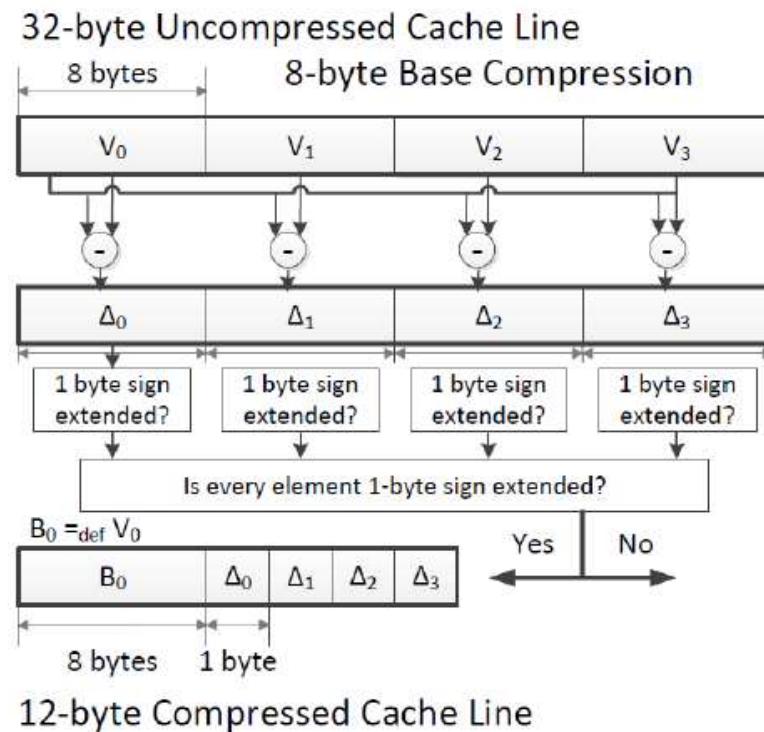


Fig. 3. Compression examples for different input words.

Сжатие данных в СБИС (Base-Delta-Immediate)



Наборы операций

- NOP (пустая операция)
- RESET (сброс состояния)
- Операции перемещения данных
- Логические операции
- Операции сдвига
- Операции сравнения
- Операции перехода
- Целочисленные арифметические операции
- Арифметические операции с плавающей точкой
- Специализированные операции

Оценки сложности

- Big O
- Little o
- Big Theta (Θ)
- Big Omega (Ω)
- Little Omega (ω)
- $O(1)$
- $O(\log n)$
- $O(n)$
- $O(n \log n)$
- $O(n^m)$
- $O(\exp n)$
- $O(n!)$