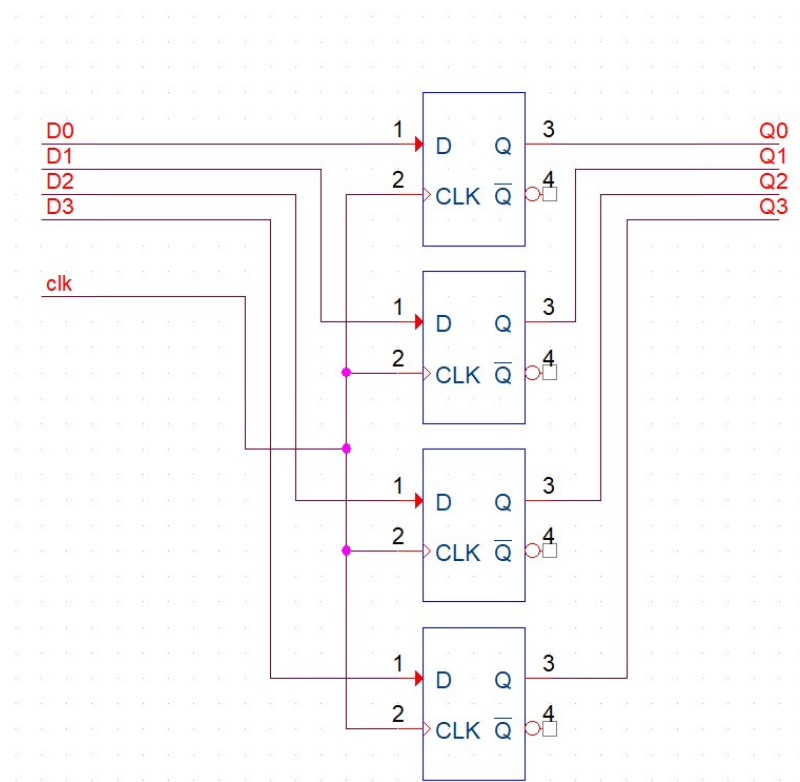
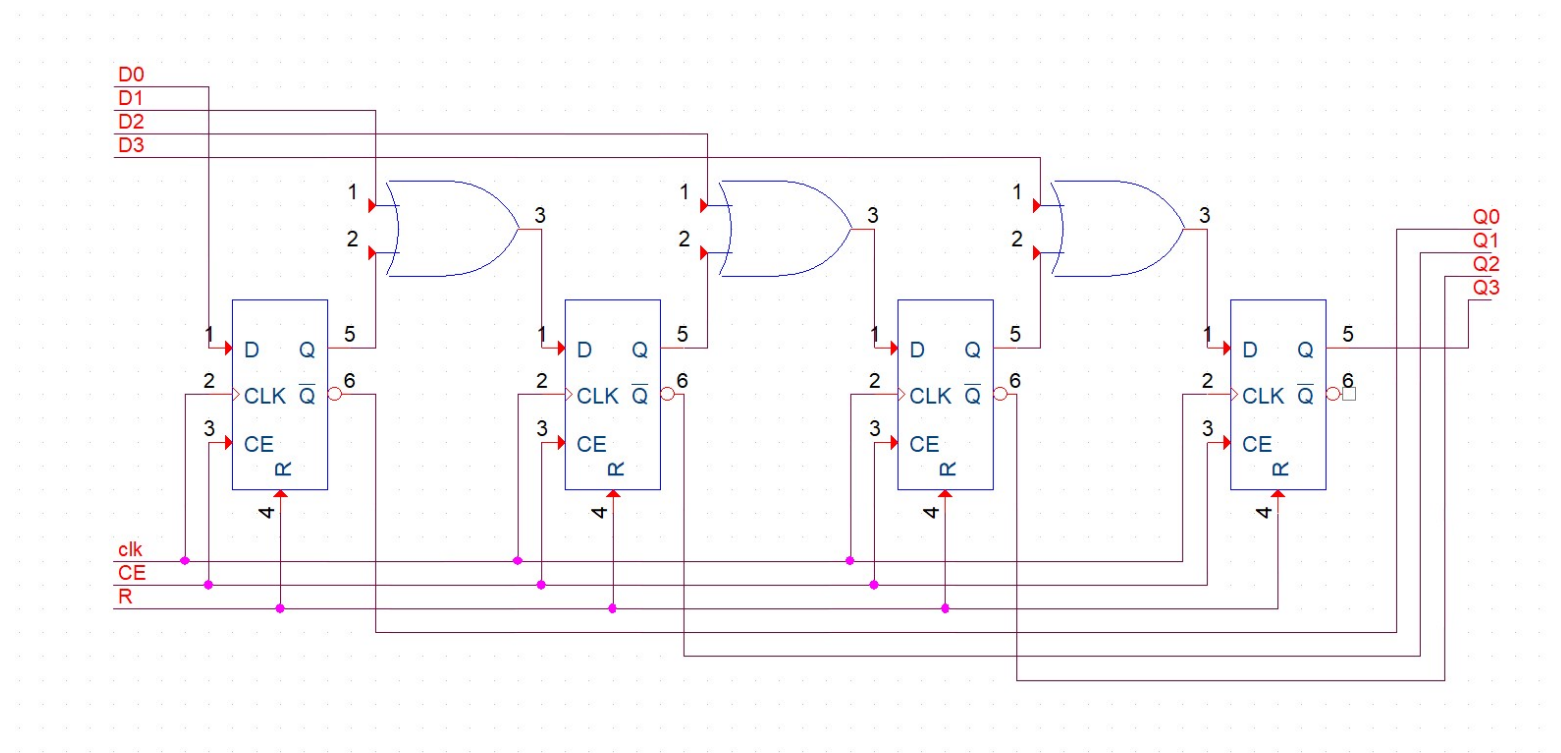


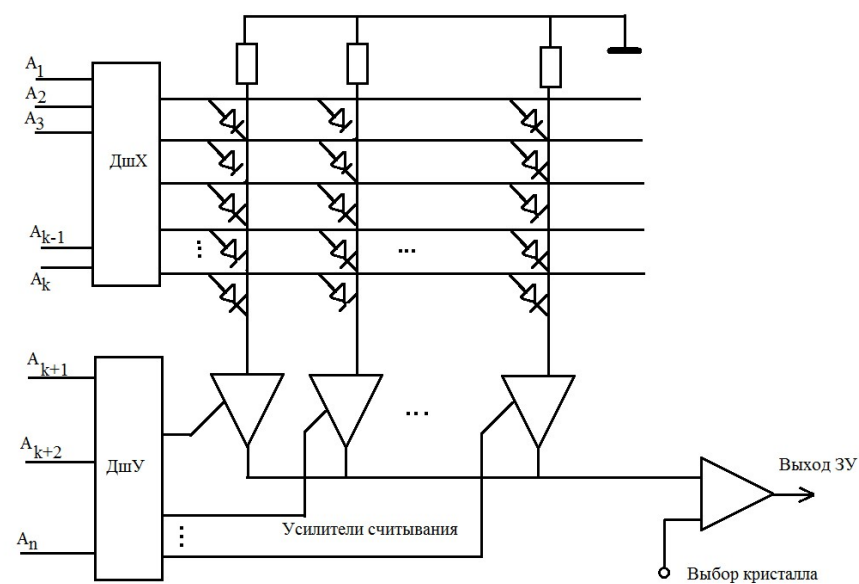
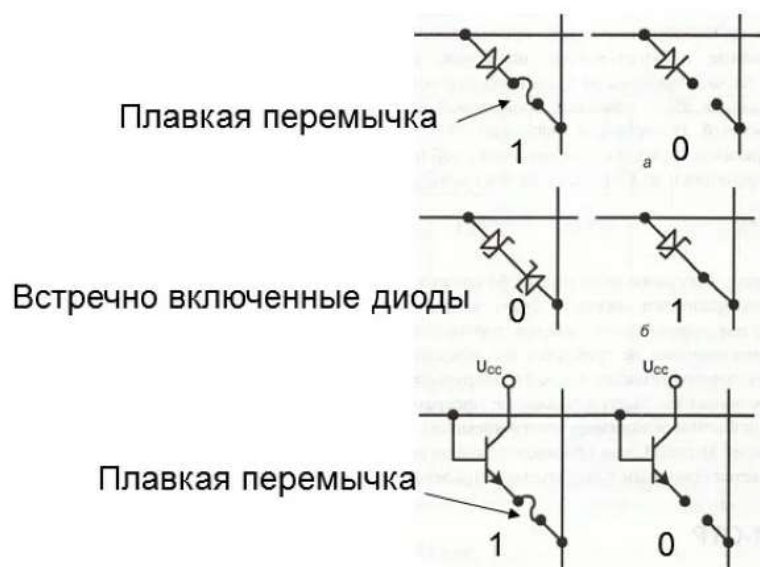
Параллельные регистры



Последовательные(сдвиговые) регистры



PROM (Programmable random access memory) – программируемая память с произвольным доступом



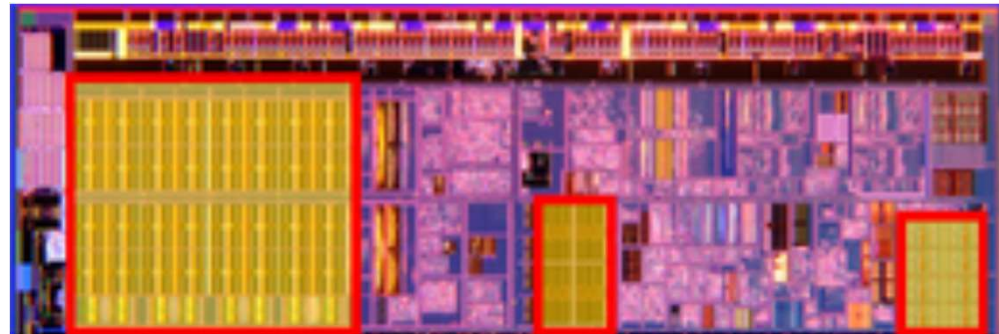
SRAM – статическая память с произвольным доступом

Данные в памяти хранятся пока подается напряжение питания, регулярное обновление данных не требуется

Произвольный доступ – возможность прочитать или записать данные по произвольному адресу, независимо от предыдущих операций чтения/записи

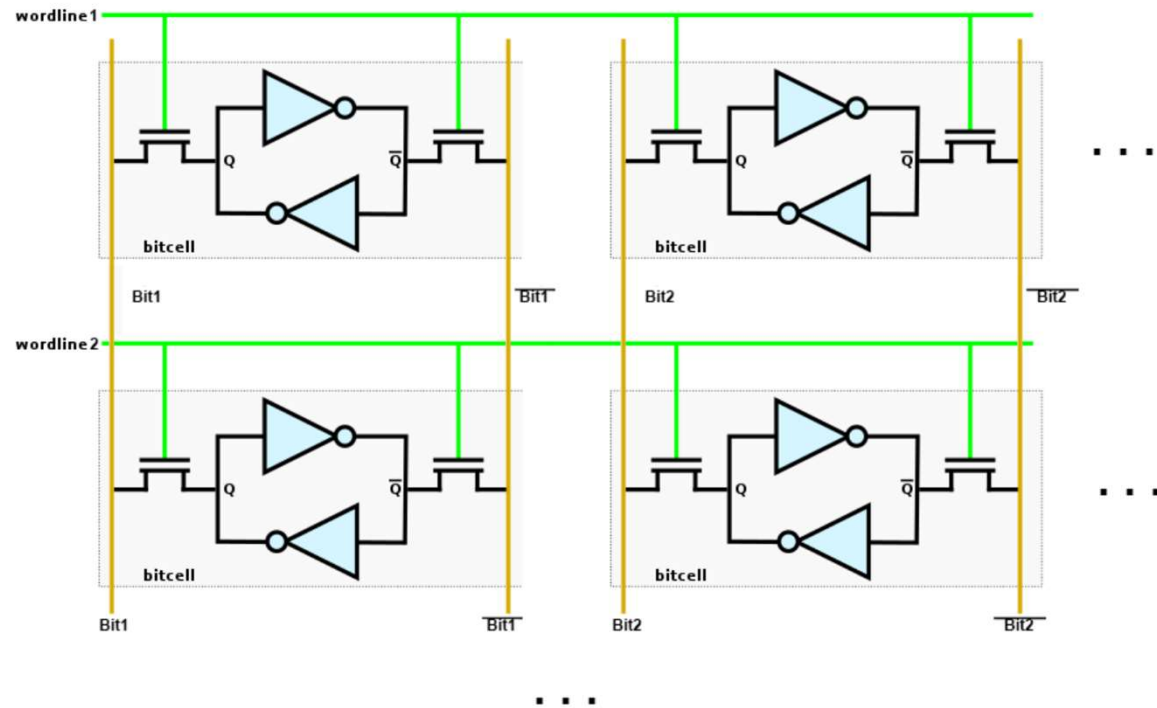
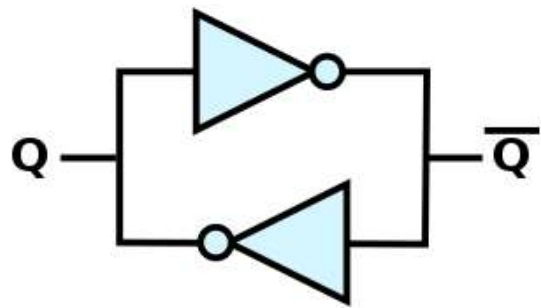
Большие блоки памяти компонуются в виде матрицы битовых ячеек (**bitcell**) и управляющей аппаратуры для доступа к ним

Примерно так блоки памяти выглядят на кристалле:

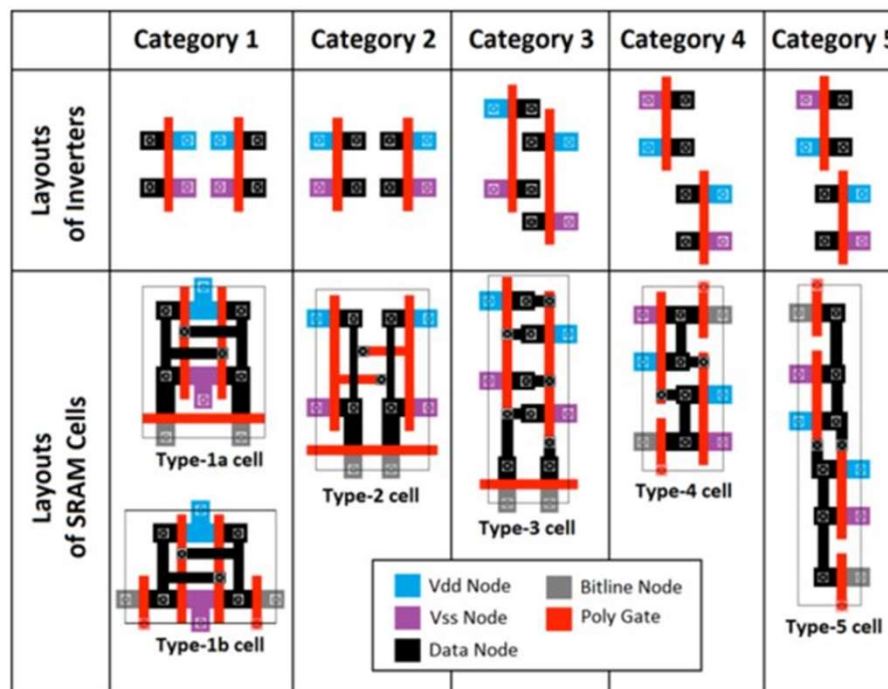


Bitcell – ячейка памяти (1 бит)

Память – матрица из bitcell-ов



Bitcell – ячейка памяти (1 бит)



Топология bitcell в различных вариантах техпроцесса 32 nm

Стандартные типы памяти

1P – однопортовая память

SP – однопортовая память

2P – память с двумя раздельными портами на чтение и запись

DP – память с двумя универсальными портами на чтение и запись

Пример Verilog модуля памяти 16 слов шириной 8 бит

```
module mem_SP_16x8 (DO, A, DI, GWE, CLK);  
    output [7:0] DO;        // Data Output  
    input  [3:0] A;          // Address  
    input  [7:0] DI;         // Data Input  
    input  GWE;              // Global Write Enable  
    input  CLK;              // Clock  
endmodule
```


RAMpiler++ [Icons] [Close]

File Generate ECC module View Run Optimize Help ◆ 1pr ◇ sp

<input checked="" type="checkbox"/> No of Words	16	<input type="checkbox"/> TopCell	dti_1pr_tm06ff_16x8_1ww2x_m_hc		<input type="checkbox"/> Over Drive	—	
<input checked="" type="checkbox"/> Word Size	8	<input type="checkbox"/> Registered Out	<input checked="" type="checkbox"/> Global Wrt Enable	—		<input checked="" type="checkbox"/> Threshold Volt	SVT
<input checked="" type="checkbox"/> Column Mux	1	<input type="checkbox"/> Async Wrt Thru	<input type="checkbox"/> Output Enable	—		<input type="checkbox"/> Operating Freq	0.000 Mhz
<input checked="" type="checkbox"/> Output Drive	2x	<input type="checkbox"/> Bist Mux	<input type="checkbox"/> XOR	—		<input type="checkbox"/> Load Cap	0.000 pF
<input checked="" type="checkbox"/> MemBitCell	hc	<input type="checkbox"/> Col Redundancy	<input type="checkbox"/> 8 Row Redundancy	—		<input type="checkbox"/> Signal Devlp	70mV
		<input type="checkbox"/> Deep N-Well	<input checked="" type="checkbox"/> PosEdge Clock	—		<input type="checkbox"/> Sync Wrt Thru	

<input checked="" type="checkbox"/> Pins	<input checked="" type="checkbox"/> PwrMesh	<input type="checkbox"/> Pin-Extn	0.000 um	<input type="checkbox"/> PinOnGrid	0.000 um	<input type="checkbox"/> Vertical M5	—
<input type="checkbox"/> PwrRing	—	H-M1VDD	—	V-M1VDD	—	H-M1VSS	—
		V-M1VSS	—	<input type="checkbox"/> Stretch Pin			

<input type="checkbox"/> ULL deep sleep	—	Avg sleep time	100 cycles	<input type="checkbox"/> Low Power	<input type="checkbox"/> Isolation	<input type="checkbox"/> Dual Rail
<input type="checkbox"/> Power Gating	—	<input type="checkbox"/> Optimization with additional metal (FAST)				

<input type="checkbox"/> Decap	0 %	Power grid impedance	0.000 Ohm	Power drop tolerance	0.0 mV	Position	Right
<input type="checkbox"/> User Defined Decap	0.00 pF						

RAMPILER_HOME

COMPILE

```

INFO: 8 corners: ffgnpht ffgnplt ffgnpzt ssgnpht ssgnplt ssgnpzt tt85trv ttrt
CNTL: rows(16) cols(8) => title(cntrlmap_cml) rows(16) cols(16) cntrl_num(0)
TRKW: rows(16) => title(trkwmap_cml) rows(16) trkwlin(0)
INFO: Pins on the grid M2=0.040um M4=0.076um
INFO: dti_lpr_tm06ff_16x8_1ww2x_m_hc.bitmap generated.
LEF : dti_lpr_tm06ff_16x8_1ww2x_m_hc.lef generated.
      dti_lpr_tm06ff_16x8_1ww2x_m_hc_ant.lef generated.
GDS : dti_lpr_tm06ff_16x8_1ww2x_m_hc.gds generated. (FE)
      > reading 'database/map_tsmc06' to keep layer.
      > deleted layer - 31;0 108;12 108;14 108;33 108;206 923;0
CKT : FE builder doesn't generate <.ckt>
DATA: dti_lpr_tm06ff_16x8_1ww2x_m_hc.ds generated.
LIB : dti_lpr_tm06ff_16x8_1ww2x_m_hc_typ.lib generated.
      dti_lpr_tm06ff_16x8_1ww2x_m_hc_ssgnnp40.lib generated.
      dti_lpr_tm06ff_16x8_1ww2x_m_hc_ffgnpl25.lib generated.
      dti_lpr_tm06ff_16x8_1ww2x_m_hc_typ85crv.lib generated.
      dti_lpr_tm06ff_16x8_1ww2x_m_hc_ssgnpl25.lib generated.
      dti_lpr_tm06ff_16x8_1ww2x_m_hc_ssgnpzero.lib generated.
      dti_lpr_tm06ff_16x8_1ww2x_m_hc_ffgnpn40.lib generated.
      dti_lpr_tm06ff_16x8_1ww2x_m_hc_ffgnpzero.lib generated.
VERL: dti_lpr_tm06ff_16x8_1ww2x_m_hc.v generated.
      dti_lpr_tm06ff_16x8_1ww2x_m_hc_fault.v generated.
CTL : dti_lpr_tm06ff_16x8_1ww2x_m_hc.ct1 generated.
LGVN: dti_lpr_tm06ff_16x8_1ww2x_m_hc.lv generated.
      dti_lpr_tm06ff_16x8_1ww2x_m_hc.lv.map generated.
ATPG: dti_lpr_tm06ff_16x8_1ww2x_m_hc.atpg generated.
      dti_lpr_tm06ff_16x8_1ww2x_m_hc.fs.do generated.
      dti_lpr_tm06ff_16x8_1ww2x_m_hc.tmax generated.
MEMT: dti_lpr_tm06ff_16x8_1ww2x_m_hc_mbist.lib generated.
DOC : timing.pdf generated.
      command_file generated.
#####
RAMPILER_HOME /auto/cent8-2/users/da/technology/6/tsmc_cin6/lib/dolphin/lpr_revlp0p2_fe

```

COMPILE

DRAM – динамическая память с произвольным доступом

Данные в памяти хранятся пока подается напряжение питания, требуется регулярное обновление данных из-за утечки заряда из емкости

Существенное уменьшение площади, существенное снижение быстродействия из-за необходимости перезарядки больших емкостей.

Произвольный доступ – возможность прочитать или записать данные по произвольному адресу, независимо от предыдущих операций чтения/записи

Большие блоки памяти компонуются в виде матрицы битовых ячеек и управляющей аппаратуры для доступа к ним

DRAM – динамическая память с произвольным доступом

Ячейка DRAM:

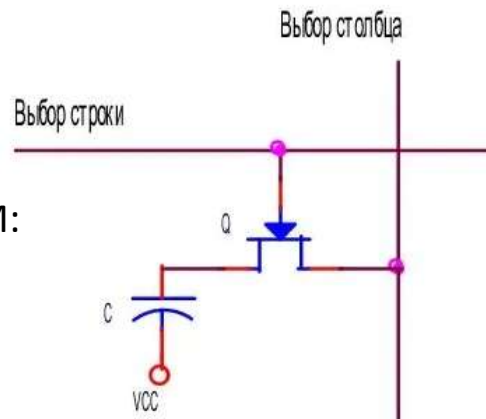
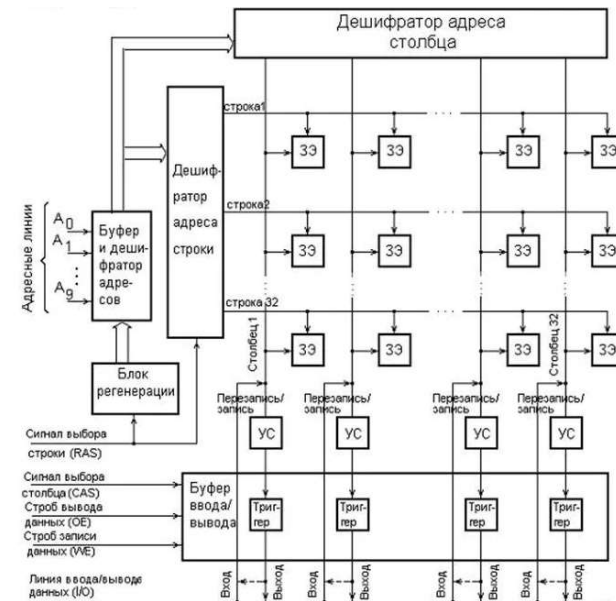
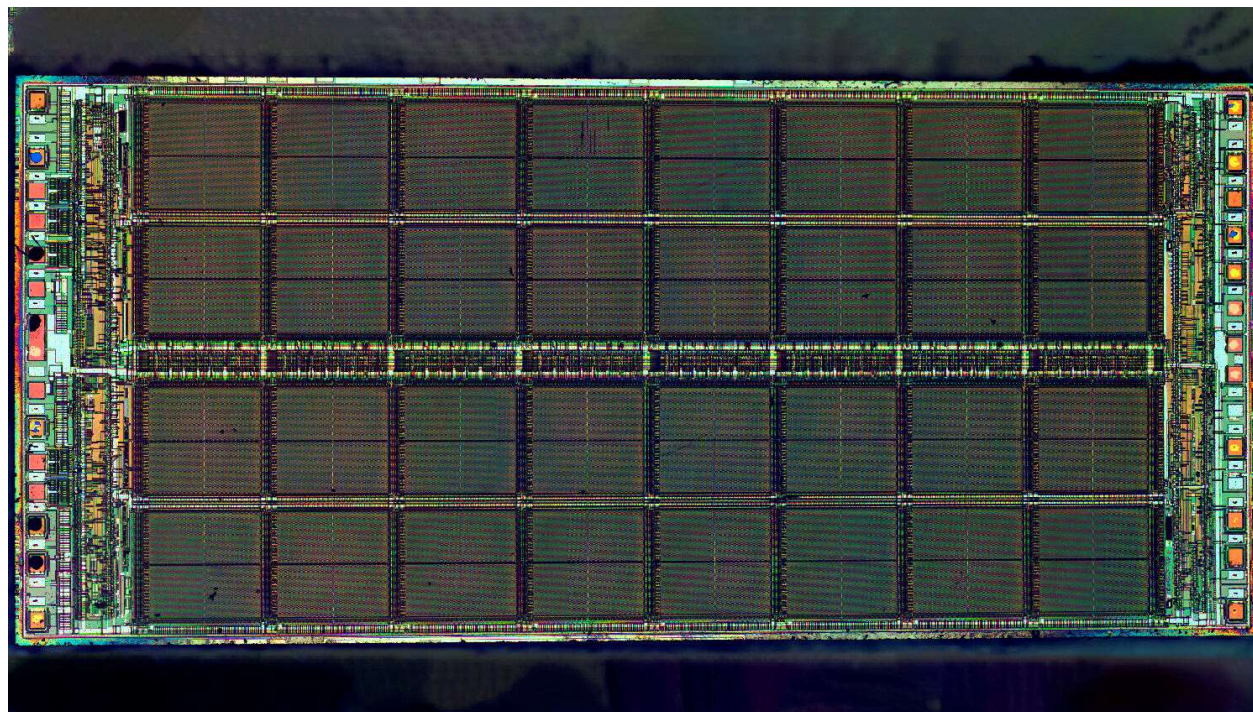


Схема блока DRAM:



DRAM – динамическая память с произвольным доступом

DRAM блоки
на кристалле:



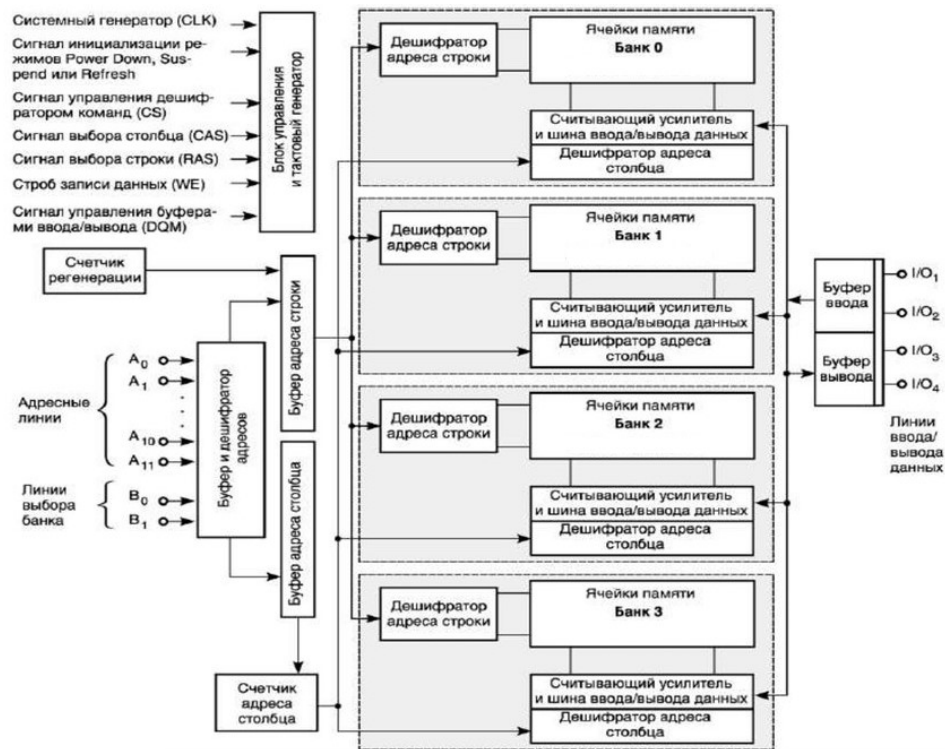
SDRAM – синхронная динамическая память с произвольным доступом

Данные в памяти хранятся пока подается напряжение питания, регулярное обновление данных не требуется

Операции выполняются по тактам синхронизации, что позволяет организовать последовательное выполнение команд без задержек.

Большие блоки памяти компонуются в виде матрицы битовых ячеек и управляющей аппаратуры для доступа к ним

SDRAM – синхронная динамическая память с произвольным доступом

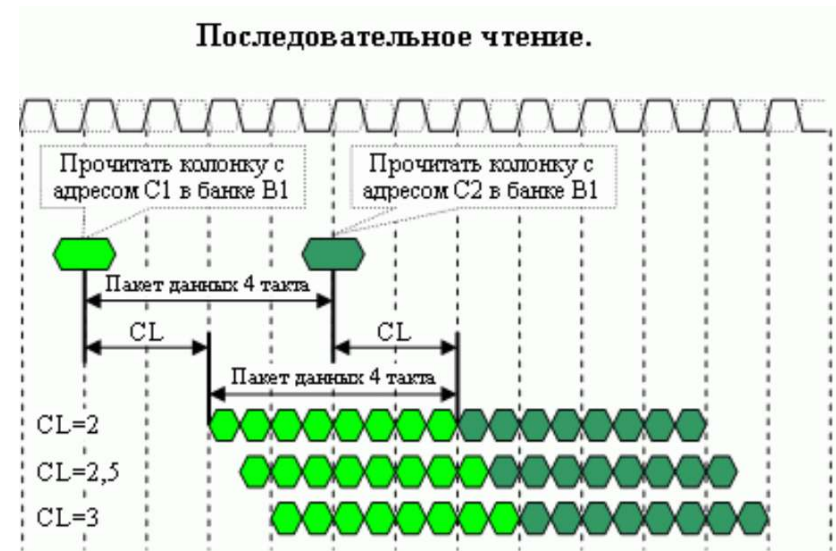
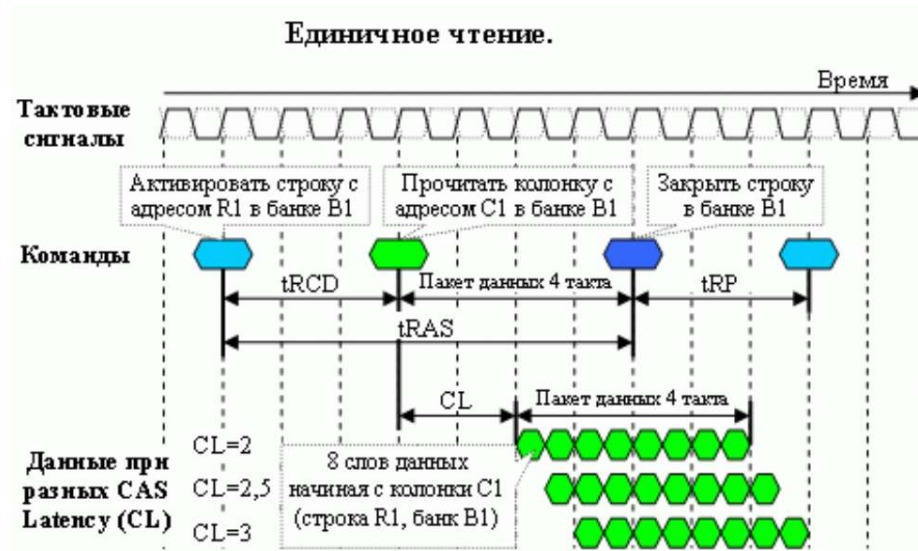


- **CKE** (*clock enable*) — при низком уровне блокируется подача тактового сигнала на микросхему.
- **CS** (*chip select*) — при высоком уровне все прочие управляющие линии, кроме CKE, игнорируются.
- **DQM** (*data mask*) — высокий уровень запрещает чтение/запись данных.
- **RAS** (*row address strobe*), **CAS** (*column address strobe*), **WE** (*write enable*) — Кодировать команды

SDRAM – синхронная динамическая память с произвольным доступом

NAME (FUNCTION)	CS#	RAS#	CAS#	WE#	DQM	ADDR	DQs	NOTES
COMMAND INHIBIT (NOP)	H	X	X	X	X	X	X	
NO OPERATION (NOP)	L	H	H	H	X	X	X	
ACTIVE (Select bank and activate row)	L	L	H	H	X	Bank/Row	X	3
READ (Select bank and column, and start READ burst)	L	H	L	H	L/H ⁸	Bank/Col	X	4
WRITE (Select bank and column, and start WRITE burst)	L	H	L	L	L/H ⁸	Bank/Col	Valid	4
BURST TERMINATE	L	H	H	L	X	X	Active	
PRECHARGE (Deactivate row in bank or banks)	L	L	H	L	X	Code	X	5
AUTO REFRESH or SELF REFRESH (Enter self refresh mode)	L	L	L	H	X	X	X	6, 7
LOAD MODE REGISTER	L	L	L	L	X	Op-Code	X	2
Write Enable/Output Enable	-	-	-	-	L	-	Active	8
Write Inhibit/Output High-Z	-	-	-	-	H	-	High-Z	8

Задержки SDRAM



Задержки SDRAM

tRCD (ACTIVE to READ or WRITE delay) – время необходимое на активацию строки банка памяти;

CL (CAS Latency) – время между командой чтения и началом передачи данных;

tRAS (ACTIVE to PRECHARGE command) – минимальное время между командой активации и командой закрытия;

tRP (PRECHARGE command period) – время необходимое на закрытие строки банка;

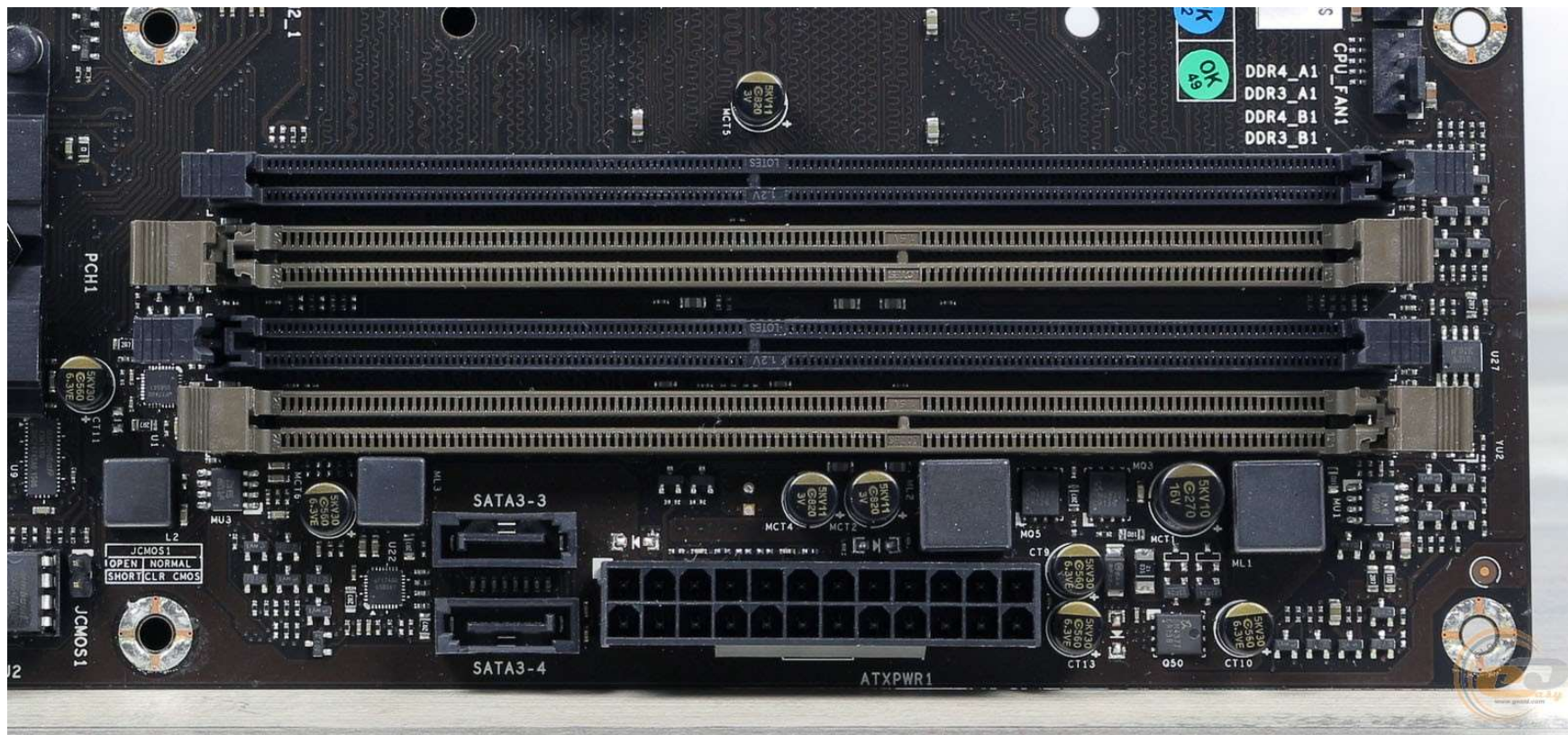
tRRD (ACTIVE bank A to ACTIVE bank B command) – минимальное время между командами активации для разных банков;

tRC (ACTIVE to ACTIVE/Auto Refresh command period) – минимальное время между командами активации одного и того же банка. $=tRAS+tRP$;

tWR (Write recovery time) – минимальное время между окончанием передачи данных при записи и командой закрытия строки банка памяти;

tWTR (Internal Write to Read Command Delay) – минимальное время между окончанием передачи данных при записи и командой чтения.

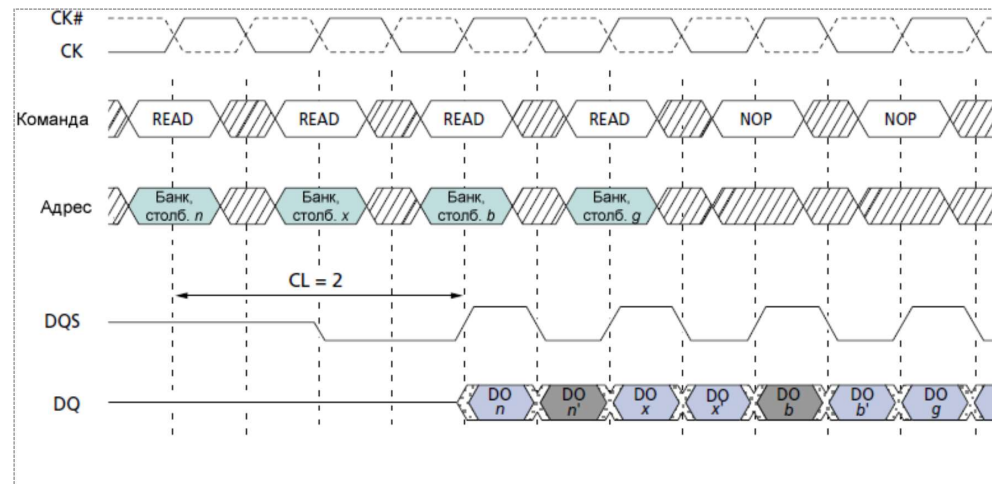
Выравнивание линий передачи



DDR SDRAM – синхронная динамическая память с произвольным доступом и удвоенной скоростью передачи данных

Основным отличием DDR (Double Data Rate) памяти от обычной SDRAM является передача данных по обоим фронтам сигнала синхронизации;

Дополнительно добавлены сигналы DQS для синхронизации передачи данных, частично решающие проблему выравнивания длины сигнальных линий.



ЕСС (код коррекции ошибок)

В связи с тем, что данные в памяти DRAM сохраняются путем перезарядки емкостей, существует вероятность их случайного изменения, связанного с допусками отклонений технологии и внешними воздействиями (ЭМИ, тепловые флуктуации и заряженные частицы);

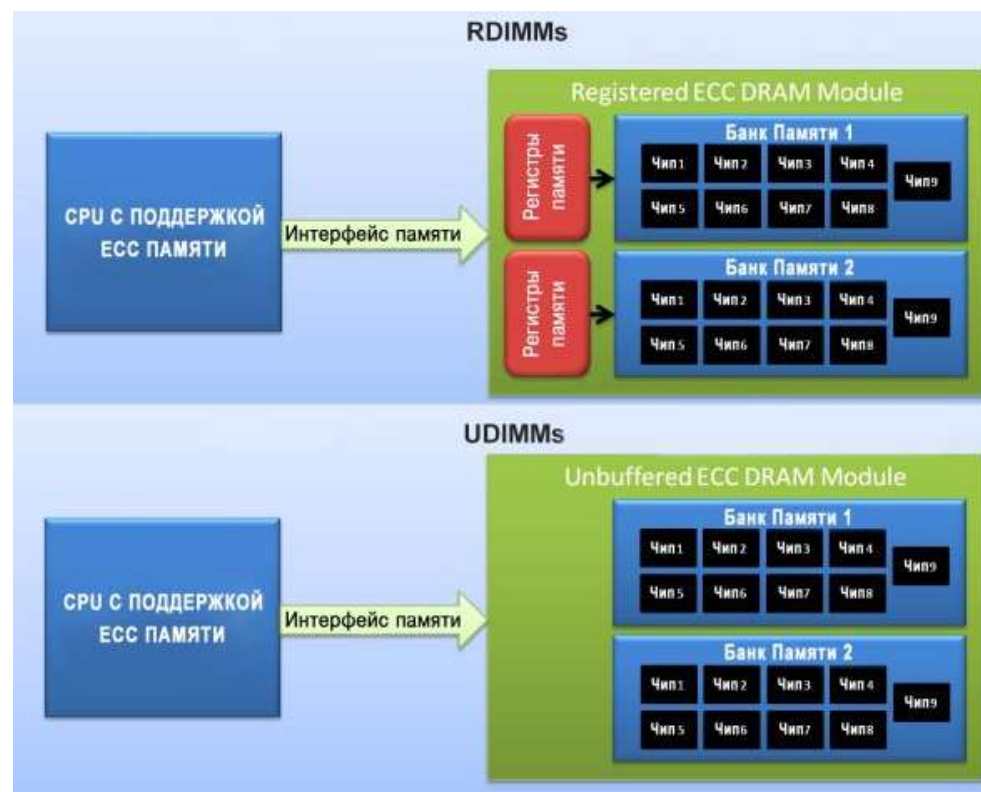
Для защиты от случайных изменений применяются дополнительные разряды, дополняющие информацию с помощью кода Хэмминга. Для 64 бит(8 микросхем по 8 бит) достаточно дополнительной одной микросхемы.



Registered (регистровая, буферизованная) SDRAM память

Модуль оперативной памяти дополняется регистровым буфером на входе, обеспечивающим снижение нагрузки на входные/выходные буферы контроллера, что позволяет применять максимальные объемы памяти на канал, предусмотренные стандартами;

Снижает производительность при случайном доступе на 1 такт, но не существенно влияет на последовательные передачи данных.



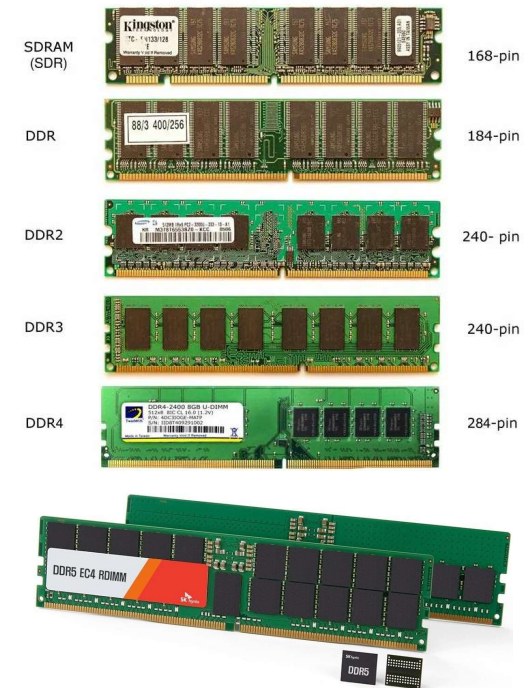
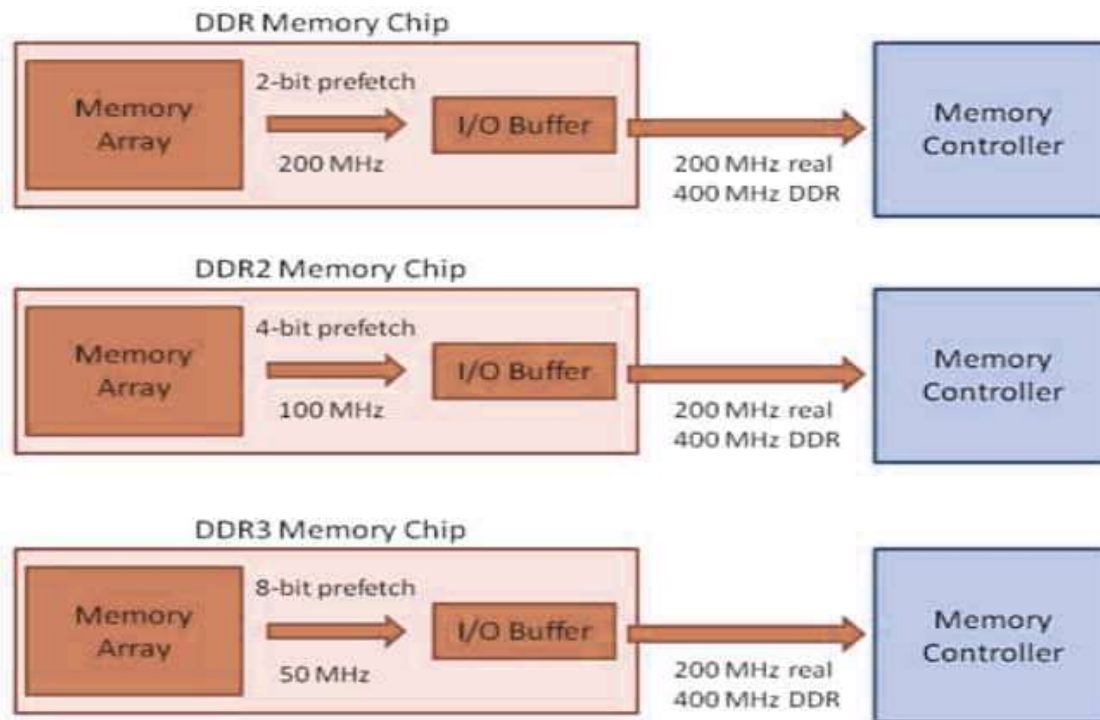
SPD (Serial Presence Detect)

Для обеспечения определения параметров подключенного модуля памяти применяется микросхема EEPROM, установленная на модуль, и содержащая стандартный набор параметров. Передача данных производится по стандарту I2C.

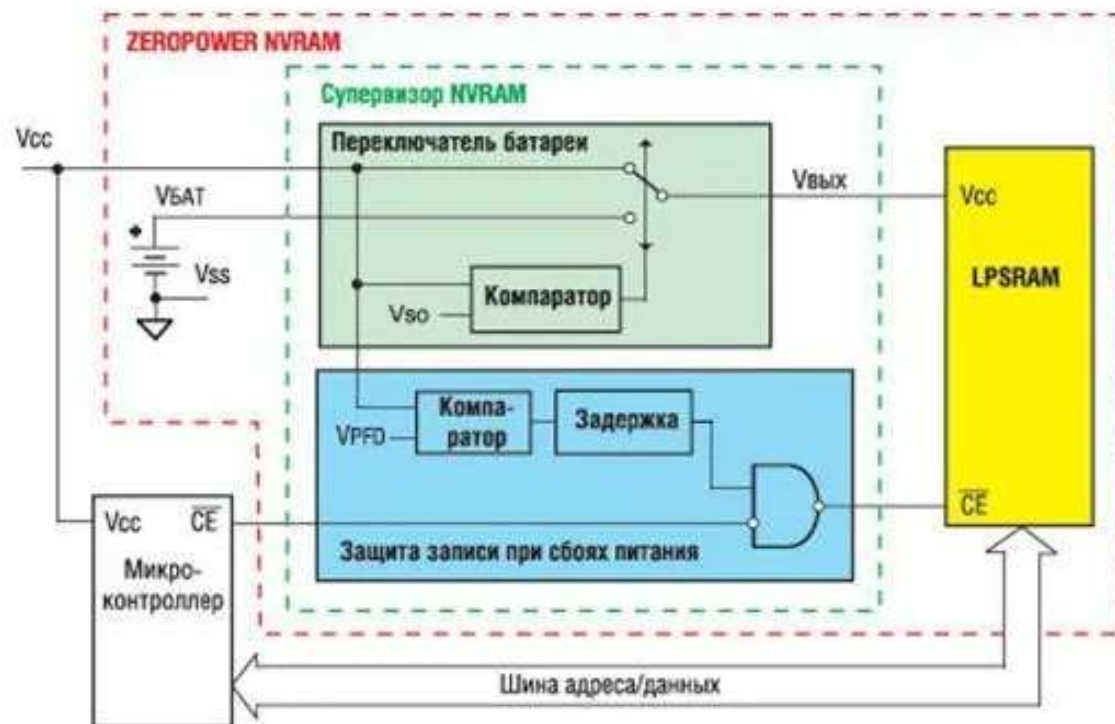
Байт	Наименование	Значение	HEX
0	Общий объем текущей информации, записанной в EEPROM	128Byte	80
1	Общее количество байт информации в микросхеме SPD	256Byte	08
2	Фундаментальный тип используемой памяти	SDRAM	04
3	Общее количество адресных линий строки модуля	12	0C
4	Общее количество адресных линий столбца модуля	9	09
5	Общее количество физических банков модуля памяти	1	01
6	Внешняя шина данных модуля памяти	8Mx64	40
		8Mx72	48
7	Внешняя шина данных модуля памяти (продолжение)	8Mx64	N/A
		8Mx72	00
8	Питающий интерфейс	LVTTL	01
9	Временной цикл с максимальной задержкой сигнала CAS#	10.0ns	A0
10	Длительность задержки данных на выходе модуля с учетом CL*Х	8.0ns	80
11	Интерфейс модуля (None/Parity/ECC...)	8Mx64	Non-Parity
		8Mx72	ECC
12	Тип и способ регенерации данных	SR/1x(15.625 µs)	80
13	Тип организации используемых микросхем памяти	x8	08
14	Ширина шины данных ECC модуля	8Mx64	N/A
		8Mx72	x8
15	Минимальная задержка произвольного доступа к столбцу	1CLK	01
16	Длительность передаваемых пакетов (BL)	1, 2, 4, 8, Full Page	8F
17	Количество логических банков каждой микросхемы в модуле	4	04
18	Поддерживаемые длительности задержки сигнала CAS# (CL)	2, 3	06
19	Задержка выдачи сигналов выбора кристалла CS#	0	01
20	Задержка выдачи сигнала разрешения записи WE#	0	01
21	Специфические атрибуты модуля памяти	Unbuffered	00
22	Атрибуты общего порядка микросхемы памяти	Wt-1/Rd Burst, Prog. All, Auto-Prog	0E
23	Минимальный цикл CLX-1	15.0ns	F0
24	Максимальное время доступа к данным с циклом CLX-1	9.0ns	90

25	Минимальный цикл CLX-2	N/A	00
26	Максимальное время доступа к данным с циклом CLX-2	N/A	00
27	Минимальное время регенерации данных в строке	30.0ns	1E
28	Минимальная задержка между активацией соседних строк	20.0ns	14
29	Минимальная задержка RAS-to-CAS	30.0ns	1E
30	Минимальная длительность импульса сигнала RAS#	60.0ns	3C
31	Емкость одного физического банка модуля памяти	64MB	10
32	Время установки адресов и команд перед подачей синхросигнала	3.0ns	30
33	Время ожидания на входе после подачи синхросигнала	1.0ns	10
34	Время установки данных на входе перед подачей синхросигнала	3.0ns	30
35	Время ожидания данных на входе после подачи синхросигнала	1.0ns	10
36-61	Зарезервировано по JEDEC JC42.5-97-119	N/A	00
62	Номер текущей версии SPD	2	02
63	Контрольная сумма байт 0-62	Checksum	сс
64	Идентификационный код производителя по JEP106	IBM	A4
65-71	Идентификационный код JEDEC по JEP106 (продолжение)	N/A	00
72	Информация о производителе модуля	N/A	91
73-90	Уникальный номер производителя модуля	N/A	00
91-92	Код ревизии (версии) модуля	N/A	00
93-94	Дата производства модуля	N/A	00
95-98	Основной серийный номер модуля	N/A	00
99-125	Специфические данные производителя модуля	N/A	00
126	Фактическая рабочая частота модуля	66MHz	66
127	Атрибуты поддержки частоты функционирования модуля	CL3, CL2	06
128-255	Пустые байты для необходимой дополнительной информации	N/A	00

DDR2, DDR3, DDR3L, DDR4, DDR5, DDR6...



ZEROPOWER NVRAM(Non-volatile random-access memory) энергонезависимая память с произвольным доступом



EEPROM (Electrically Erasable Programmable Read-Only Memory)

Очень низкая скорость записи;

Низкая надежность (до 10^6 циклов перезаписи);

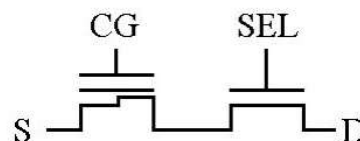


рис. 1. Электрическая схема ячейки EEPROM

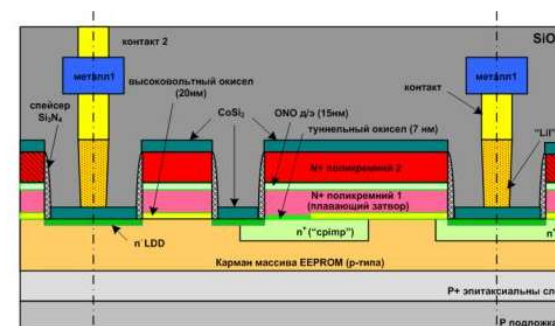


рис. 2. Разрез структуры ячейки EEPROM

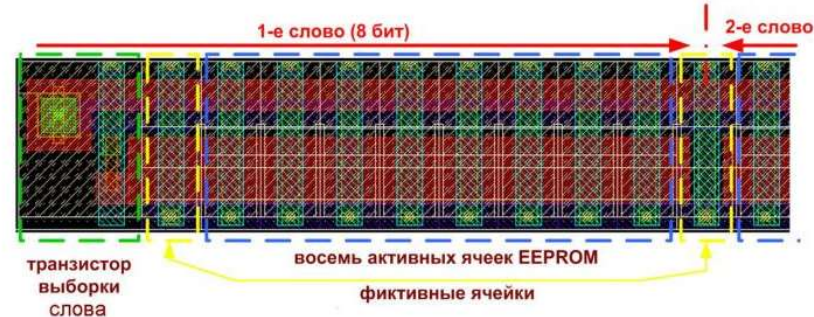
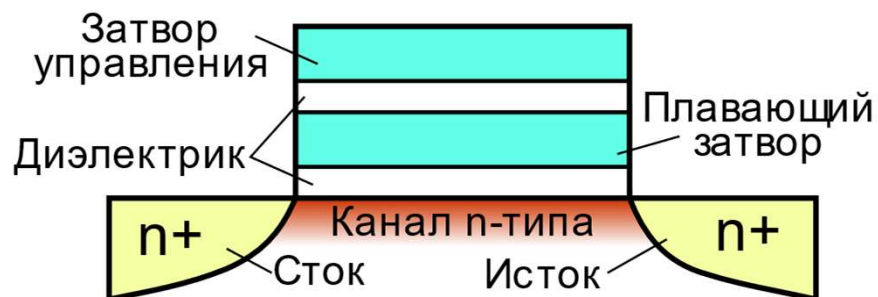
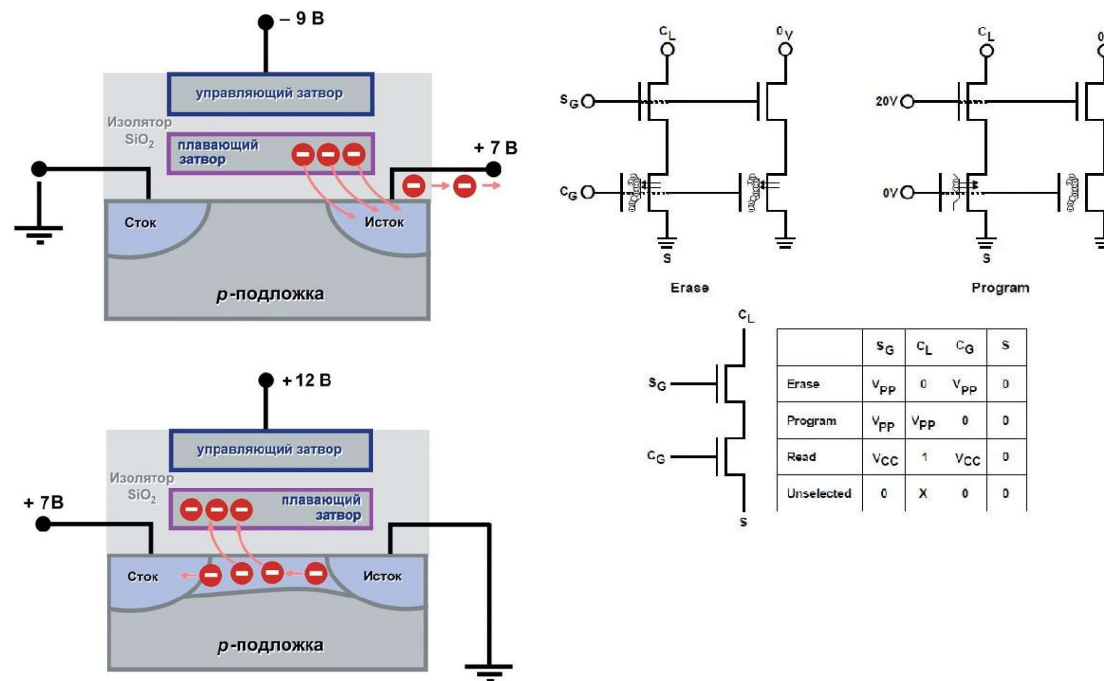
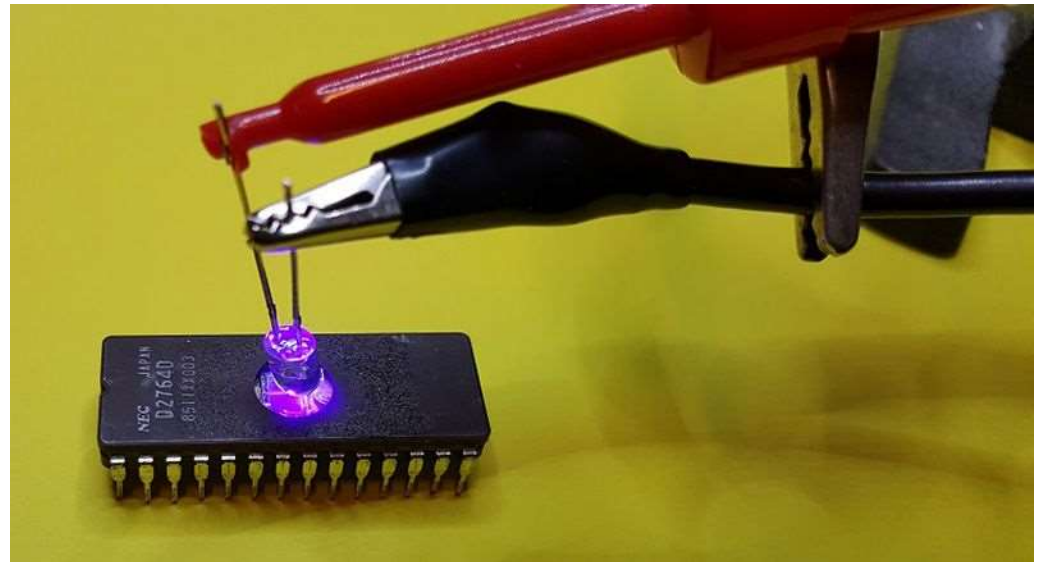


рис. 3. Топология 8-битного слова из ячеек EEPROM

EEPROM (Electrically Erasable Programmable Read-Only Memory)



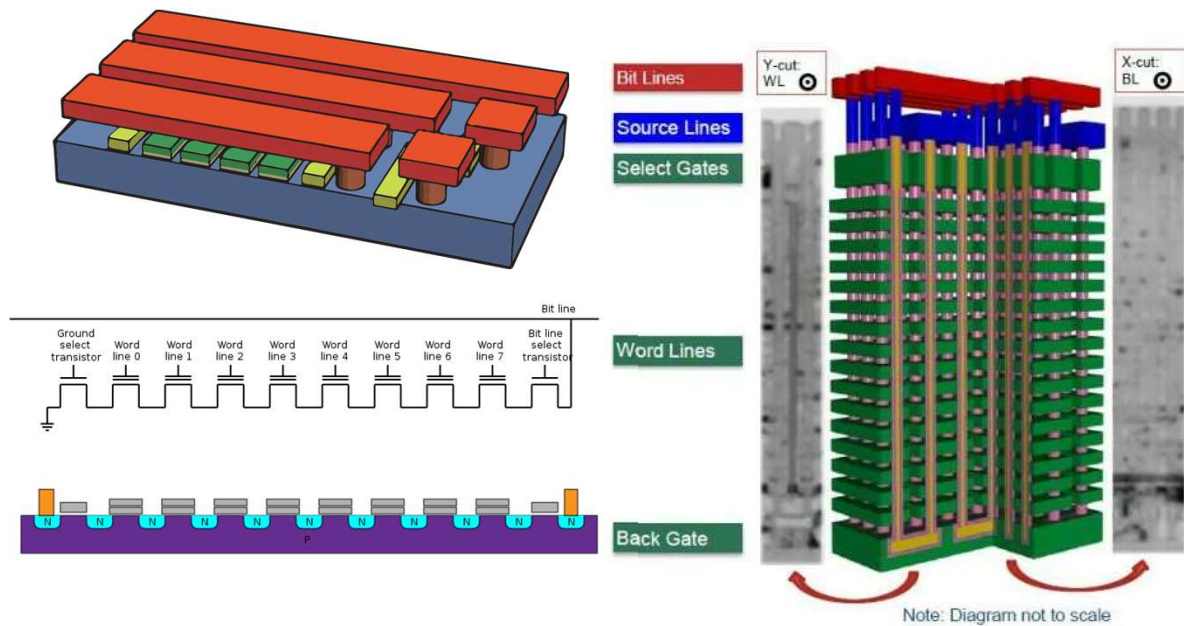
EPROM (Erasable Programmable Read-Only Memory)



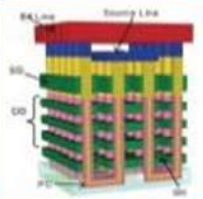
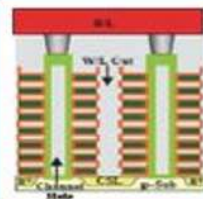
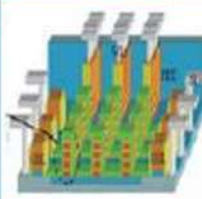
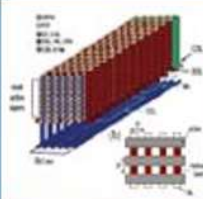
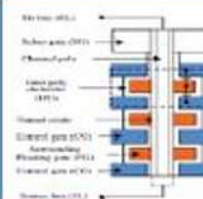
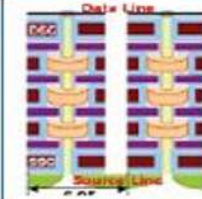
FLASH (NOR, NAND, 3D NAND)

	NAND	NOR
Cell Array		
Layout		
Cross Section		
Cell Size	$4F^2$	$10F^2$

Sandisk BiCS 3D-NAND



FLASH (3D NAND варианты реализации)

						
Approach	p-BiCS	TCAT	VSAT	VG-NAND	DC-SF	S-SCG
String orientation	Vertical	Vertical	Vertical	Horizontal	Vertical	Vertical
Cell transistor	SONOS GAA	TANOS GAA	SONOS Planar	SONOS DG	FG GAA	FG GAA
Cell size	$6F^2/n$	$6F^2/n$	$6F^2/n$	$4F^2/n$	$10F^2/n$	$13F^2/n$
Process sequence	Gate first	Gate last	Gate first	Gate last	Gate first	Gate first

FLASH (SLC, MLC, TLC, QLC, PLC)

