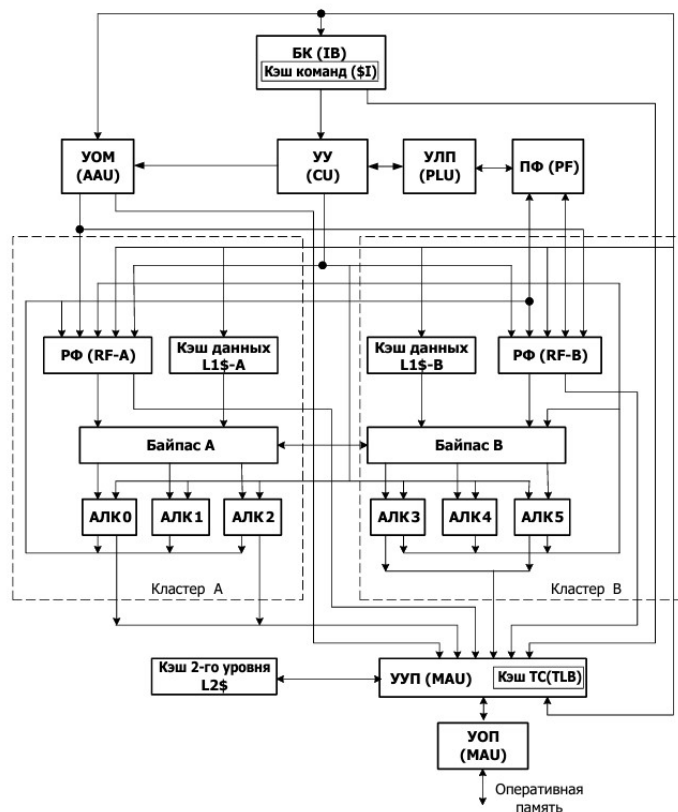
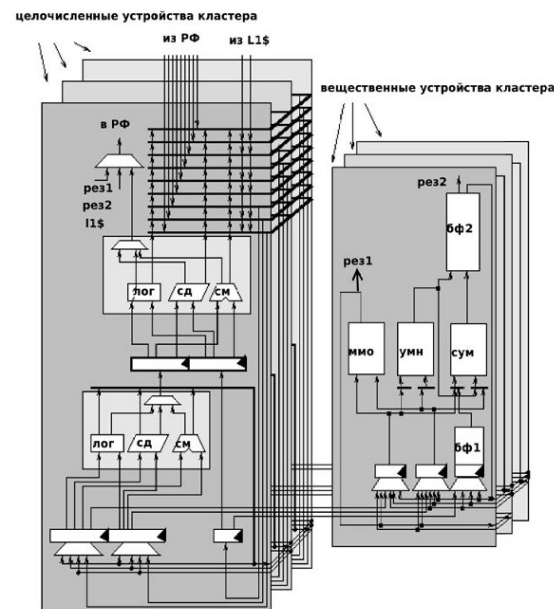


Архитектура Эльбрус (e2k)



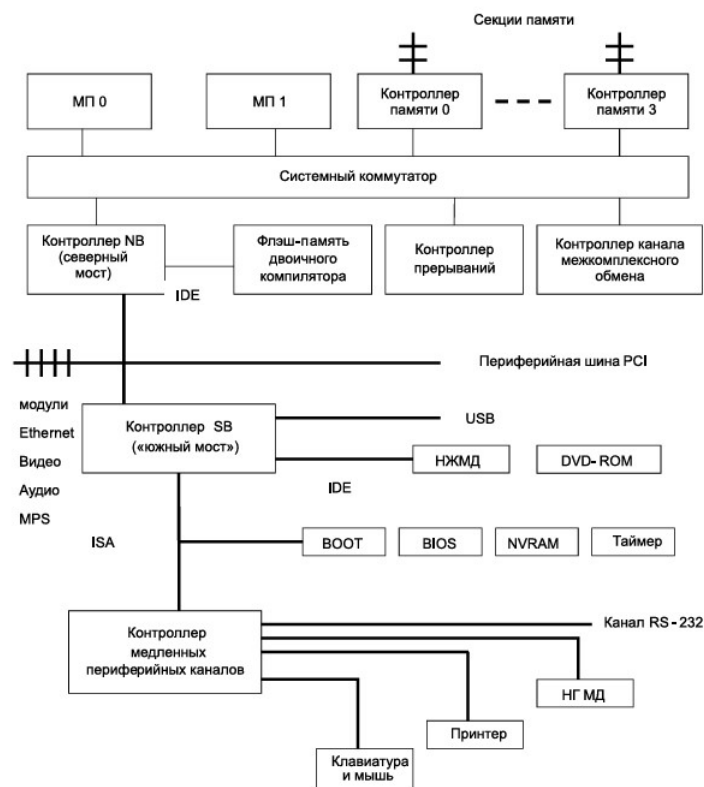
Такт	1	2	3	4	5	6	7	8
Станция конвейера (фаза)	АП (A)	ПК0 (F0)	ПК1 (F1)	Расп (S)	Дш (D)	БА (B)	СчО (R)	ИО (E0)



Архитектура Эльбрус (e2k)

- Защищенный режим;
- Регистровые окна на закольцованном регистровом файле;
- Предикаты;
- Предобработка переходов по указанию компилятора;
- Аппаратная поддержка трансляции x86.

Архитектура Эльбрус (комплекс 3m1)

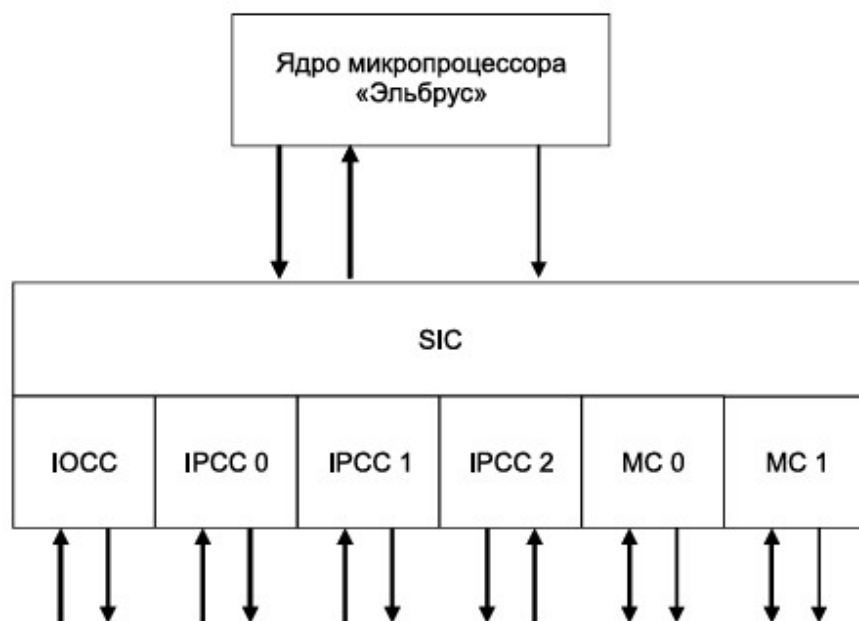


Архитектура Эльбрус



		
Эльбрус 130нм	Эльбрус-2С+ 90нм	Эльбрус-4С 65нм
1-ое поколение	2-ое поколение	3-ое поколение
<ul style="list-style-type: none">– 5 GFLOPS– 1 ядро– 300 МГц	<ul style="list-style-type: none">– 28 GFFLOPS– 2 ядра + 4 DSP– 500 МГц	<ul style="list-style-type: none">– 50 GFLOPS– 4 ядра– 800 МГц– 8 MB L2
2Н07	1Н11	2Н13

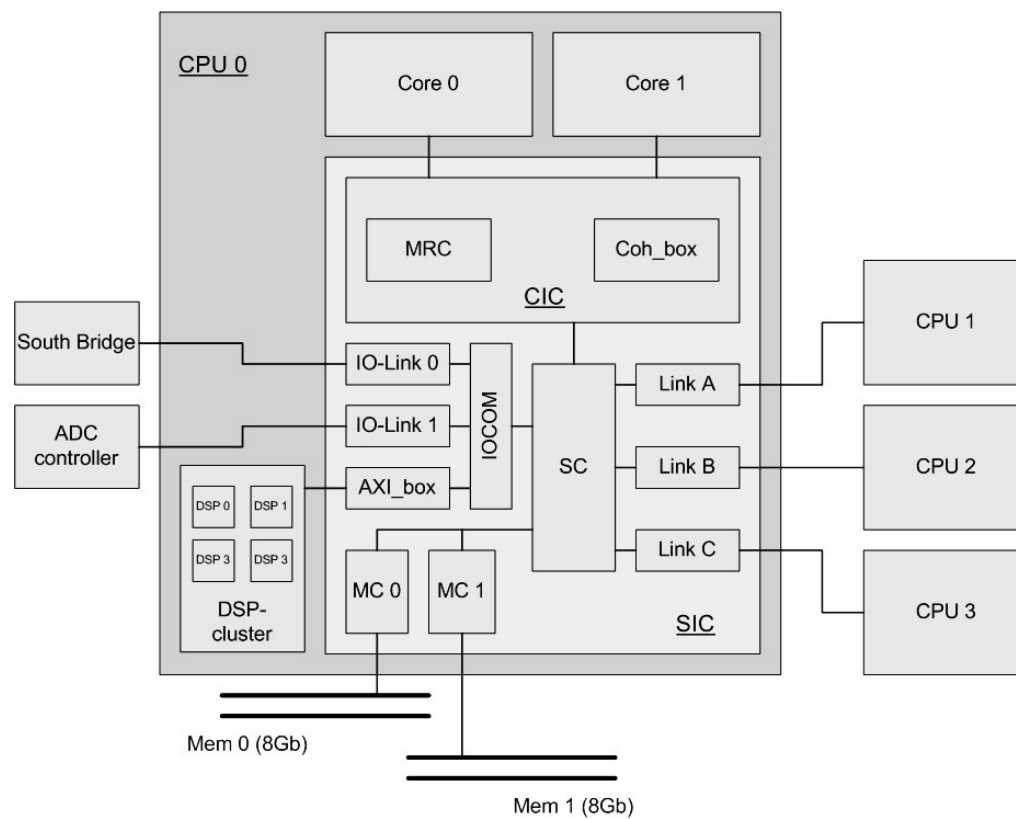
Архитектура Эльбрус (S)



Архитектура КПИ

Характеристика	Значение
Обозначение микросхемы	1991ВГ1Я
Тактовая частота	250 МГц
Интерфейсы:	
Последовательная шина связи с процессором, пропускная способность, Гбайт/с	2 на вход + 2 на выход
Контроллер PCI-Express версии 1.0a	8 линий
Контроллер PCI версии 2.3	32/64 бита, частота 33/66 МГц
Контроллер Ethernet 1 Гбит/с	1 порт
Контроллер SATA 2.0	4 порта
Контроллер IDE	PATA-100, 2 порта по 2 устройства
Контроллер USB 2.0	2 порта
Контроллер звукового интерфейса AC-97	2-канальное стерео
Контроллер последовательного интерфейса RS-232/485	2 порта
Контроллер параллельного интерфейса IEEE-1284 с поддержкой DMA	1 порт
Контроллер программируемых универсальных входов-выходов GPIO	16 сигналов
Интерфейс I2C	4 канала
Интерфейс SPI	с поддержкой 4 устройств
Подсистема управления прерываниями	2 PIC + 1 IO_PIC
Таймеры	системный, сторожевой
Технологические характеристики микросхемы	
Технологический процесс	130 нм
Число транзисторов	30 млн.
Напряжение питания	1,2 В, 3,3 В
Потребляемая мощность	6 Вт
Диапазон рабочих температур внешних условий применения	-40...+85 град. С
Год начала производства	2010

Архитектура Эльбрус (2С+)



Архитектура Эльбрус



Эльбрус-8С
28нм

4 поколение

250 GFLOPS

8 ядер

1.3 ГГц

DDR3

2015



Эльбрус-8СВ
28нм

5 поколение

580 GFLOPS

8 ядер

1.5 ГГц

DDR4

2018



Эльбрус-16С
16нм

6 поколение

1.5 TFLOPS

16 ядер

2.0 ГГц

DDR4

PCIe 3.0

Виртуализация

2021



Эльбрус-2С3
16нм

6 поколение

0,18 TFLOPS

2 ядра

2.0 ГГц

DDR4

PCIe 3.0

Виртуализация

3D GPU+codec

2022



Эльбрус-12С
16нм

6 поколение

1.1 TFLOPS

12 ядер

2.0 ГГц

DDR4

PCIe 3.0

Виртуализация

2022



Эльбрус-32С
не более 7 нм

7 поколение

5 TFLOPS

не менее 32 ядер

>2 ГГц

DDR5

PCIe 5.0 + CXL2.0

2027 ...



Эльбрус-8v7
не более 16 нм

7 поколение

0,8 TFLOPS

не менее 6 ядер

>2 ГГц

DDR4

PCIe 4.0

3D GPU+codec

2026 ...

Архитектура Эльбрус



Архитектура Эльбрус

Пример реального теста

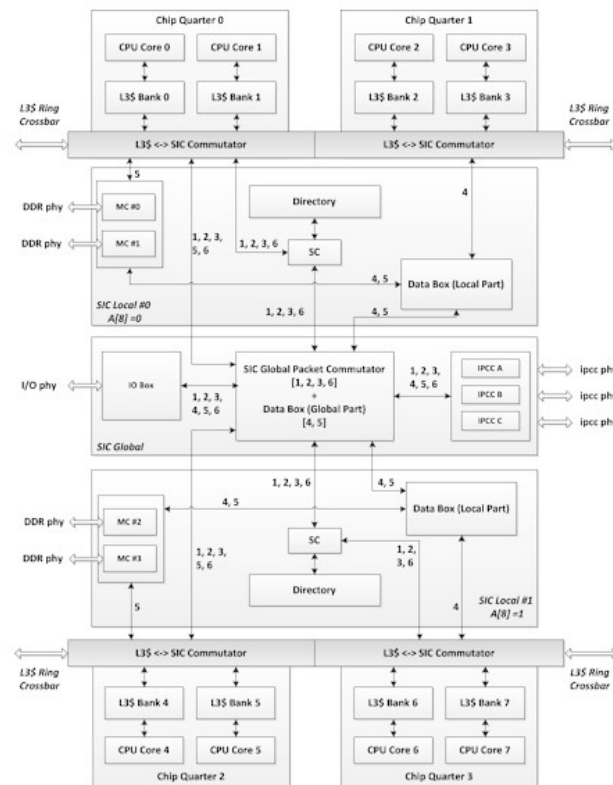


	Время загрузки тестового файла, с	Объем оперативной памяти после загрузки, МБ	Объем видеопамати после загрузки, МБ	Масштаб макс/мин	Сдвиг	Масштаб	Задержка закрытия проекта, с
OC Windows 10 AMD 5950x DDR4 3200MHz GPU 6950XT	46,566	4099,2	4225	0,033	0,016	0,033	0,33
OC Debian 12 AMD 5950x DDR4 3200MHz GPU 6950XT	11,533	8610	5154	0,033	0,016	0,033	0,33
OC Эльбрус 2x8C (1200МГц) DDR3 1333 MHz GPU 6950XT	95,516	8196	4757	0,05	0,016	0,05	1,65

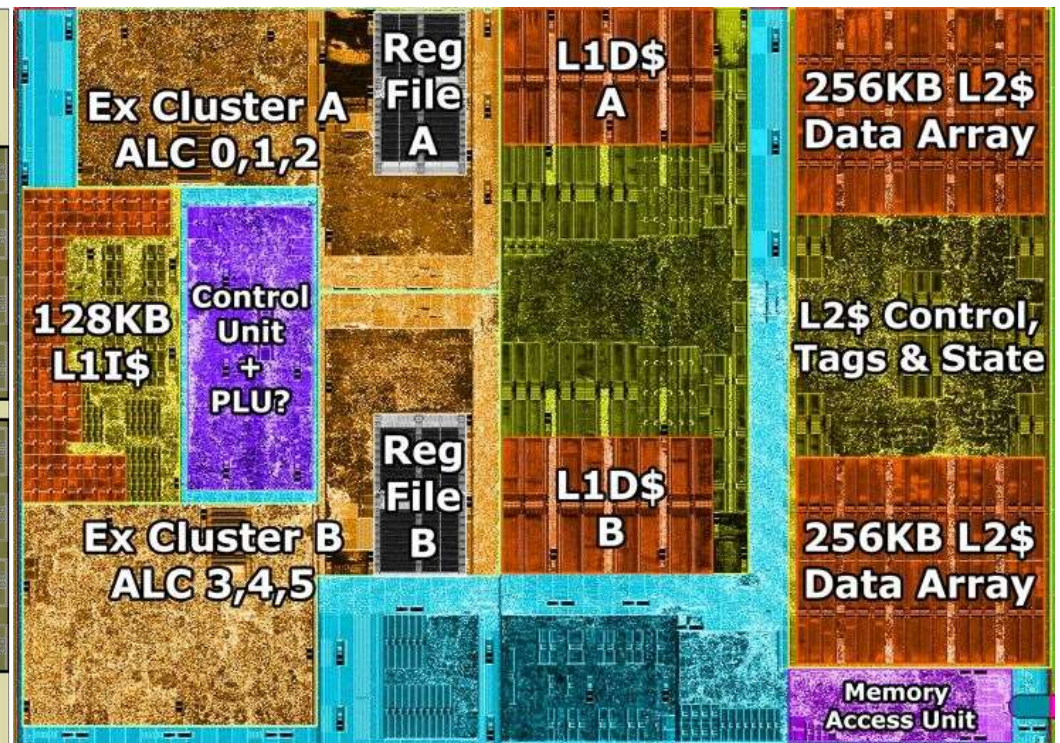
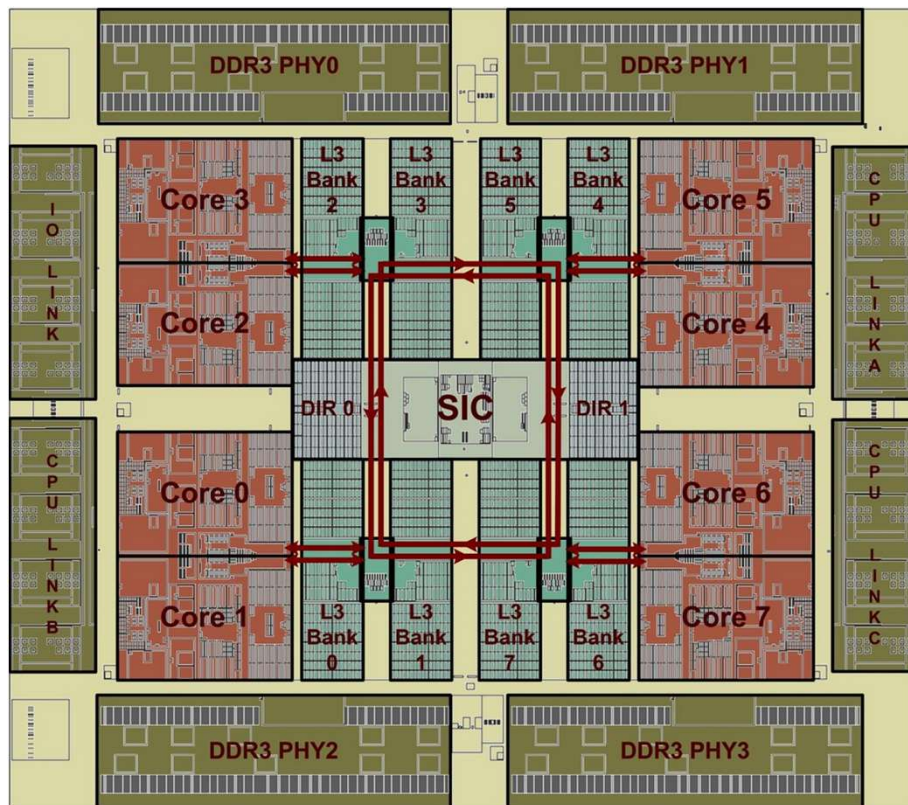
Архитектура Эльбрус



Архитектура Эльбрус v4 (8C)

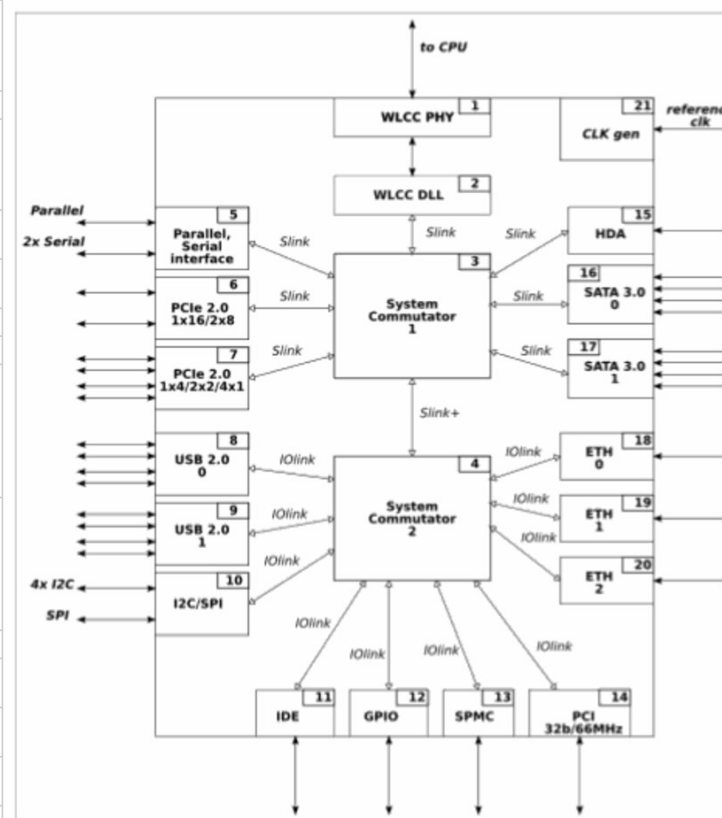


Архитектура Эльбрус v4 (8C)

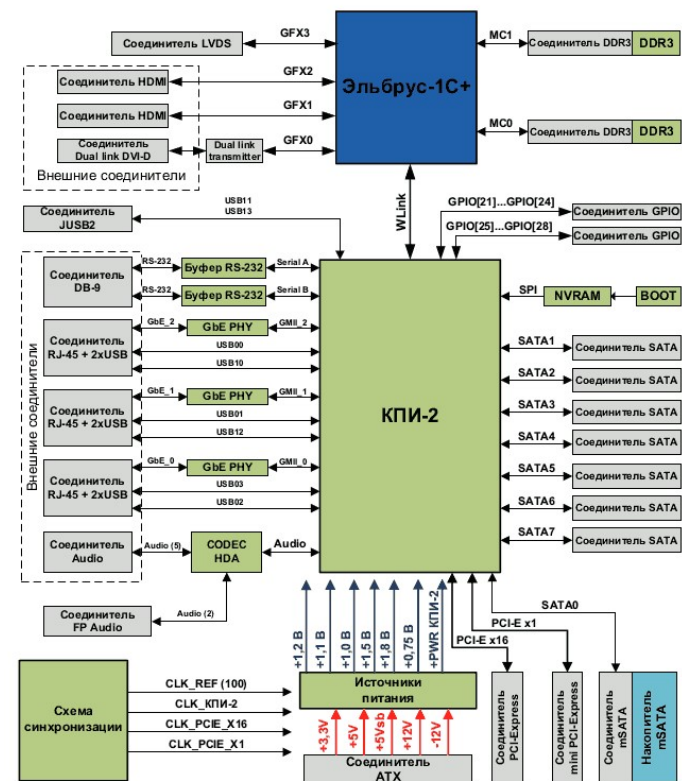
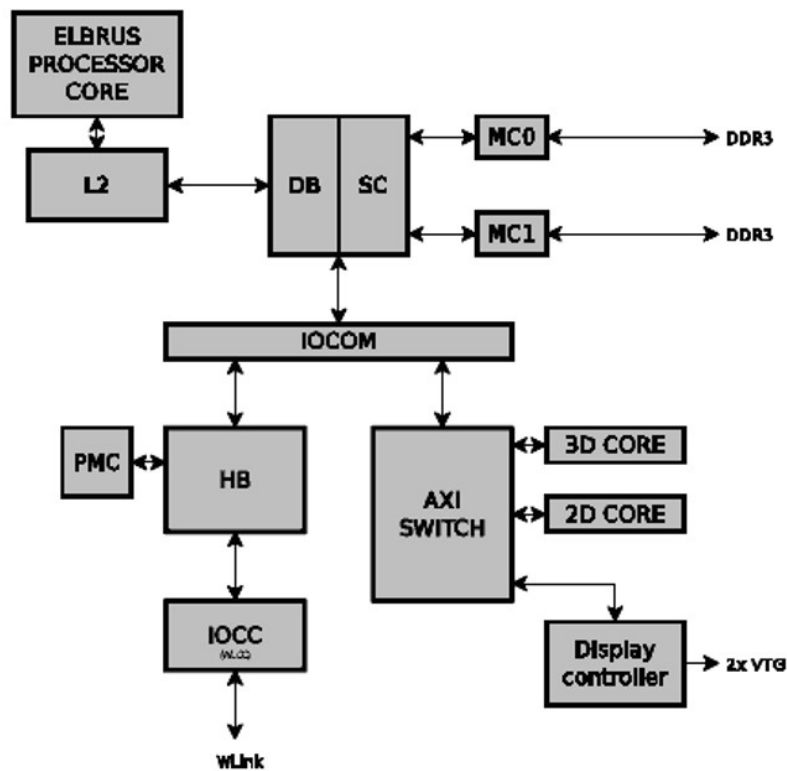


Архитектура КПИ2 (RU158939U1)

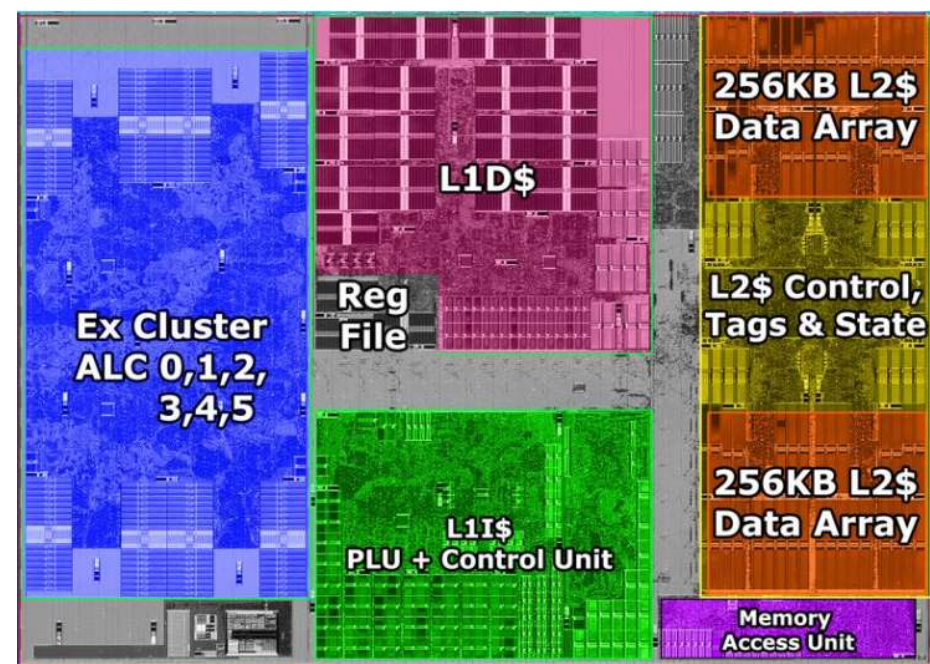
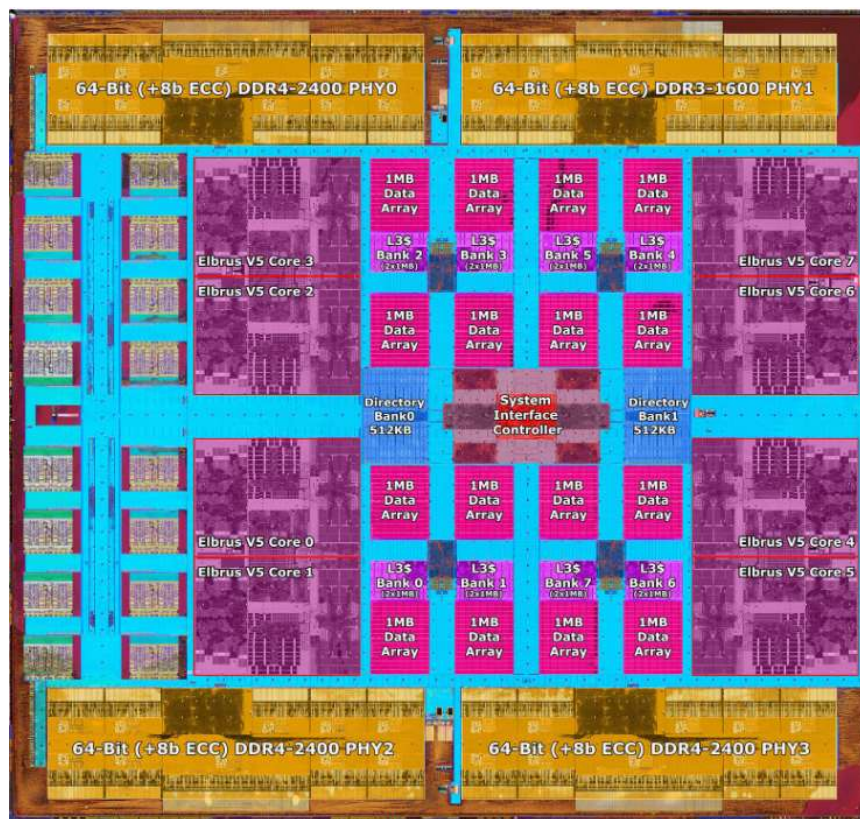
Тактовая частота	500 МГц в работе, 250 МГц в простое (1991ВГ2АЯ) 450 МГц в работе, 233 МГц в простое (1991ВГ2БЯ)
Канал к процессору	16 Гбайт/с (8 на приём + 8 на передачу)
Контроллеры PCI	1 шина PCI-E 2.0 на 16 линий (1×16 или 2×8) 1 шина PCI-E 2.0 на 4 линии (1×4 или 2×2 или 4×1) 1 шина PCI 2.0, 32 бита, 33/66 МГц, до 7 устройств bus master
Контроллеры Ethernet	3 порта 1000Base-T (802.3ab) с поддержкой RTP v2
Контроллеры ATA	8 портов SATA 3.0 (6 Гбит/с) 1 порт на 2 устройства IDE ATA (100 Мбайт/с)
Контроллеры USB	8 портов USB 2.0 (480 Мбит/с)
Контроллеры HD Audio	5.1-канальный звук, 8–32 бита, 6–192 кГц
Контроллеры LPC	2 порта RS-232/485 (115,2 кбит/с) 1 порт IEEE 1284 с поддержкой DMA (2,5 Мбайт/с) 4 канала I ² C, 1 МГц 1 шина SPI на 4 устройства, 50 МГц 32 входа-выхода GPIO
Обработка событий	16+24 входа на контроллере внешних прерываний 1 системный таймер 1 сторожевой таймер, 32 бита, 10 МГц 3 линии приёма-выдачи прерываний привязки времени
Технологические параметры	
Топология	85 млн. транзисторов 65 нм техпроцесс, 151 мм ² площадь кристалла
Корпус	34,6×34,6×3,05 мм 1156 контактов HFCBGA
Электропитание	1,0 В, 2,5 В, 3,3 В 15 Вт, контроллер энергосбережения SPMC
Условия эксплуатации	–40...+85 °C



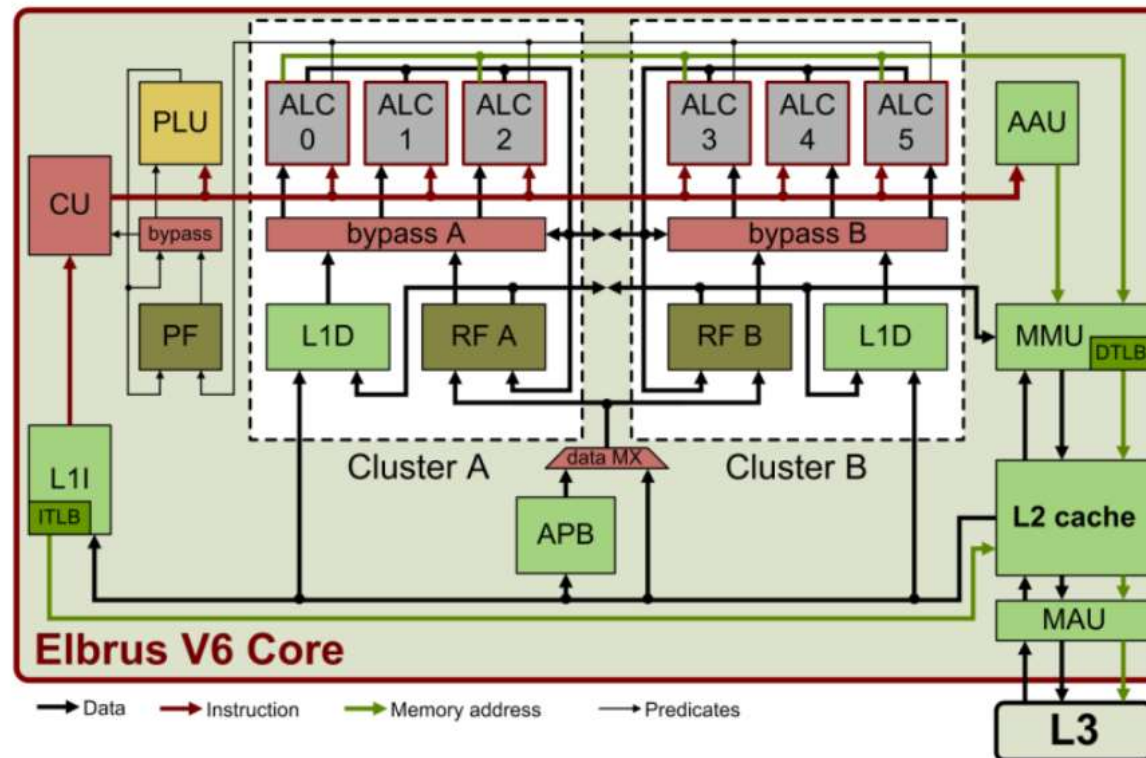
Архитектура Эльбрус v4 (1C+)



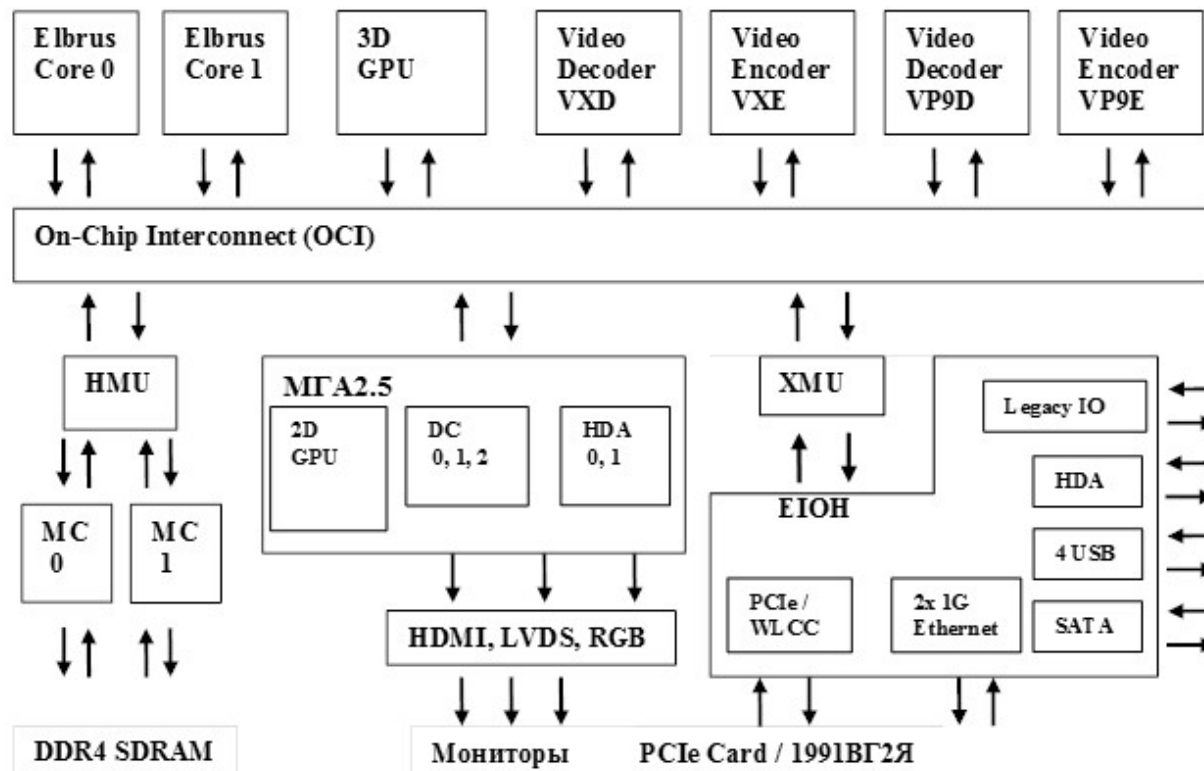
Архитектура Эльбрус v5 (8CB)



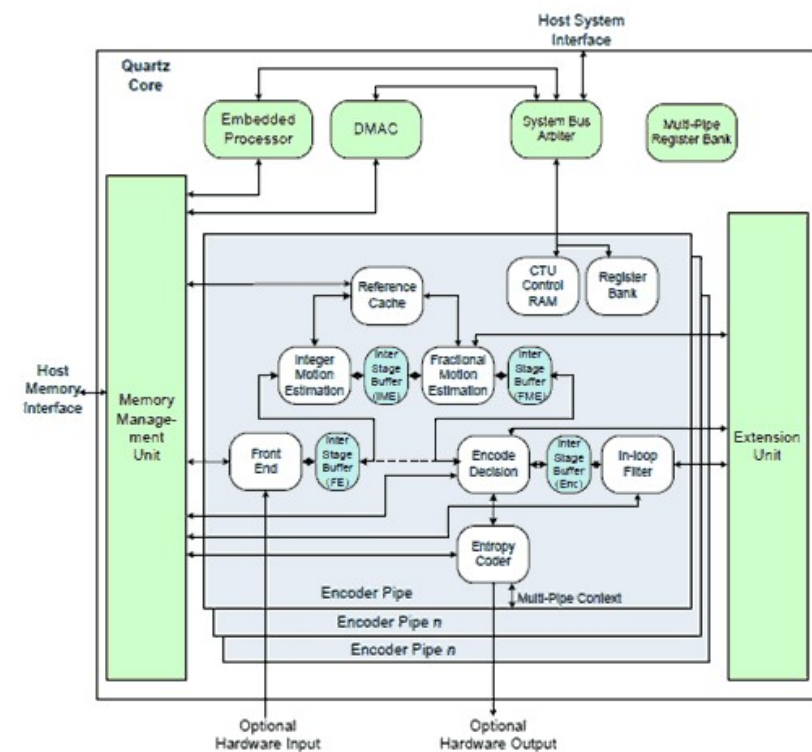
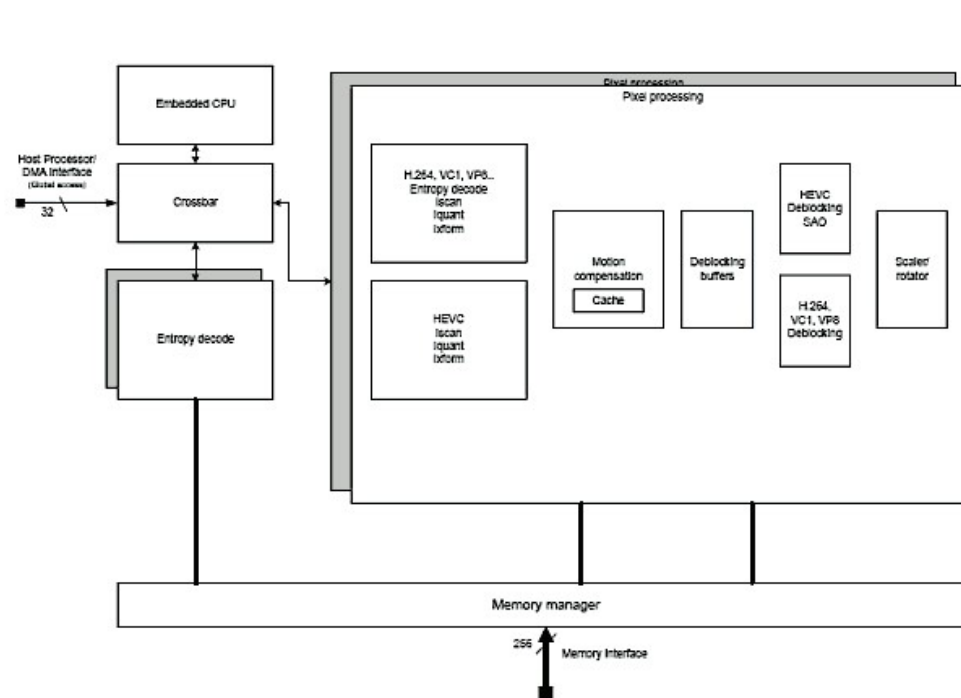
Архитектура Эльбрус v6



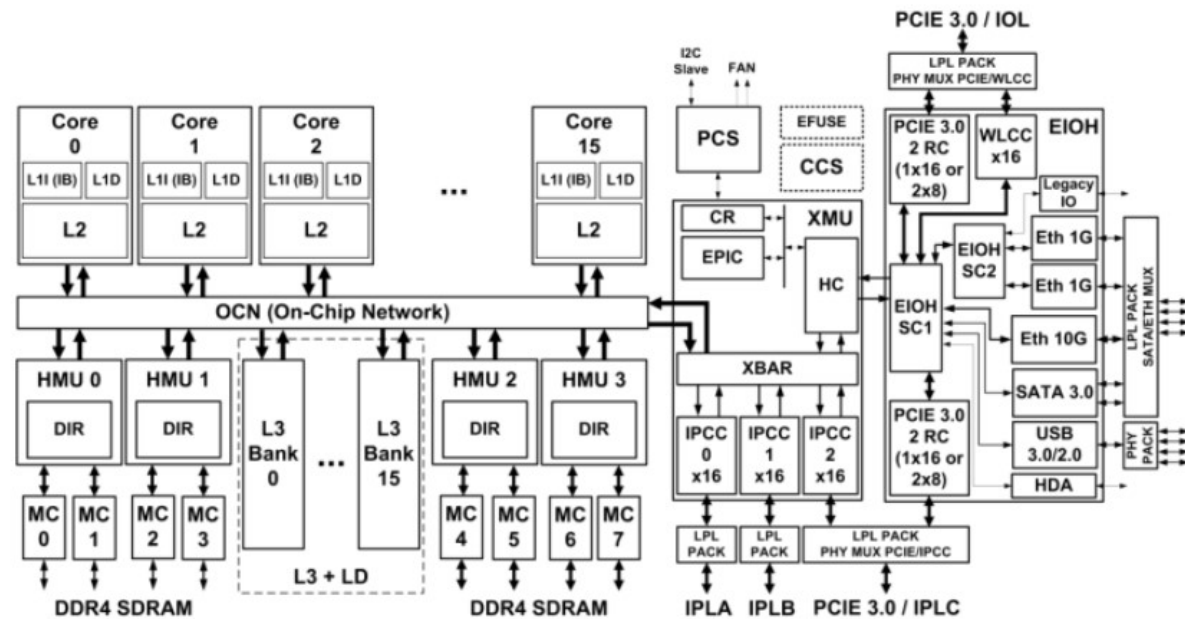
Архитектура Эльбрус v6 2С3



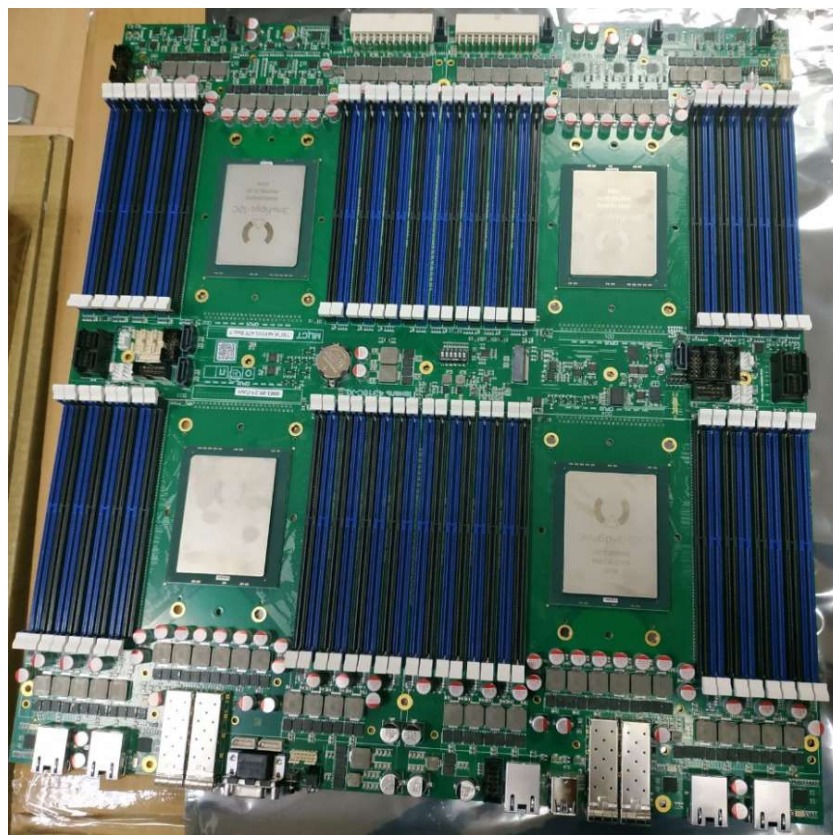
Архитектура Эльбрус v6 2С3 (видео-контроллер PowerVR)



Архитектура Эльбрус v6 16С

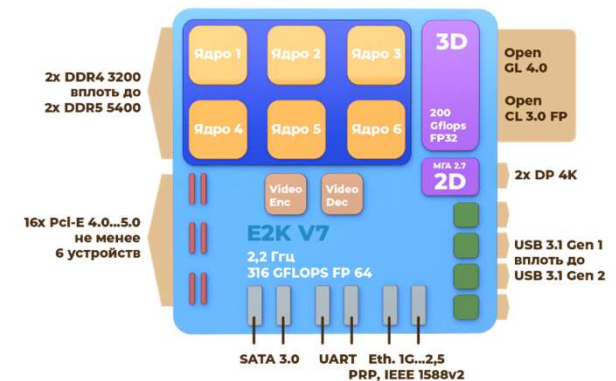


Архитектура Эльбрус v6



Архитектура Эльбрус Эльбрус-8V7

- Производительность ~500/250 Gflops;
- Количество ядер – не менее 6 (до 8), архитектура Эльбрус v7
- Развитие: нейро-, крипто-, безопасные вычисления
- Тактовая частота ~2 ГГц;
- ОЗУ – DDR4, 2 канала
- PCI-Ex. 4.0 x 16,
- Встроенное видео с 3D ускорением, video codec
- Потребляемая мощность ~45 Вт;
- Технология – не выше 16 нм;



Статус: ведётся разработка. Серия – 2026 г.

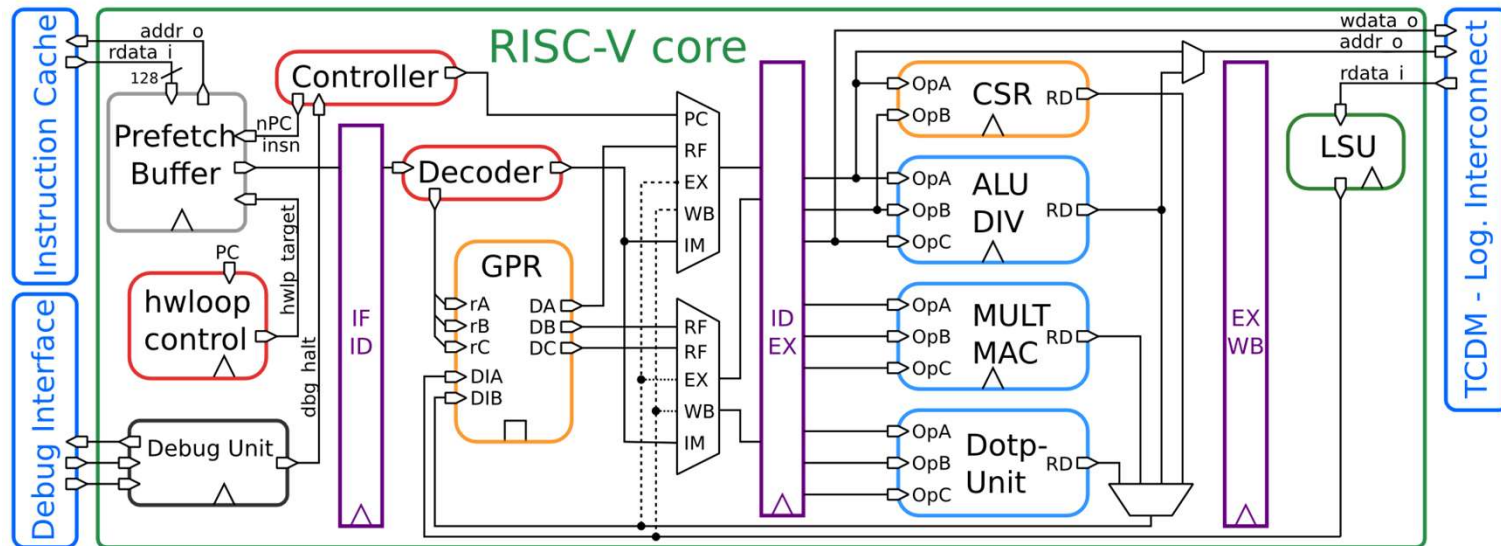
Архитектура Эльбрус Эльбрус-32С

- Производительность - ~4500/2250 Gflops;
- Количество ядер – не менее 32 (до 48), архитектура Эльбрус v7
- Развитие: нейровычисления, безопасные вычисления, криптооперации
- Тактовая частота >2 ГГц;
- ОЗУ – DDR5, 8 каналов
- PCI-Ex. 5.0 x 64, CXL 2.0, Ethernet >10G
- До 4 микропроцессоров с общей памятью
- Технология не выше 7 нм;

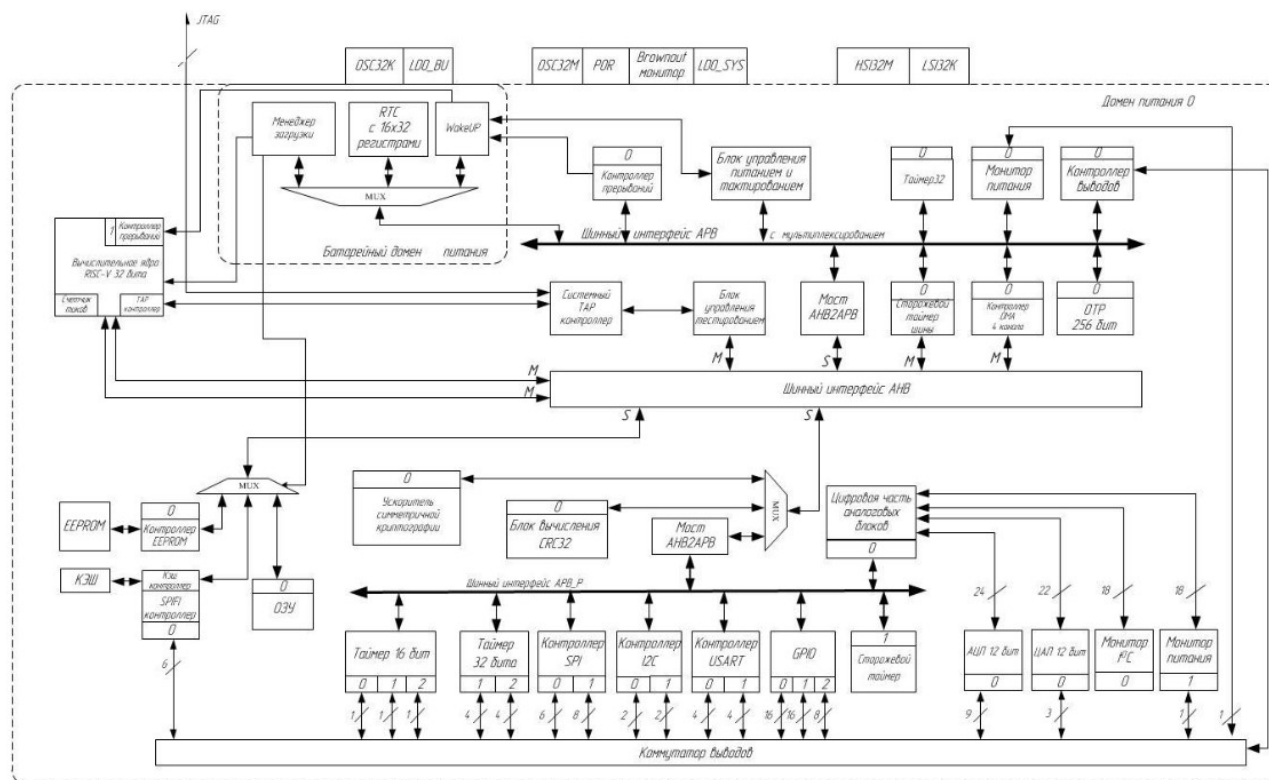


Статус: ведётся разработка. Серия – 2027 г.

Архитектура RISC V



Архитектура RISC V MIK32 АМУР



Архитектура RISC V MIK32 АМУР

Ядро:

- Ядро RISC-V (SC1, RV32I,C,M)

Интерфейсы:

- 2xSPI, 2xI2C, 2xUART, датчик температуры
- АЦП 12 бит, 8 каналов, частота дискретизации до 1 МГц
- ЦАП 12 бит, 2 канала, частота дискретизации до 1 МГц
- Часы реального времени с поддержкой полного календаря.
- 32 внешних канала прерываний
- Поддерживаемые частоты опорного тактового сигнала 1-32 МГц.
- watchdog

Память:

- ОПЗУ (Однократно программируемая ПЗУ) – 256 бит
- ОЗУ - 16 КБ
- ПЗУ (EEPROM) – 8 КБ
- Подключаемая внешняя память программ (QSPI Flash) – прямой доступ на чтение до 2 ГБайт, с кэш 1 КБайт, и до 4 ГБайт непрямого доступа на чтение/запись без кэш
- Кэш память внешней шины памяти программ – 1 кБ

Таймеры:

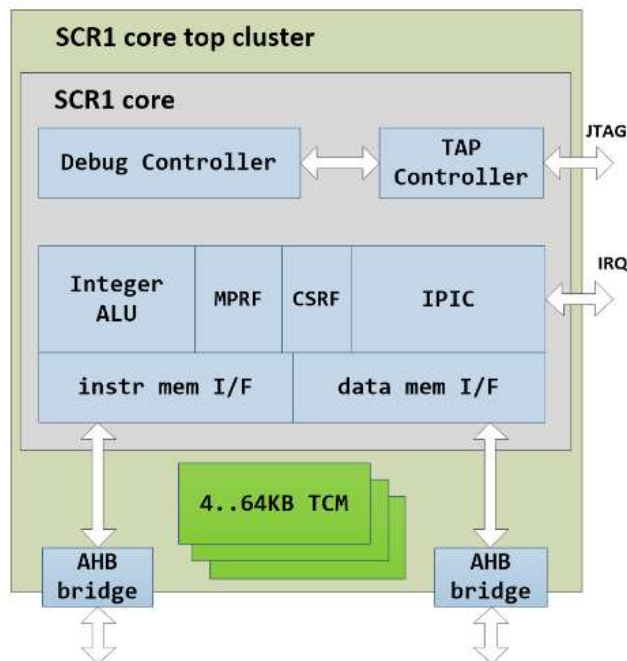
- Таймеры 3x16- и 2x32-разрядов с поддержкой ШИМ, захвата/сравнения сигналов

Особенности:

- Аппаратная поддержка алгоритмов CRC32, ГОСТ 34.12–2018 и AES128
- Рабочие температуры -40...+85°C
- Корпус QFN64

Архитектура RISC V Syntacore

Block diagram



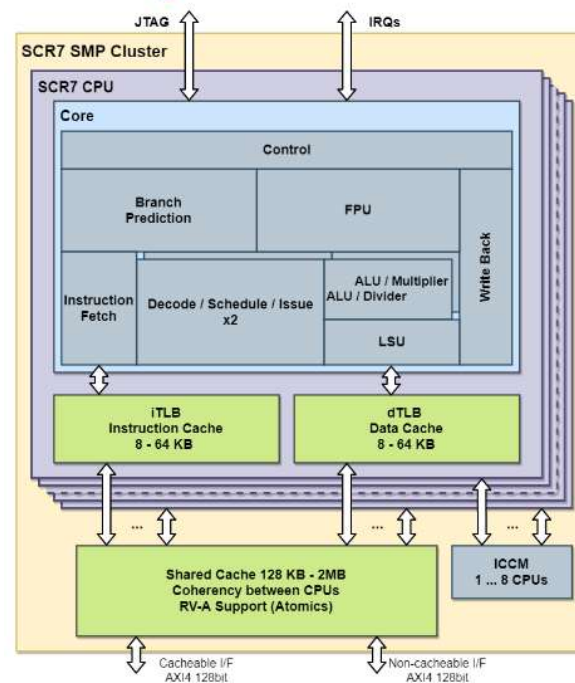
Key features

- 32bit microcontroller core with RISC-V ISA
 - RV32I[E][MC]
- Harvard architecture, separate Instruction and Data memories
- 32 or 16 32bit integer registers
- RV32I or E basic instruction set, optional M and C extensions
 - 47 **I**nteger (32bit encoding) instructions
 - 47 **E** instructions (subset of I, restricted to 16 registers)
 - 27 **C**ompact (16 bit encoding) instructions
 - 8 Optional **M**ultiply/Divide instructions
- **15 kGates** in basic fully functional configuration (ICE)
 - Includes IRQ controller and debug
- 32bit AHB-compliant external interface
- 2 to 4 stages pipeline
- Machine-mode only
- Embedded 64bit RTC timer
- Tightly Coupled Memory (TCM) support
 - 4..64KB
- Optional configurable Integrated Programmable Interrupt Controller (IPIC)
 - Low interrupt latency
 - 8..32 IRQs
- Optional area-optimized MUL/DIV unit
- Optional integrated Debug Controller
 - with JTAG-compliant interface

Архитектура RISC V Syntacore

64bit Linux-capable application core with virtual memory, MMU, L1/L2 caches, coherency and SMP support up to 8 cores per cluster

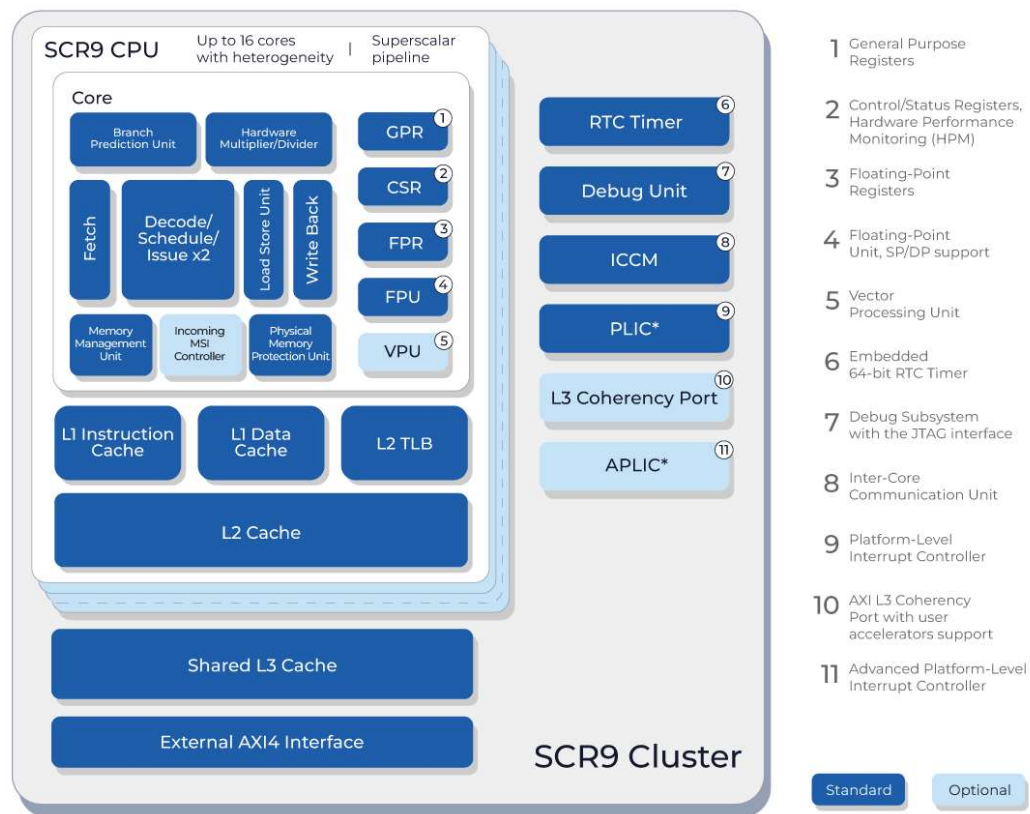
Block diagram



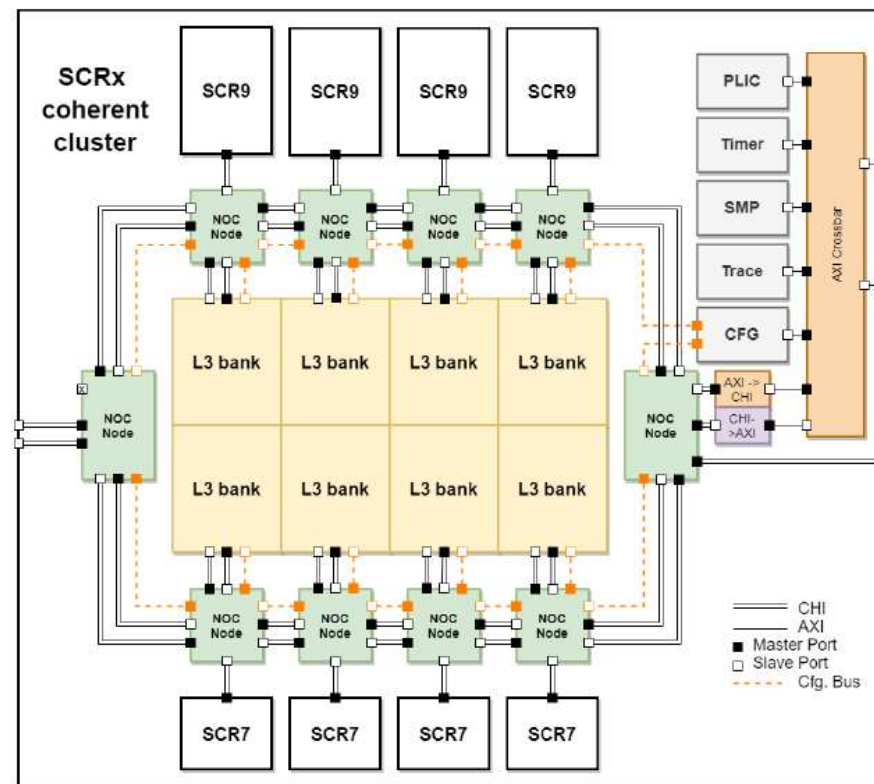
Key features

- High-performance 64bit RISC-V application core
- **RV64GC** ISA
- Flexible uarch template, 10-12 stage pipeline
- User-, Supervisor- and Machine-mode privilege levels
- Fully-featured memory subsystem with **Linux** support
 - Memory Managements Unit (MMU)
 - Page-based virtual memory
 - L1 and L2 caches with coherency, HW atomics, ECC
- High-performance IEEE 754-2008 compliant floating-point unit
- AXI4- or ACE- compliant external interface
- Configurable Integrated Programmable Interrupt Controller (IPIC) and PLIC
 - up to 1024 IRQs
- Advanced Integrated Debug Controller
 - JTAG compliant interface
 - HW/SW breakpoints support
 - ROM breakpoints support

Архитектура RISC V Syntacore



Архитектура RISC V Syntacore



Архитектура RISC V Открытый рынок?

Our Offices

Armenia

Office 401, 15 Buzand st., Yerevan, Armenia

Tel: +374 99591229

China

Shenzhen Yite Technology Co., Ltd

B01, Area B, Floor 5, No.6, Jiayiyuan Digital Technology Park,
Xinshi Community, Dalang Street, Longhua district, Shenzhen

Tel: +86 18575693399

APAC region

6F, No. 287, Section 3, Nanjing E. Road, Taipei, Taiwan

Tel: +886 966 219 333

Cyprus



Prevezis 12, Nicosia 1065, Cyprus

Tel: +357 94488683

Архитектура RISC V



Архитектура RISC V

Academic / Nonprofit / Individual	Strategic Membership	Premier Membership
<p>Community membership is free to academic and nonprofit entities, as well as individuals</p> <p>Governance and Influence</p> <ul style="list-style-type: none"> Community members elect 2 Directors to the Board of Directors and 1 Delegate on the Technical Steering Committee. Engage in 70+ technical and community committees and workgroups. Entities are eligible to lead committees/workgroups. <p>Visibility and Eminence</p> <ul style="list-style-type: none"> Platform for blog posting. Entity logo on RISC-V website. RISC-V social media amplification. Event sponsorship discounts and invitation to call for speakers. <p>Build Talent</p> <ul style="list-style-type: none"> Mentor / Mentee opportunities 30% Discount on paid training Recruiting on the RISC-V Jobs Board 	<p>Strategic members are organizations that are commercializing RISC-V and have an invested perspective in RISC-V technical direction.</p> <p>Everything included in Academic/Non-Profit, plus </p> <p>Governance and Influence</p> <ul style="list-style-type: none"> Strategic (and Premier TSC) members elect 3 Directors to the Board of Directors and elect 2 Delegates on the Technical Steering Committee <p>Visibility and Eminence</p> <ul style="list-style-type: none"> Convey commercial solutions on RISC-V Exchange and company on RISC-V Ecosystem Landscape. Opportunity to engage in webinars and white papers. Use RISC-V Trademark for Commercialization Earn Commercial use of "RISC-V Compatible™" designation on implementations. <p>Build Talent</p> <ul style="list-style-type: none"> 10 Training coupons provided annually. In addition to 30% Discount on paid training 	<p>Premier is the highest tier of membership for organizations contributing heavily to adoption and governance of RISC-V International.</p> <p>Everything included in Strategic, plus </p> <p>Governance and Influence</p> <ul style="list-style-type: none"> Premier Board members name 1 Director to the Board of Directors, provide expanded leadership through Delegates on Board Committees, and participate in Board offsite strategy day(s). Premier members also name 1 Delegate on the Technical Steering Committee and engage in executive check-ins with RISC-V International leadership teams <p>Visibility and Eminence</p> <ul style="list-style-type: none"> Enjoy most prominent placement in displays of membership including website, ecosystem landscape, Exchange, and marketing materials. Highlight of industry traction in presentations. Promoted for press and analyst opportunities: thought leadership pieces <p>Built Talent</p> <ul style="list-style-type: none"> 30 Training coupons provided annually, in addition to 30% Discount on paid training
Community	See Strategic Pricing Scale	See Premier Pricing

Архитектура RISC V

Level	
Premier	\$250,000 (USD) for seats on both the Board + TSC \$100,000 (USD) for seat on the TSC
Strategic	\$35,000 (USD) 5,000+ employees \$15,000 (USD) 500 – 4,999 \$5,000 (USD) Up To 499
Strategic Startup	\$2,000 (USD) <10 employees & company is <2 years old
Community Organization	\$0 (USD) Academic/Nonprofit Entities
Community Individual	\$0 (USD) Individuals. Individual members may not use the RISC-V trademark for commercial purposes. Individual members do RISC-V related work but their organization does not or their work is separate from their day-job and they want to contribute to RISC-V technologies. See additional limitations and join here .

Ключевые факторы при разработке СБИС

- Потребитель;
- Имеющиеся наработки (Задел);
- Имеющиеся ресурсы;
- Состояние целевого рынка;
- Доступность технологии.