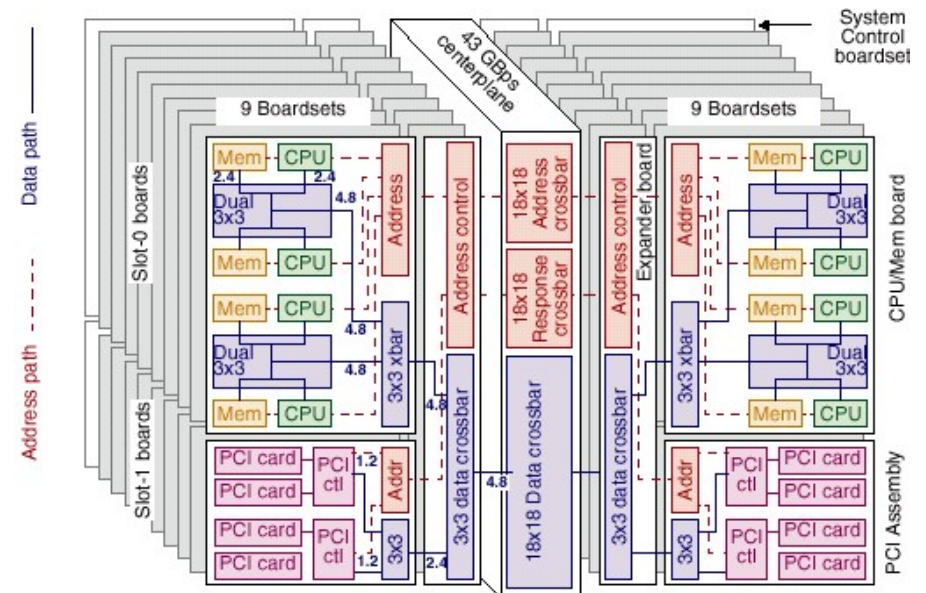
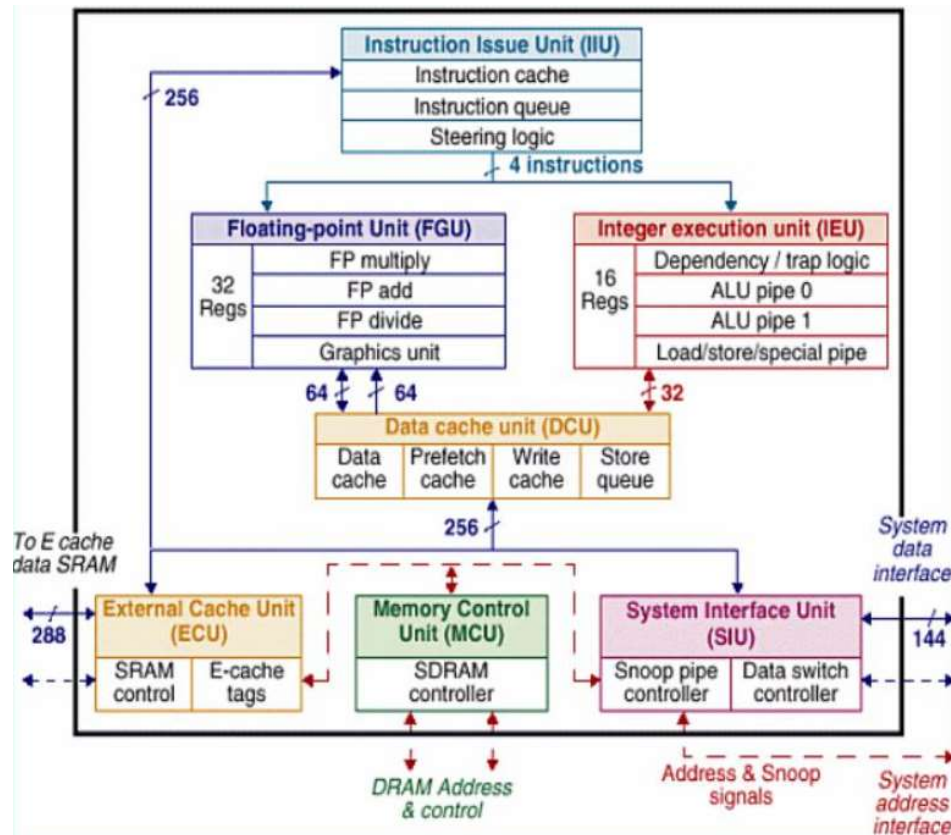


CISC, RISC, VLIW

Характеристика	CISC	RISC	VLIW
Длина команды	Различная	Одинаковая	Одинаковая
Расположение полей в командах	Различное	Одинаковое	Одинаковое
Количество регистров	Малое. Регистры специализированные	Большое. Регистры универсальные	Большое. Регистры универсальные
Доступ к памяти	Кодируется в команде. Выполняется по микрокоманде	Выполняется по специальной команде	Выполняется по специальной команде
Длительность выполнения команд	Различная	Одинаковая (для большинства команд)	Различная

Архитектура Sun Sparc



Архитектура Sun Sparc



Архитектура Sparc в отечественных процессорах

Архитектура SPARC	R50	R100	R150	R500	R500S	R1000	R2000	R2000+
Год выпуска	1998	1998	2001	2004	2007	2011	2018	2022
Техпроцесс, нм	500	500	350	130	130	90	28	28
Архитектура	SPARC v8	SPARC v8	SPARC v8	SPARC v8	SPARC v8	SPARC v9, VIS1, VIS2	SPARC v9	SPARC v9
Количество ядер	1	1	1	1	2	4	8	2
Тактовая частота, МГц		50	150	500	500	1000	2000	2000
Производительность (32 бита), Гфлопс		0,05	0,15	0,5	1	16	64	16
Производительность (64 бита), Гфлопс		0,05	0,15	0,5	1	8	32	8
Потребляемая мощность, Вт			5	1	5	15	25-36	5-20
Команд на 1 такт			1	1	1	2	2	2
Кеш уровня 2, МБ			0	4(внешняя)	0,5	2	4	2
Пропускная способность шины памяти, Гбайт/с			0,4	0,8	2,6	6,4	38,4	21,3
Площадь кристалла, мм²			100	25	81	128	н.д.	н.д.
Число транзисторов, млн			2,8	5	51	180	н.д.	н.д.
Число слоёв металла			4	8	8	10	н.д.	н.д.
Тип корпуса			BGA 480	BGA 376	HFCBGA 900	HFCBGA 1156	BGA1444	BGA1380
Максимальное число ядер в системе с общей памятью			1	4	2	16	32	2
Каналы межпроцессорного обмена cclVDS	—	—	—	—	—	3	3	0
Пропускная способность канала cclVDS, Гбайт/с	—	—	—	—	—	4	5	0
Пропускная способность канала ioLVDS, Гбайт/с	—	—	—	—	1,3	2	5	5
Комплексирование машин через каналы RDMA	—	—	—	—	до 4	до 4	н.д.	н.д.
Южный мост	—	—	—	—	встроенный	КПИ	КПИ-2	Встроенный и КПИ-2



Архитектура блоков вычислений R500

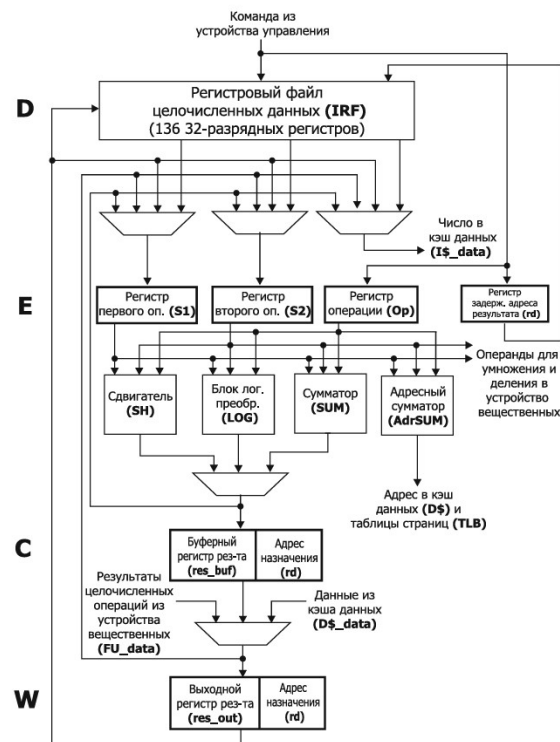
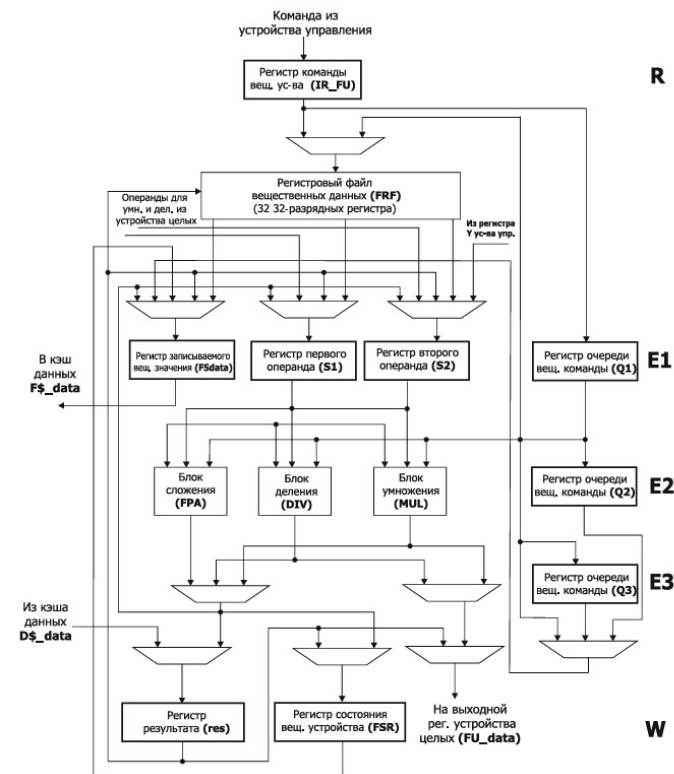
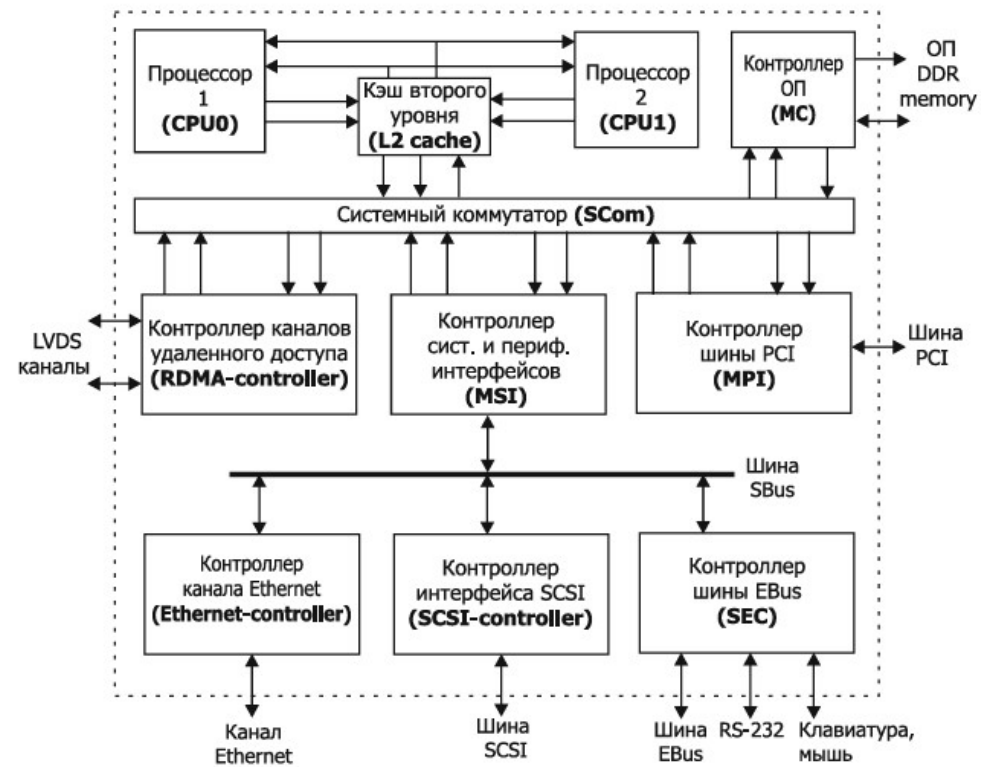


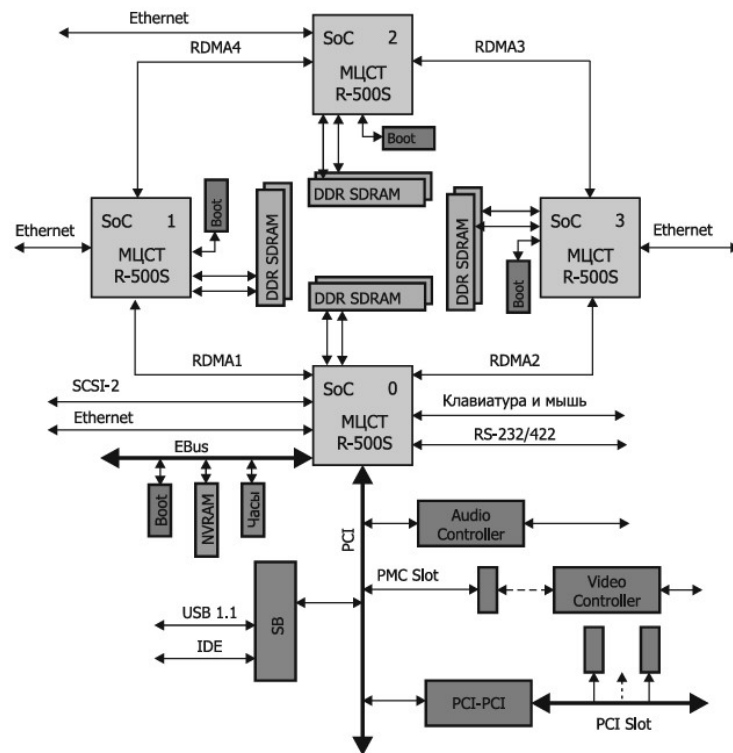
Рис. 2.12. Устройство целых команд



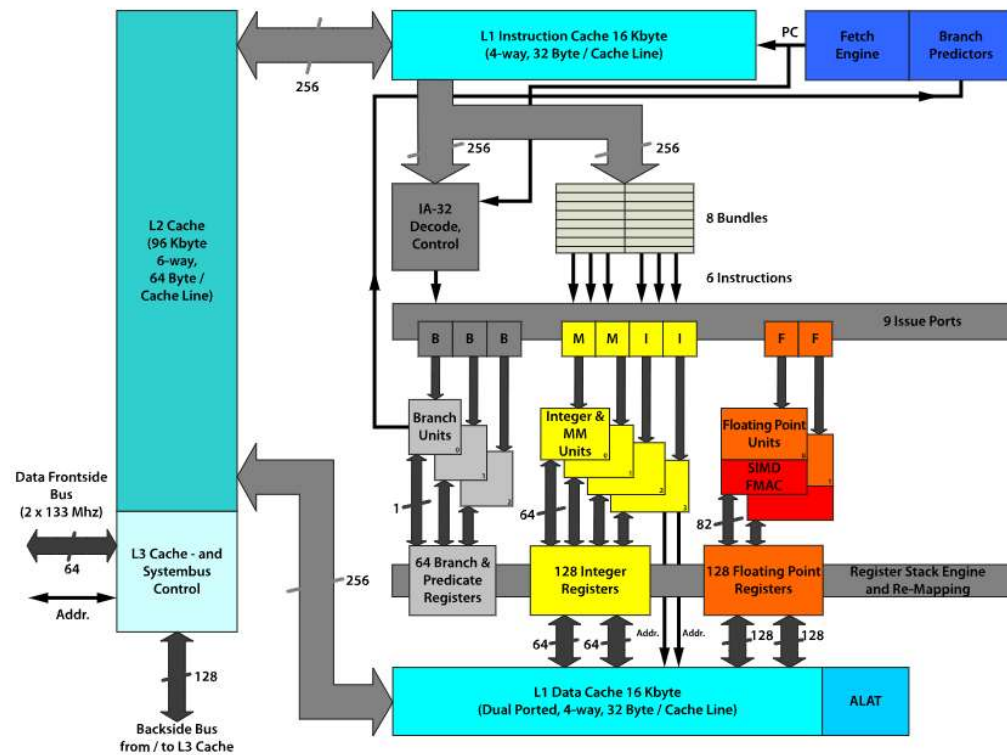
Архитектура R500S



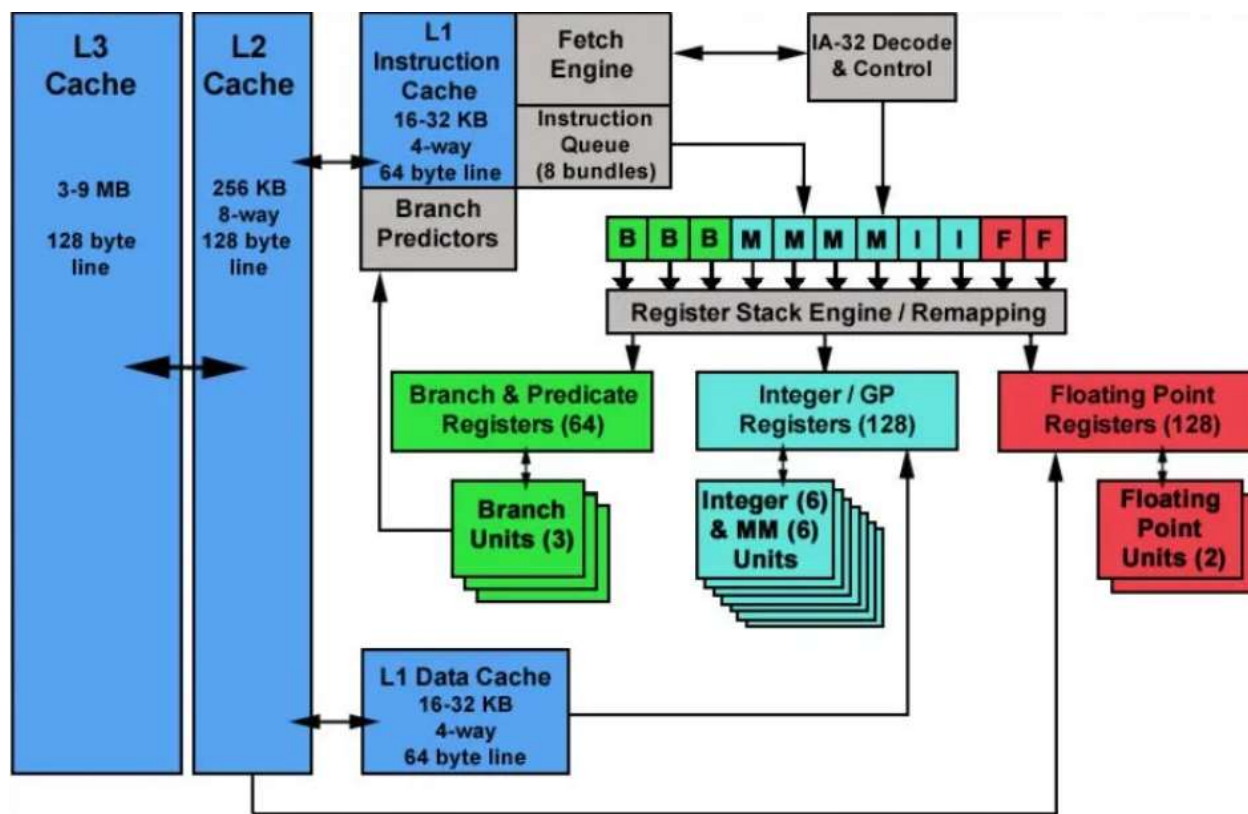
Архитектура R500S



Архитектура Itanium (IA64)



Архитектура Itanium 2



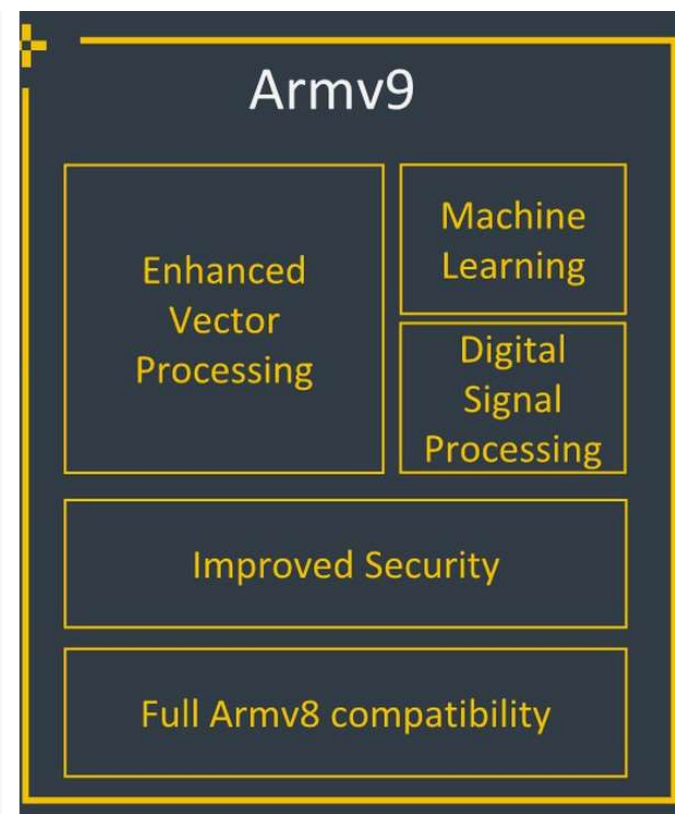
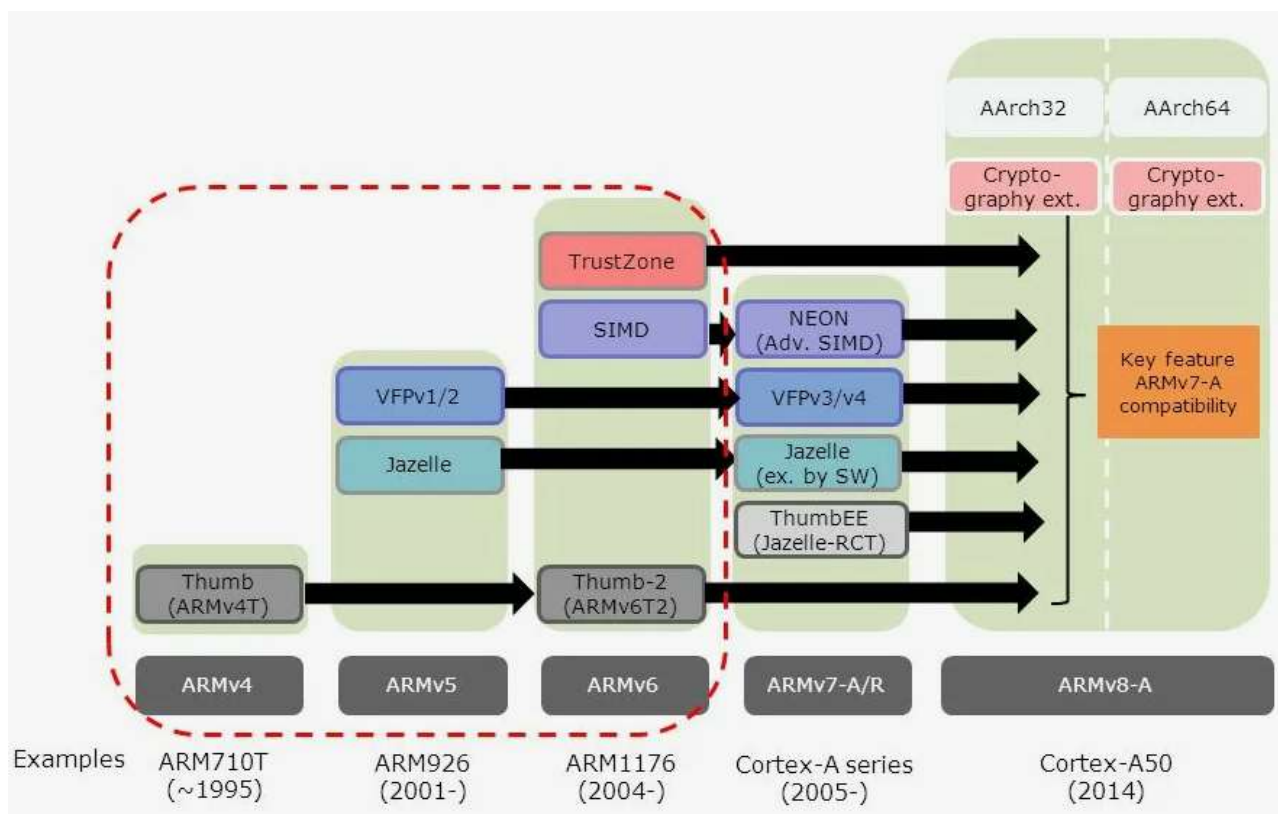
Архитектура Itanium

	Intel Itanium 800 MHz	Intel Itanium 2 1.6 GHz	Intel Itanium 2 9150N	Intel Itanium 2 9350	Intel Itanium 2 9560	Intel Itanium 9760
Дата релиза	2001	2004	2007	2010	2012	2017
Число ядер и потоков	1C/1T	1C/1T	2C/4T	4C/8T	8C/16T	8C/16T
Частота	800 MHz	1.6 GHz	1.6 GHz	1.733 GHz	2.533 GHz	2.667 GHz
Наименование ядра	Merced	Madison 9M	Montvale	Tukwila	Poulson	Kittson
Технологическая норма производства	180 нм	130 нм	90 нм	65 нм	32 нм	32 нм
Масштабируемость	До 4х сокетов	До 4х сокетов	До 4х сокетов	До 8х сокетов	До 8х сокетов	До 8х сокетов
L3 кэш	4MB	9MB	24MB	24MB	32MB	32MB
TDP	130W	122W	104W	185W	170W	170W
Сокет	PAC418	PPGA611	PPGA611	LGA1248	LGA1248	LGA1248
Рекомендованная стоимость	\$4,227	\$4226	\$3692	\$3838	\$4650	\$4650

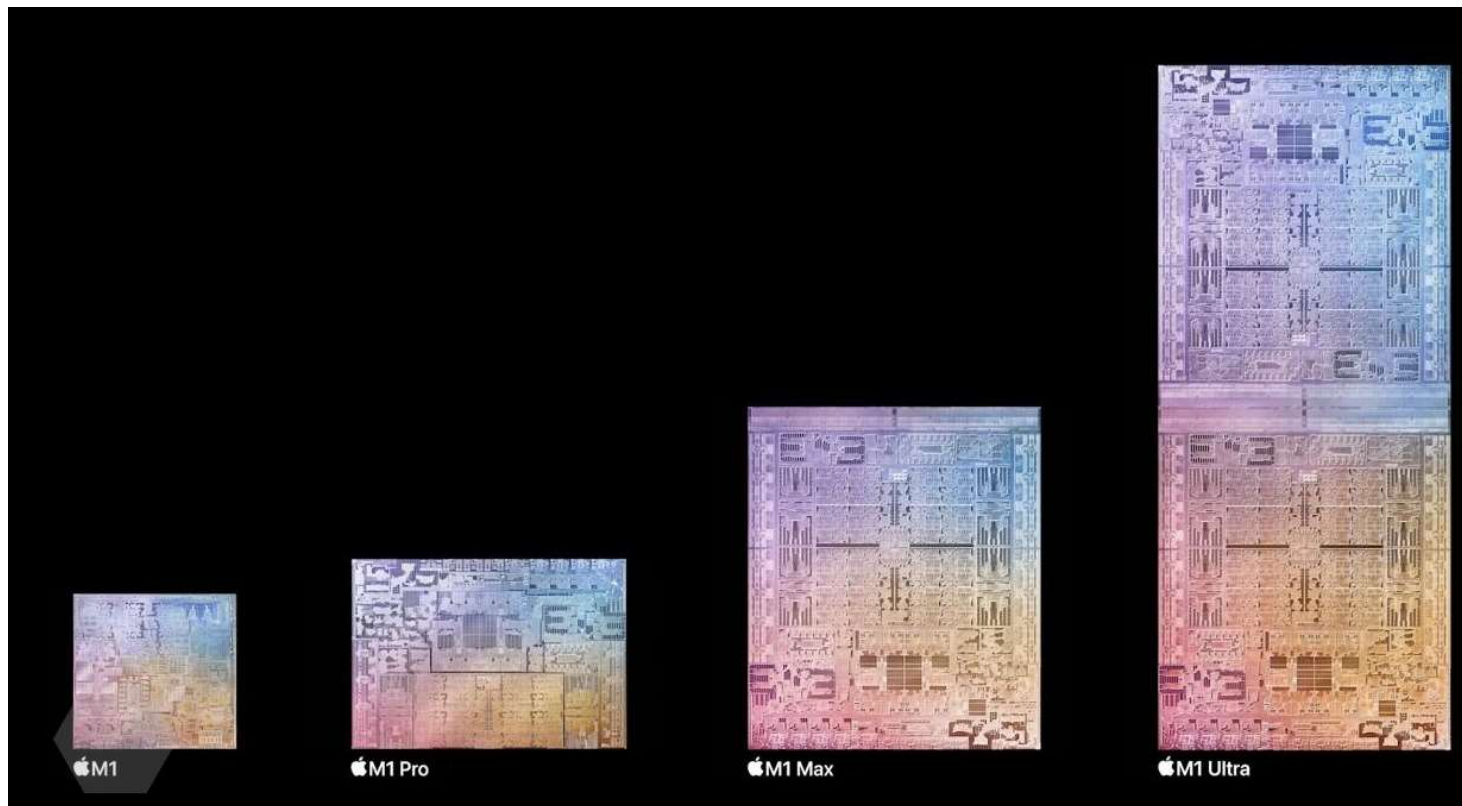
Архитектура Itanium

Наименование	Itanium 9560	Opteron 6284 SE	Xeon E5-2690
Дата выхода	Ноябрь 8, 2012	4 Июня, 2012	6 Марта, 2012
Технологическая норма	32 нм	32 нм	32 нм
Стоимость на релизе	4650\$	1265\$	2057\$
Ядра и потоки	8C\16T	16C\16T	10C\20T
Тактовая частота процессора	Базовая 2533MHz	Базовая 2700MHz, 3400MHz Turbo	Базовая 2900MHz, 3800MHz Turbo
Поддержка стандарта памяти	DDR3 1066, DDR3 800	DDR3 1600, DDR3 1333	DDR3 1600, DDR3 1333
Тепловыделение	170 Вт	140 Вт	135 Вт

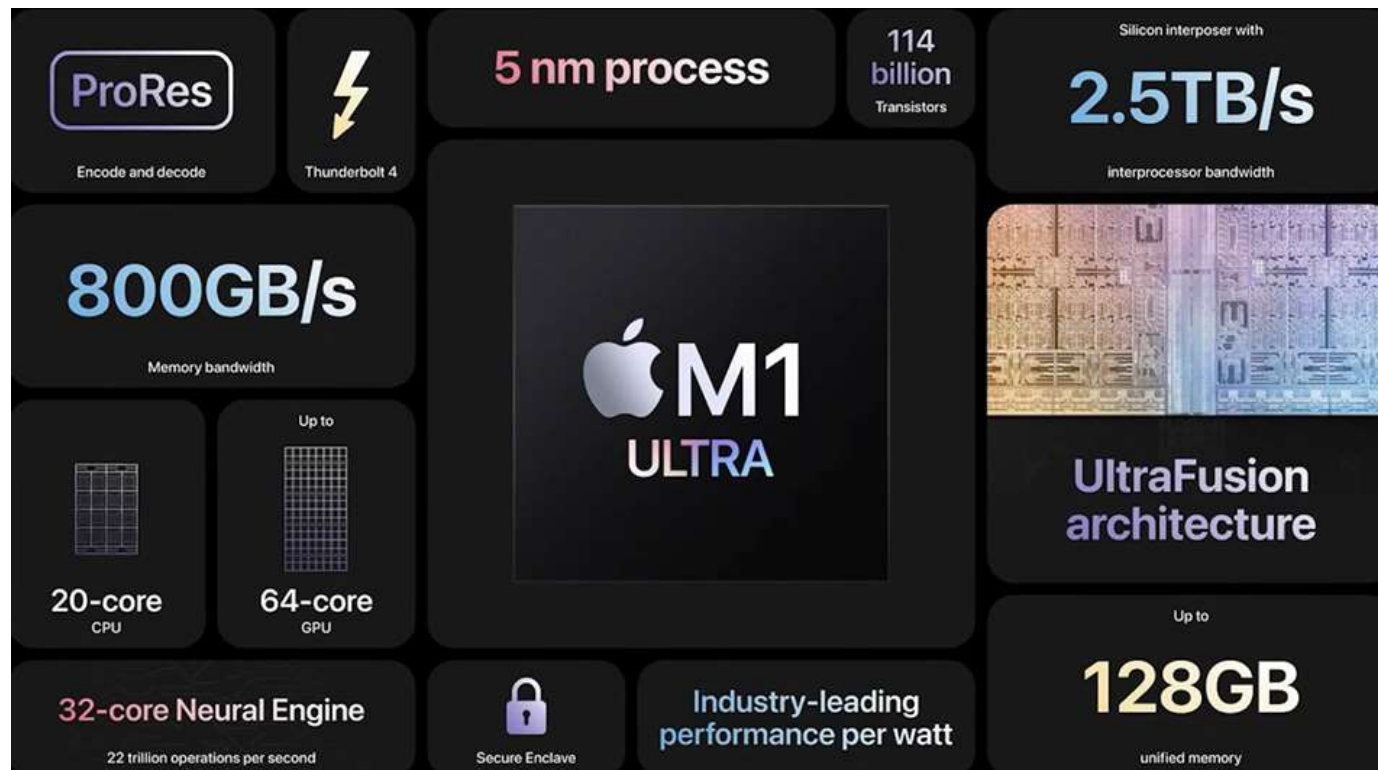
Архитектура ARM



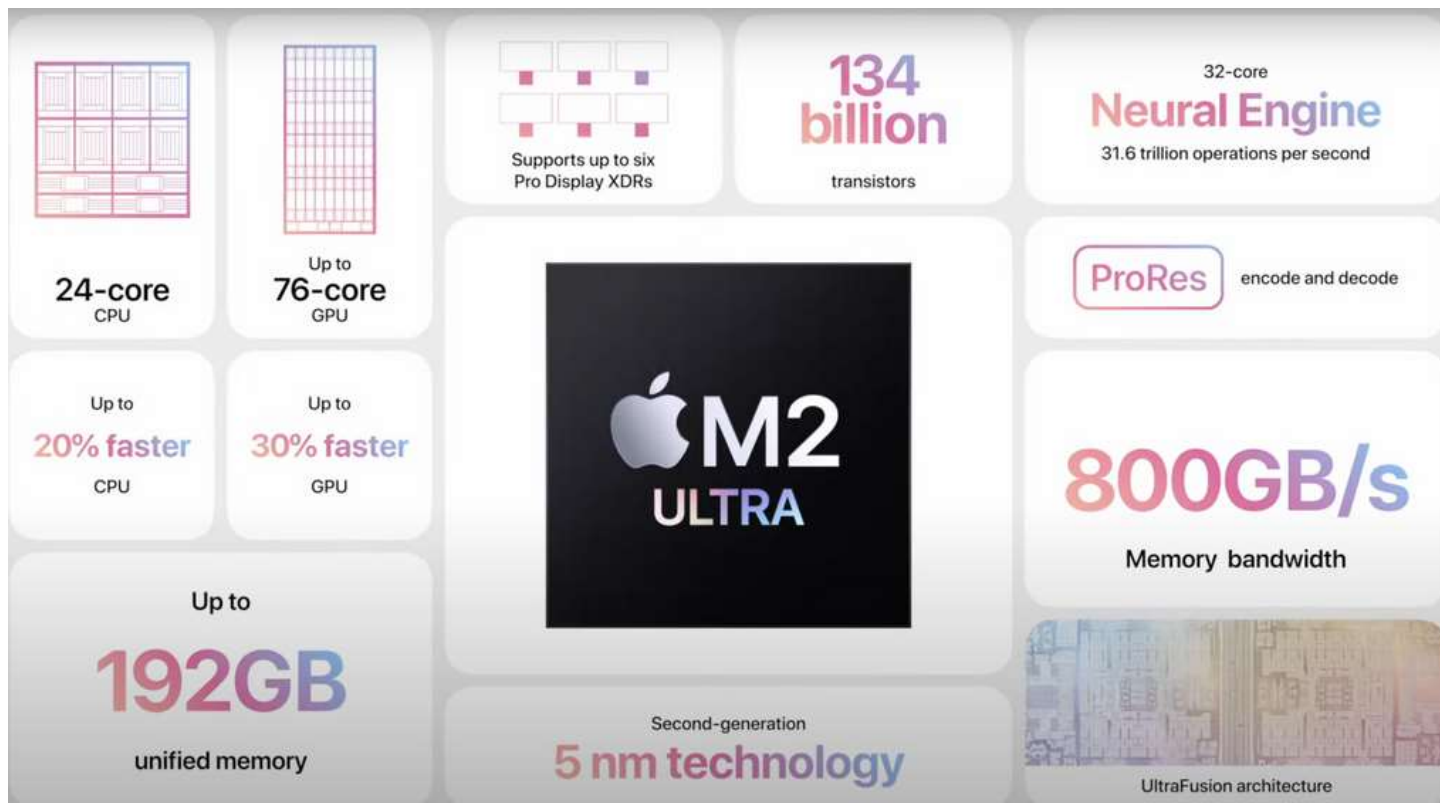
Архитектура ARM Apple M1



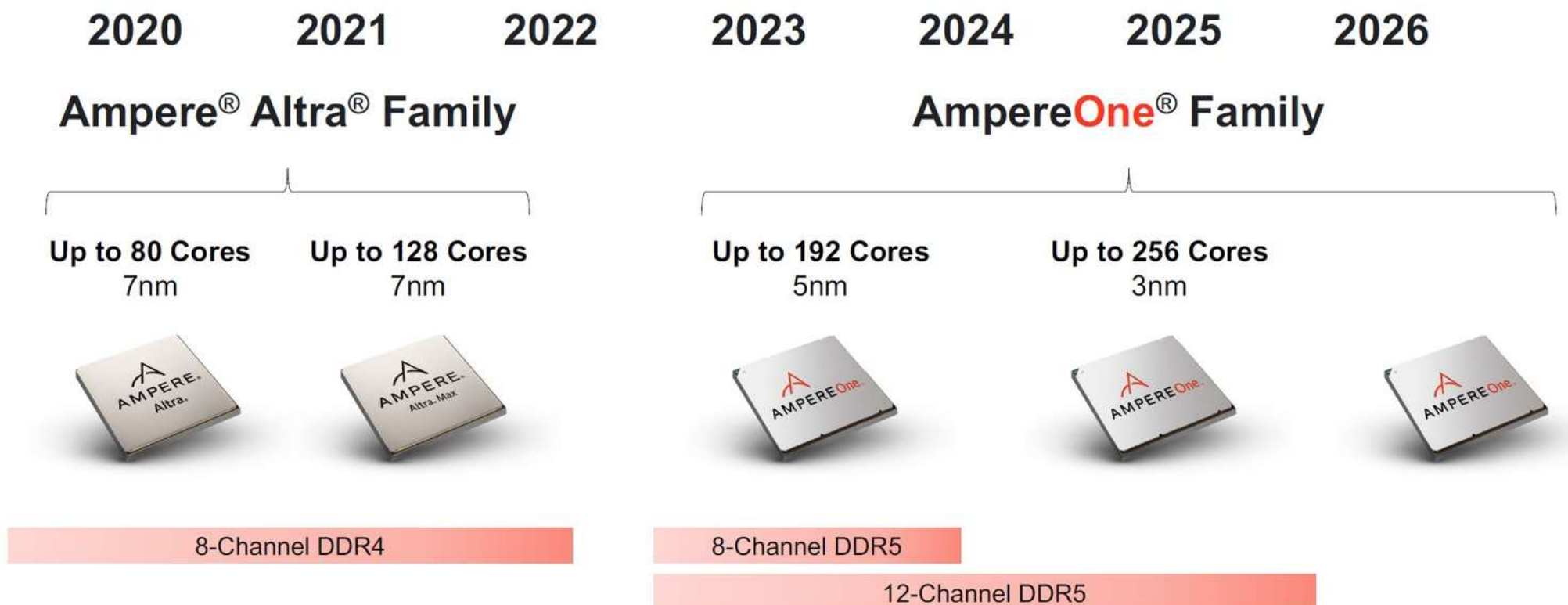
Архитектура ARM Apple M1 ultra



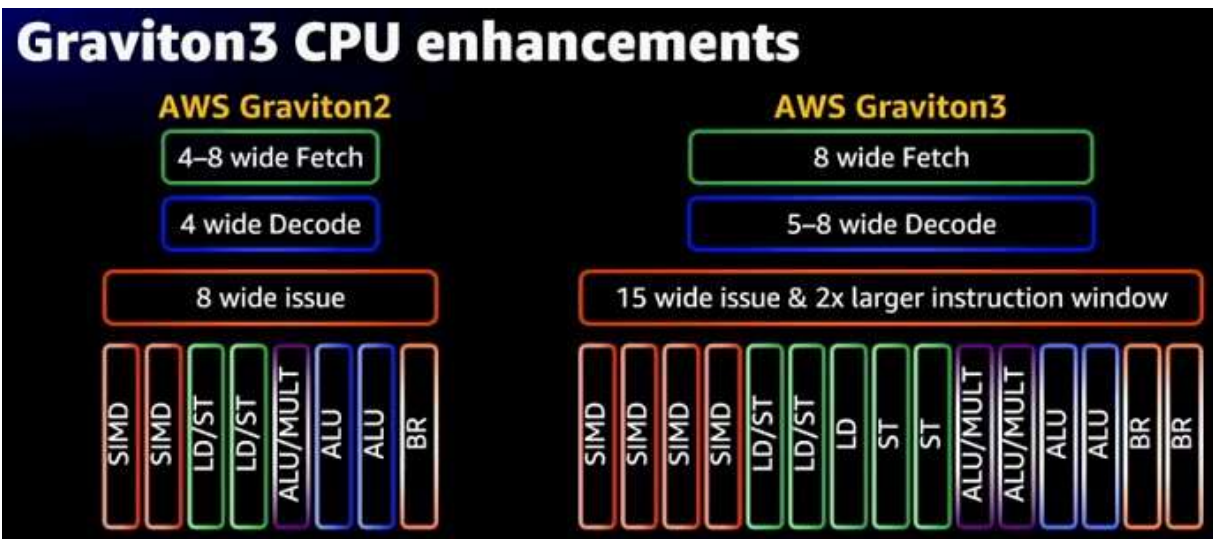
Архитектура ARM Apple M2 ultra



Архитектура ARM Ampere



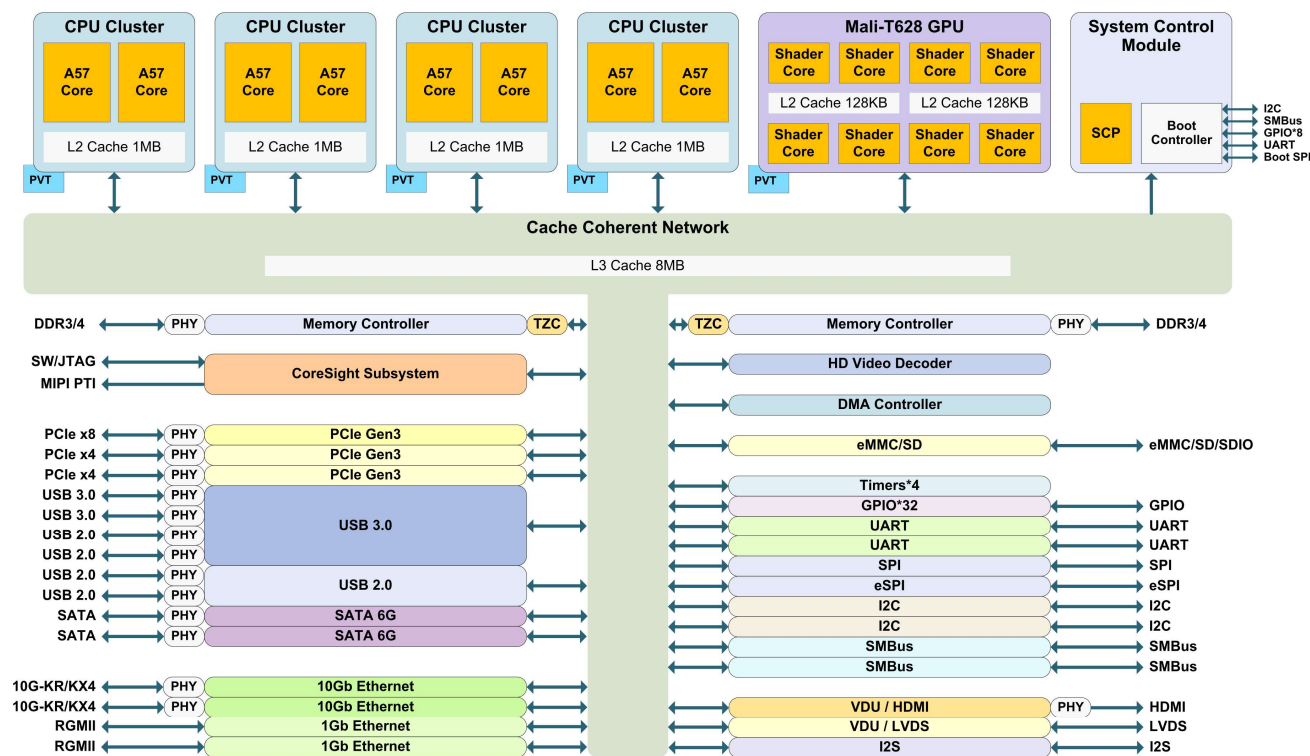
Архитектура ARM Amazon Graviton3



<i>AWS Graviton Server Chips</i>	Graviton	Graviton2	Graviton3
Codename	"Alpine"	"Alpine+"	???
Model	AL73400	ALC12B00	???
Preview	Nov 2018	Nov 2019	Nov 2021
Foundry	TSMC	TSMC	TSMC
Process	16 nm	7 nm	5 nm
Transistors (Billion)	5	30	55
Arm Architecture	ARMv8	ARMv8.2	ARMv8.5
Clock Speed	2.3 GHz	2.5 GHz	2.6 GHz
Core Type	"Maya" Cortex-A72	"Ares" N1	"Zeus" V1
Estimated AWS ECU Performance	44.4	310.8	436.36
BogoMIPS	166.66	243.75	342.22
Cores/Threads	16 / 16	64 / 64	64 / 64
L1 Instruction Cache/Core	48 KB	64 KB	64 KB
L1 Data Cache/Core	32 KB	64 KB	64 KB
Total L1 Cache/Chip	1.25 MB	8 MB	8 MB
L2 Cache/Core	4 x 2 MB *	1 MB	1 MB
Total L2 Cache/Chip	8 MB	64 MB	64 MB
L3 Cache/Core	-	512 KB	1 MB
Total L3 Cache/Chip	-	32 MB	64 MB
Memory Type	DDR4-1600	DDR4-3200	DDR5-4800
Memory Controllers	4	8	8
Memory Bandwidth Per Socket	51.2 GB/sec	204.8 GB/sec	307.2 GB/sec
PCI-Express Generation	3.0	4.0	5.0
PCI-Express Lanes	32	64	32
Sockets	1	1	1
Power (TDP)	95W	110W	100W
ECU / Watt	0.47	2.83	4.36

** Two blocks of L2 cache shared by four blocks of CPU tiles on the original Graviton die*

Архитектура ARM Baikal M (BE-M1000)



•CPU: 8 ядер Arm® Cortex™-A57 с частотой до 1.5 ГГц (архитектура Armv8-A)

•GPU: 8 ядер Arm Mali™-T628 с частотой до 750 МГц

•Кэш L2: 1 МБ на кластер

•Кэш L3: 8 МБ

•Два канала памяти 64-bit DRAM DDR4-2400/DDR3-1600 с поддержкой коррекции ошибок (ECC)

•Технологический процесс TSMC 28 нм

•Энергопотребление до 35 W

•HD видеodeкодер с частотой 60 кадров/с

•

Корпус:

Тип – FCBGA

•40 × 40 мм

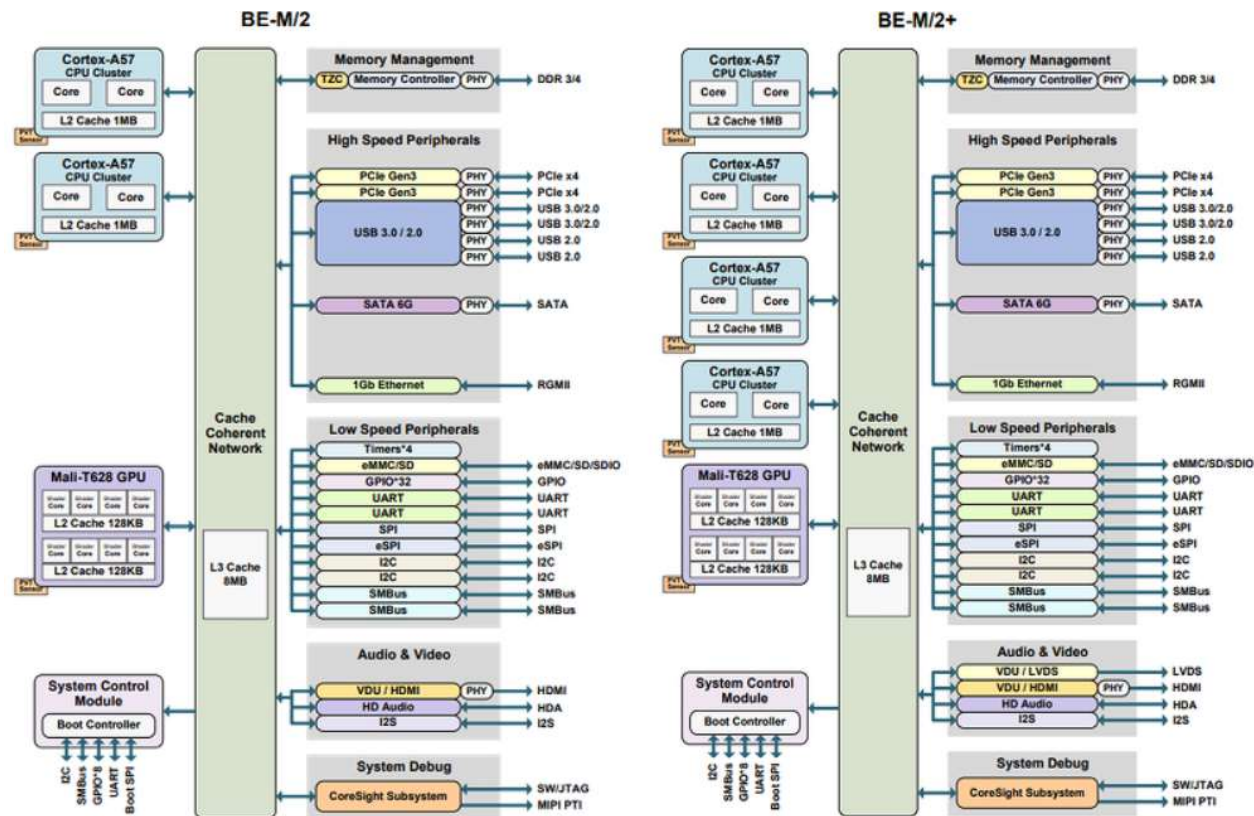
•2.8/3.05/3.3 мм – высота (мин/ном/макс)

•1521 вывод

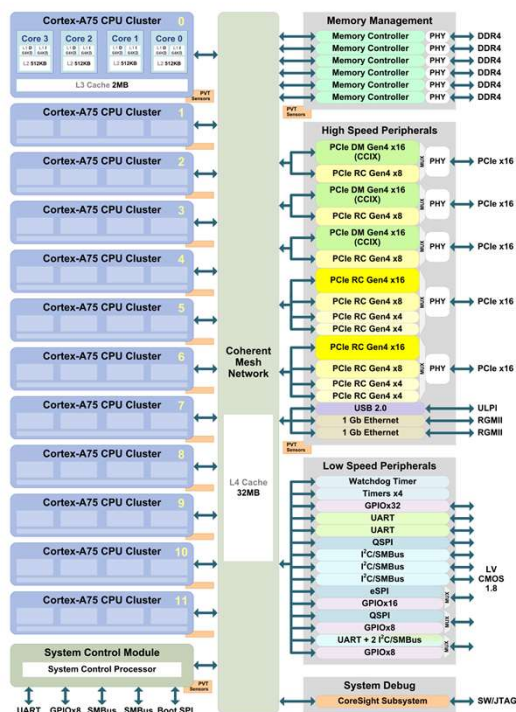
•1 мм шаг

•0.6 мм диаметр вывода

Архитектура ARM Baikal M/2



Архитектура ARM Baikal S



- CPU: 48 ядер Arm® Cortex™-A75 с частотой >2 ГГц (архитектура Armv8-A);
- 12 кластеров ядер (4 ядра и 2 МБ L3 кэша на кластер).

• Кэш: L1: 64 КБ кэш инструкций и 64 КБ кэш данных;

• L2: 512 КБ на ядро;

• L3: 2 МБ на кластер;

• L4: 32 МБ.

• Память: 6 × DDR4 3200 МГц с поддержкой ECC до 768 ГБ на сокет (128 ГБ на канал).

• Интерконнект: Три интерфейса CCIX x16, каждая полоса работает со скоростью 16 Гбит/с.

• Интерфейсы ввода/вывода: 80 линий PCIe Gen 4.0 (48 линий общие для CCIX-интерфейса);

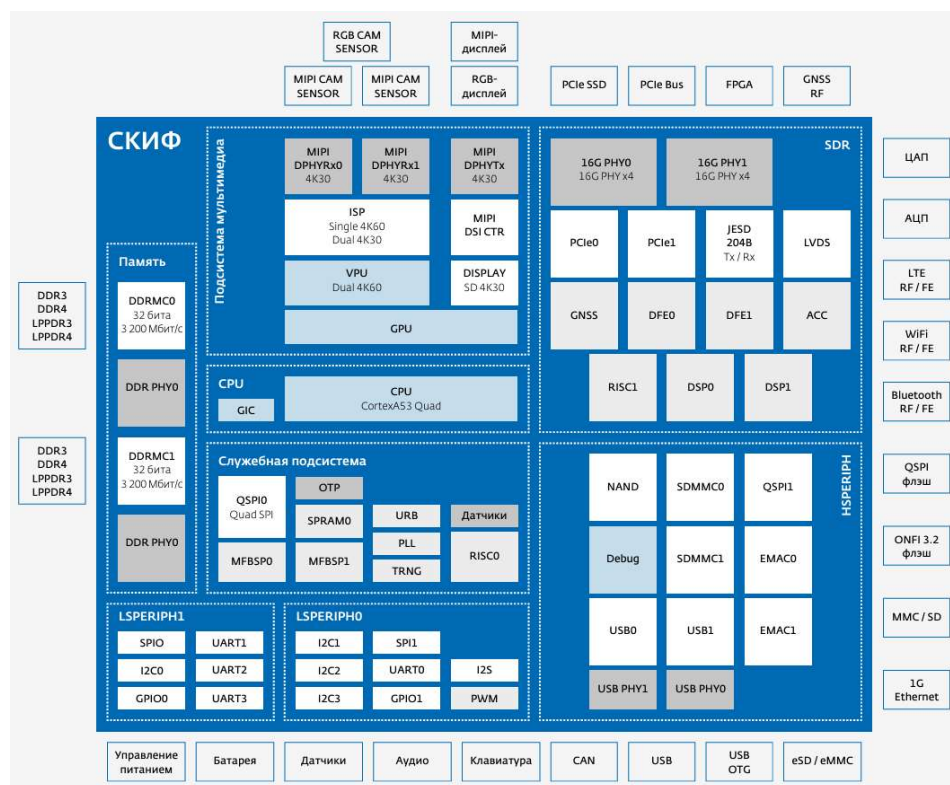
• 2 × 1 Гбит Ethernet RGMII;

• 1 × USB 2.0 ULPI.

Технологический процесс: TSMC 16 нм.

Энергопотребление: 120 Вт.

Архитектура ARM Скиф



- процессорный управляющий кластер общего назначения (CPU) – 4-ядерный кластер, состоящий из 64-битных Arm-ядер Cortex- A53 MPCore, со встроенным аппаратным менеджером когерентности (Arm GIC-500);
- процессорные управляющие / сервисные ядра (RISC0 и RISC1) с MIPS32-совместимой архитектурой из библиотеки «Мультикор» АО НПЦ «ЭЛВИС»;
- процессорный DSP-кластер на базе двух DSP-ядер ELcore50 из библиотеки «Мультикор» (с ядром CPU и DSP-сопроцессором в каждом);
- графическое ядро PowerVR Series8XE (Imagination Technologies), которое обеспечивает поддержку режима программируемого вычислителя (pGPU) с API OpenCL;
- два интерфейса PCIe со своим контроллером каждый и разделением ресурсов между интерфейсами PCIe и JESD204B (конфигурация линий 2×4 , поддержка PCI Express 3.0, скорость на линию 8 Гбит / с);
- LVDS (16 пар линий LVDS со скоростью передачи данных 400 Мбит / с на линию);
- два интерфейса JESD204B по четыре линии со скоростью передачи данных до 12,5 Гбит / с на линию, каждый со своим контроллером и разделением ресурсов PHY между интерфейсами JESD204B и PCIe;
- СнК изготовлена на фабрике TSMC по проектным нормам 28 нм и содержит 1,6 млрд транзисторов, размещенных на кристалле площадью 166 кв. мм.
- рабочая частота: 2000 МГц (CPU), 600 МГц (DSP), 600 МГц (GPU), 600 МГц (ACC), 600 МГц (DFE), 600 МГц (VPU), 3 200 МГц (DDR);
- пиковая производительность: 100 GFlops (Double, FLP64), 380 GFlops (Single, FLP32), 1 300 GFlops (FLP16), 26 Gops (INT64), 150 Gops (INT32), 410 Gops (INT16), 1 400 Gops (INT8);
- энергопотребление: управляемое, потребляемая мощность 7–14 Вт
- тип корпуса: HFCBGA 1936 (23 × 23 мм), шаг выводов 0,5 мм.