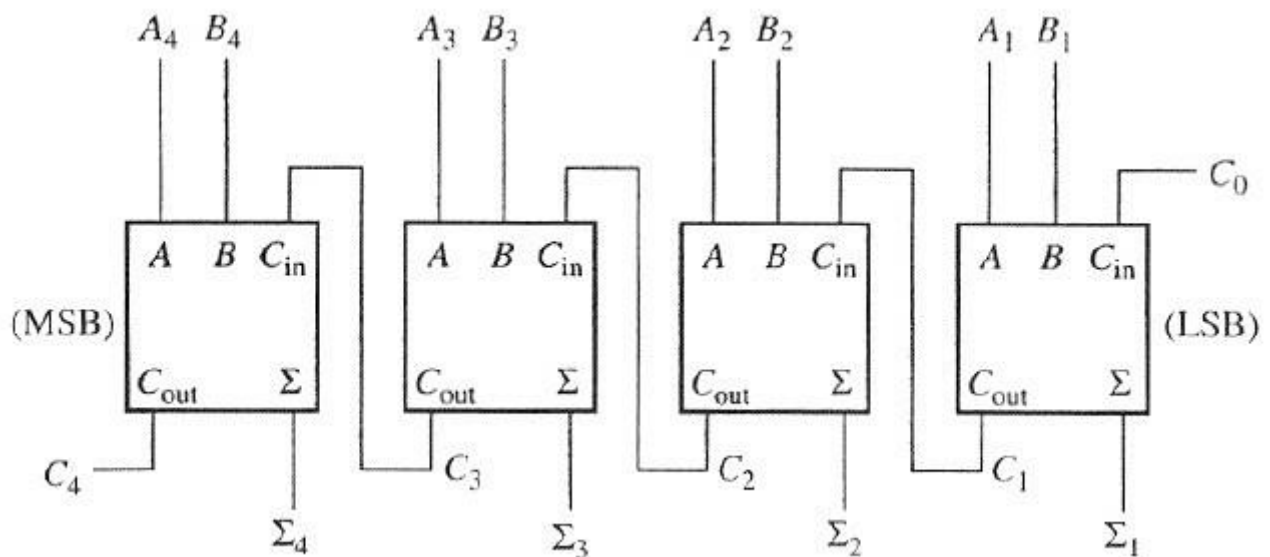


## Exercícios Verilog

*Professor: Omar Paranaíba e Daniel Fernandes Macedo**Monitor: Matheus H. Silva*

A atividade proposta consiste na **síntese e simulação** de dois circuitos digitais, utilizando a linguagem de descrição de Hardware Verilog, a mesma pode ser realizada em qualquer ambiente de programação escolhido pelo do aluno.

1. Somador de 4 Bits, utilizando um full-adder combinacional como modulo base:



2. Contador síncrono, com as seguintes especificações:
  - Valor máximo igual a 100, chegando neste valor a contagem deve recomeçar;
  - Sinal de Reset assíncrono (zera o contador);
  - Sinal que controla o sentido da contagem (ascendente e descendente);
  - Sinal Enable assíncrono (pausa a contagem);
  - Um sinal identificador que indique que a contagem atingiu um valor de interesse, que deve ser especificado pelo aluno (entre 1 e 99).