

# Teoretické okruhy z předmětu Digitální technika

1. Číselné soustavy polyadické a nepolyadické, polynomický rozvoj čísla v polyadické soustavě, kapacita soustavy, nejvyšší číslo, základ soustavy. Logický a dvojkový doplněk v binární soustavě. Nepolyadické soustavy, definice. Číselné kódy, Grayův kód, váhové kódy, jiné kódy.
2. Definice logické funkce, proměnné, elementární logické funkce jedné a dvou proměnných, logická hradla a jejich značky. Booleova algebra, vyjadřování logických funkcí, pravdivostní tabulka, algebraický zápis, mapy. Definice pojmů term, maxterm, minterm, implikant, prostý implikant, disjunkt ní a konjunkt ní tvar funkce, úplný soubor funkcí atd. Ošetření nezapojených vstupů log. hradel.
3. Definice kombinačního logického obvodu, příklady komb. logických obvodů. Sčítačka, úplná a neúplná. Logické hazardy v kombinačních obvodech, typy, vznik, vyšetřování a odstraňování hazardů. Možnosti realizace základních kombinačních obvodů (sčítačka, multiplexor) v jazyce VHDL.
4. Sekvenční logické obvody, obecná definice, synchronní a asynchronní, hranové a hladinové obvody. Popis sekvenčních logických obvodů, obvody typu Mealy a typu Moore, převody mezi oběma typy. Registry a fronty, sériové a paralelní.
5. Sekvenční logické obvody, astabilní, monostabilní, bistabilní, základní transformace. Klopné obvody RS, JK, D a T, schéma, funkce, pravd. tabulky obvodů, zapojení master-slave. Možnosti realizace klopných obvodů v jazyce VHDL.
6. Realizace čítačů pomocí klopných obvodů D a JK, synchronní a asynchronní čítač, vnitřní struktura, vlastnosti, synchronní a asynchronní reset čítače.
7. Základní pojmy charakterizující diskrétní logické obvody a hradla, logický zisk, větvení, napěťové úrovně, šumová imunita, spotřeba, zpoždění atd. Základní vlastnosti a popis polovodičových prvků – dioda, bipolární a unipolární tranzistor, jejich využití pro konstrukci logických hradel.
8. Technologie TTL a CMOS, základní popis, struktura hradel, vlastnosti a charakteristiky, napěťové úrovně, zpoždění, spotřeba hradel. Vývojové řady TTL a CMOS, obvody řady 74xx.
9. Základní struktura FPGA, popis základních částí a stručná charakteristika, IOB, CLB, PSM atd. Typická struktura CLB – slice, LUT. Distribuce a rozvod hodinového signálu v FPGA, matice propojů a cest, typy cest.
10. Základní vlastnosti jazyka VHDL, 3 způsoby popisu log. obvodů v jazyce VHDL, sekvenční a paralelní prostředí. Základní pojmy – entita, komponenta, architektura, proces, port.
11. Datové typy v jazyce VHDL, příklady, rozdíly mezi `std_logic` a `std_ulogic`, `std_logic_vector`, číselné typy, deklarace vlastních typů. Datové objekty v jazyce VHDL – signál, proměnná, konstanta, rozdíly a použití. Porty v jazyce VHDL – druhy portů, vlastnosti, použití.
12. Operátory v jazyce VHDL (logické, aritmetické, relační, ostatní) a atributy. Příklad zápisu logického výrazu v jazyce VHDL a jeho porovnání se zápisem pomocí pravidel Booleovy algebry.
13. Příklady podmínek v jazyce VHDL, podmínky v paralelním i sekvenčním prostředí, jednoduchá ukázka, rozdíly použití. Podmínka pro detekci vzestupné a sestupné hrany signálu v jazyce

VHDL. Simulace v jazyce VHDL, způsoby a typy simulací. Rozdíl mezi signálem a proměnnou v jazyce VHDL.

14. Možnosti realizace základních klopných obvodů v jazyce VHDL. Realizace pomocí behaviorálního, RTL i strukturálního způsobu. Strukturální popis v jazyce VHDL – použití komponent a mapování portů, vysvětlení, jednoduchý příklad postupu.
15. Realizace čítačů v jazyce VHDL – synchronní a asynchronní čítač. Idea realizace jednoduchého a obecného n-bitového čítače. Behaviorální a post-route simulace synchronního a asynchronního čítače, rozdíly. Konverze datových typů v jazyce VHDL, datové typy signed/unsigned a jejich použití.
16. Realizace děliček frekvence v jazyce VHDL. Idea realizace děliček s nesymetrickou střídou (pulzní výstup) a idea realizace děliček frekvence se symetrickou střídou (1:1) se sudým i lichým poměrem dělení. Idea realizace děliček frekvence s poměrem rovným mocnině 2. Problematika hradlování hodin a optimalizace zpoždění v obvodech realizovaných v FPGA.
17. Možnosti realizace posuvu a rotace v jazyce VHDL – operátory posuvu a rotace, funkce posuvu a rotace, operátor zřetězení, logický a aritmetický posuv. Příklad realizace jednoduchého registru v jazyce VHDL s funkcí posuvu a rotace. Idea realizace front v jazyce VHDL, fronta typu LIFO, FIFO. Smyčky v jazyce VHDL – smyčky typu for a while, způsoby použití, omezení, vlastnosti, příklad.
18. Parametrizace VHDL kódu pomocí konstrukce generic, mapování generic portů (generic map), jednoduchý příklad.
19. Funkce a procedury v jazyce VHDL, definice, rozdíly, jednoduchá ukázka použití funkce, procedury. Balíčky a knihovny, složení, vlastnosti, vyvolání, použití, dočasná knihovna projektu (work).
20. Realizace stavových automatů v jazyce VHDL. Deklarace vlastního typu, postup realizace automatu v jazyce VHDL, využití sekvenčního i paralelního prostředí, rozdíly mezi typem Mealy a Moore. Možnosti kódování vnitřních stavů automatů v jazyce VHDL, vliv na výslednou realizaci.