

Využití funkční verifikace při vývoji pokročilých číslicových obvodů

(FRVŠ 1798/2012/G1)

Řešitel: Ondřej Lengál

Spoluřešitelé: doc. Ing. Zdeněk Kotásek, CSc.
Ing. Michal Kajan

Fakulta informačních technologií
Vysoké učení technické v Brně

21. února 2013

■ Funkční verifikace

- jedna z nejdůležitějších součástí procesu návrhu a vývoje pokročilých číslicových systémů,
- využívána v řadě firem (IBM, Intel, Nvidia, Siemens, ...),
- pokrytí látkou vyučovanou na FIT VUT před 2012: $\approx \emptyset$

- 1 Vytvoření **prezentace** představující pokročilé verifikační techniky.
- 2 Vytvoření **studijních materiálů** a **demonstračních příkladů**.
- 3 Vytvoření **dokumentace** popisující postup při verifikaci.
- 4 Vytvoření zadání individuálních **projektů** do předmětu **PCS**.
- 5 Návrh témat několika **bakalářských a diplomových prací**.

Cíle a jejich řešení (1/5)

Dílčí cíl:

- 1 Vytvoření prezentace představující pokročilé verifikační techniky.

Výstupy:

- Vytvořeny 3 prezentace ve formátech PDF a PowerPoint

- 1 Prezentace pro předmět PCS (36 slajdů)

- ▶ základy funkční verifikace, srovnání s testováním a formální verifikací, základy jazyka SystemVerilog, architektura verifikačního prostředí, základy metodiky OVM (*Open Verification Methodology*),
- ▶ prezentována 6. 12. 2012.

- 2 Zkrácená verze prezentace 1 (25 slajdů)

- ▶ lze použít pro doplnění výuky v předmětech INC a HSC.

- 3 Krátká prezentace do cvičení PCS (8 slajdů)

- ▶ krátké shrnutí materiálu z 1.

Cíle a jejich řešení (2,3/5)

Dílčí cíle:

- 2 Vytvoření **studijních materiálů** a **demonstračních příkladů**.
- 3 Vytvoření **dokumentace** popisující postup při verifikaci.

Výstupy:

- Doplňková **prezentace** (53 slajdů)
 - obsahuje podrobnější popis jazyka SystemVerilog a metodiky OVM, detailnější popis OVM komponent,
 - lze využít jako referenční dokumentaci při vytváření verifikačních prostředí.
- Podkladové **demonstrační materiály**
 - příklad ALU a jednoduchého verifikačního prostředí,
 - úkolem je podle nápovědy dokončit verifikaci ALU,
 - prostředí ModelSim (Mentor Graphics).

Dílčí cíle:

- 4 Vytvoření zadání individuálních projektů do předmětu PCS.

Výstupy:

- Individuální projekty v PCS
 - prostudování vybraného článku,
 - vytvoření referátu a
 - jeho prezentace
- Vytvoření 12 nových témat
 - založená na článcích z odborného časopisu
 - ▶ Verification Horizons (Mentor Graphics)

Dílčí cíle:

- Návrh témat několika **bakalářských a diplomových prací**.

Výstupy:

- Vytvořeno zadání **9 prací**
 - 1 Aplikace evolučního algoritmu při tvorbě regresních testů.
 - 2 Automatické generování prostředí pro funkční verifikaci.
 - 3 Funkční verifikace robotického systému.
 - 4 Implementace OVM komponent pro framework HAVEN.
 - 5 Implementace syntetizovatelných komponent v jaz. SystemVerilog.
 - 6 Návrh rozhraní mezi testbenchem v jazyce SystemVerilog a FPGA.
 - 7 Transformace bodů pokrytí do konečných automatů.
 - 8 Transformace jazyka SVA do konečných automatů.
 - 9 Hardwarově akcelerovaná funkční verifikace procesoru.

Čerpání finančních prostředků

■ Běžné náklady

Položka	Částka [Kč]
Odměny za řešení projektu (doc. Kotásek)	3.000,00
Stipendia (M. Kajan, O. Lengál)	40.000,00
Ostatní náklady	
zdravotní a sociální pojištění	1.032,61
zařízení pro zálohování dat a prezentace	3.421,00
knihy (9 ks)	28.546,39
Celkem	76.000,00

■ Hlavní výstupy:

- prezentace pro předmět PCS (36 slajdů),
- zkrácená verze prezentace (25 slajdů),
- krátká prezentace do cvičení PCS (8 slajdů),
- doplňková detailnější prezentace (53 slajdů),
- podkladové demonstrační materiály (příklad verifikace ALU),
- 12 nových témat individuálních projektů do PCS,
- 9 bakalářských/diplomových prací v oblasti funkční verifikace.

■ Vedlejší výstupy:

- pořízení **9 knih** k tématu funkční verifikace číslicových systémů.

<http://www.fit.vutbr.cz/~ilengal/grants.php?id=556>