

同济大学课程考核试卷（A 卷）  
2022 — 2023 学年第 一 学期

命题教师签名： 审核教师签名：

课号：100160 课名：计算机系统结构 考试考查：考查

此卷选为：期中考试( )、期末考试( √ )、重考( )试卷

年级 专业 学号 姓名 得分

一、单项选择题（共 26 分，每题 2 分）

1. Amdahl 定律指出：系统中某一部件由于采用某种更快的执行方式后整个系统性能的提高与这种执行方式的\_\_\_\_\_有关。  
A. 使用频率或占总执行时间的比例 B. 所占总执行时间的比例及整个计算机的时钟频率  
C. 使用频率及整个计算机的时钟频率 D. 加速的程度和整个系统原有速度的快慢
2. 按照 Amdahl 定律，假设将某系统的某一部件的处理速度加快到原来的 5 倍，但该部件的原处理时间仅为整个系统运行时间的 20%，则采用加快措施后能使整个系统的性能提高到原来的\_\_\_\_\_倍。  
A. 1 / 0.36 B. 1 / 0.24  
C. 1 / 0.45 D. 1 / 0.84
3. 某计算机有 10 种指令，操作码采用 2-4-6...等长扩展码，如果按照指令操作码长度从小到大排列，以下\_\_\_\_\_的指令条数的组合是不可能的。  
A. 3 条、7 条 B. 2 条、8 条  
C. 2 条、4 条、4 条 D. 3 条、3 条、4 条
4. 在 RISC 体系结构中，规定运算型指令\_\_\_\_\_。  
A. 在寄存器和存储器之间进行操作  
B. 都在通用寄存器内进行操作  
C. 在存储器中进行操作  
D. 在运算器内进行操作
5. 在采用二级 Cache 的计算机系统中，假设在 1000 次访存中，第 1 级 Cache 失效 40 次，第 2 级 Cache 失效 20 次。在这种情况下，第 2 级 Cache 的局部缺失率和全局缺失率各是\_\_\_\_\_。  
A. 4%和 2% B. 4%和 4%  
C. 50%和 2% D. 2%和 50%
6. \_\_\_\_\_不能提高 Cache 存储系统的性能。  
A. 降低缺失代价 B. 降低命中率  
C. 降低缺失率 D. 降低 Cache 命中时间
7. 与相联度有关的缺失是\_\_\_\_\_。

- A. 强制缺失 B. 容量缺失  
C. 冲突缺失 D. 局部缺失
8. 指令操作码采用 4-8 等长扩展码，最多可以有\_\_\_\_\_种指令。  
A. 241 种 B. 31 种  
C. 255 种 D. 496 种
9. 下图是一条单功能流水线，图中标明了各功能段所需的时间，这条流水线的最大吞吐率应为\_\_\_\_\_。

第1条指令计算  $V_2$ ，写入寄存器。  
第2条指令加载  $V_3$ ，写入寄存器。  
第3条指令计算  $V_4$ ，依赖于  $V_2$  和  $V_3$ 。满足链接要求：没有寄存器冲突。  
运算部件没有冲突。  
依赖关系明确，且第一个结果分量可用时后续指令可以开始。  
向量长度一致。

第1条指令加载  $V_0$ 。  
第2条指令计算  $V_2$ ，依赖于  $V_0$ 。  
第3条指令计算  $V_3$ ，依赖于  $V_2$  和  $V_0$ 。满足链接要求：没有寄存器冲突。  
运算部件没有冲突。  
依赖关系明确，且指令结果的分量时间和向量长度一致。

第1条指令计算  $V_0$ 。  
第2条指令计算  $V_3$ ，依赖于  $V_0$ 。  
第3条指令计算  $V_5$ ，依赖于  $V_3$  和  $V_0$ 。满足链接要求：没有寄存器冲突。  
运算部件没有冲突。  
第一个结果分量生成时间一致，且向量长度相同。

A.  $1/\Delta t$  B.  $1/(2\Delta t)$   
C.  $1/(3\Delta t)$  D.  $1/(4\Delta t)$

10. \_\_\_\_\_不是多发射处理机。  
A. 标量处理机 B. 超标量处理机  
C. 超流水线处理机 D. 超长指令字处理机

11. 在向量处理机中，下列指令组中\_\_\_\_\_不可以采用向量链接技术。  
A.  $V_2 \leftarrow V_0 + V_1$  B.  $V_0 \leftarrow \text{存储器}$   
 $V_3 \leftarrow \text{存储器}$   $V_2 \leftarrow V_0 * V_1$   
 $V_4 \leftarrow V_2 * V_3$   $V_3 \leftarrow V_2 + V_0$   
C.  $V_0 \leftarrow \text{存储器}$  D.  $V_0 \leftarrow V_1 + V_2$   
 $V_1 \leftarrow 1/V_0$   $V_3 \leftarrow V_0 + V_4$   
 $V_3 \leftarrow V_1 + V_2$   $V_5 \leftarrow V_3 * V_0$

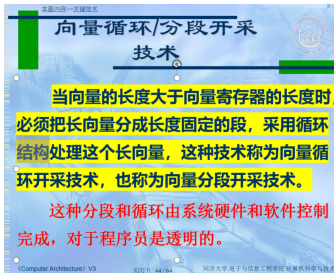
12. 16 个处理器用单级互连网络互连，将 10 号连到 2 号处理器，可用\_\_\_\_\_。  
A.  $\text{Cube}_3$ （立方体函数） B.  $\text{PM}_{2+2}$ （PM2I 函数）  
C.  $\text{PM}_{2-1}$ （PM2I 函数） D. Shuffle（均匀洗牌函数）

13. \_\_\_\_\_能够实现二进制地址编号中第 K 位位值不同的输入端和输出端之间的连接。  
A. 交换置换 B. 方体置换  
C. 蝶式置换 D. 均匀洗牌置换

二、填空题（每空 0.5 分，共 7 分）

1. 有一个计算机系统按功能划分成 4 级，各级的指令都不相同，每一级指令都比下一级指令的功能强 M 倍，即第 i 级的一条指令能完成第 i-1 级的 M 条指令的功能。但第 i 级的一条指令需要第 i-1 级的 N 条指令解释。如果一段第 1 级的程序运行需要 Kns，那么第 2 级上的功能等效程序运行需要\_\_\_\_\_ns，第 4 级上的功能等效程序运行需要\_\_\_\_\_ns。
2. 当向量长度大于向量寄存器长度时，需要一种处理长向量的程序结构，将长向量分段处理，这种结构叫做\_\_\_\_\_，这种技术称为\_\_\_\_\_向量循环开采\_\_\_\_\_技术。
3. 设 T1 和 T2 分别是 CPU 访问到 M1 和 M2 中信息所需的时间，H 为命中 M1 的概率，则由 M1 和 M2 构成的

第2级需要  $KN/M$  ns  
第4级需要  $KN^3/M^3$  ns



3. 设 T1 和 T2 分别是 CPU 访问到 M1 和 M2 中信息所需的时间，H 为命中 M1 的概率，则由 M1 和 M2 构成的二级存储系统的等效访问时间为： $T_{avg} = H \cdot T_1 + (1 - H) \cdot (T_1 + T_2)$  \_。使二级存储系统的等效访问速度接近于第一级存储器访问速度的依据是程序的\_\_局部性原理\_\_\_\_，它包括空间局部性和时间局部性两方面。
4. 控制相关可分为：无条件转移、条件转移、子程序调用和 调用/返回?? 三种。
5. 在一个基于 Tomasulo 算法、预测执行和保持精确异常的硬件实现技术中，它的基本思想是：指令按序发射、乱序执行\_\_\_\_、乱序完成和 按序提交\_\_\_\_。前者（第 1 个空）可以提高执行效率，降低 RAW 相关的影响；后者（第 2 个空）可以在指令提交之前避免任何无法恢复的行为发生，这样才能实现预测错误后的恢复和实现精确异常。
6. 在 STARAN 互连网络中，采用级控制方式实现的是\_广播功能\_\_\_\_\_功能，采用部分级控制方式实现的是\_多播功能\_\_\_\_\_功能。
7. 采用 E 立方体寻径方式来确定 4 维超立方体网络中从源结点 S（1011）到目标结点 D（0100）距离最短的路径，所经过的中间结点的编号依次为\_\_0011\_\_\_\_、1000 和\_\_0100\_\_\_\_\_。

三、（8 分）已知 4 个程序在计算机 A、B、C 上的执行时间（s）分别如下表所示。假设 4 个程序都分别执行 10<sup>8</sup> 条指令，请分别计算这 4 个程序在计算机 A、B、C 上执行时的 MIPS。根据这些 MIPS 值能否直接评价这 3 台计算机相对性能的优劣？如果不能，你能否找到一种方法对这 3 台计算机的相对性能进行排序？

程序	计算机 A	计算机 B	计算机 C
程序 1	1	10	20
程序 2	1000	100	20
程序 3	500	1000	50
程序 4	100	800	100

四、（8 分）某模型机有 9 条指令，其使用频度分别为：

ADD：30%	SUB：24%	LOD：6%	STO：7%
JMP：7%	SHR：2%	ROL：3%	MOV：20%
STP：1%			

要求：有 2 种指令字长，且都是二地址指令。操作码采用扩展编码，并限制只能有 2 种不同码长。假设该机 2 有若干个通用寄存器，主存宽度为 16bit，按字节编址，采用按整数边界存储，任何指令都在 1 个主存周期中取得。短指令为寄存器-寄存器型，长指令为寄存器-主存型。主存地址能变址寻址。

- ① 根据给出的全部要求，设计优化实用的操作码编码，并计算平均码长；
- ② 画出该机的 2 种指令字的格式，标出各字段的位数。该机允许使用多少个可编址的通用寄存器？访存变址寻址的最大相对位移量是多少字节？

五、（8 分）一个由 Cache 与主存储器组成的二级存储系统，已知主存容量为 4M 字，Cache 容量为 128K 字。

采用组相联映像与变换，Cache 共分 32 组，主存与 Cache 的块大小为 64 字。

- ① 写出主存和 Cache 的地址格式，要求说明各字段的名称和位数；
- ② 假设 Cache 的存取周期为 10ns，命中率为 0.95，希望采用 Cache 后的加速比达到 10，那么要求主存的存取周期应为多少？

六、（共 12 分）在编号分别为 0~7 的 8 个处理机之间，要求按下列配对通信：（5，0）、（1，4）、（6，3）、（2，7）。请选择所用多级互连网络类型及其控制方式，并画出该网络的拓扑结构图，说明各级交换开关的状态。该网络是阻塞型网络吗？

七、（15 分）考虑如下一段程序：

```
for (i=900; i>0, i=i-1)
    x[i]=x[i]+s;
其中，s 为标量，它可以直接编译为如下 MIPS 代码：
Loop:  L.D      F0,0(R1)    ; F0 为向量元素，R1 为其初始地址
      ADD.D    F4,F0,F2    ; F2 含有标量 s，完成向量与标量的加法
      S.D      F4,0(R1)    ; 存储结果
      DADDUI   R1,R1,#-8   ; 指针递减 8 字节（因为是双字/DW）
      BNE      R1,R2,Loop ; 转移，若 R1!=R2，R2 的值是预先计算好的
```

- ① 计算代码未作调度之前每次迭代所需的时钟周期数；
  - ② 使用循环展开（loop unrolling）方法将上述循环体展开 3 次。设 R1 的初值是 24 的倍数，寄存器不重用。试给出相应的 MIPS 代码，并计算每次迭代（未作调度）所需的时钟周期数；
  - ③ 在②的基础上，试给出两种以上进一步加快循环程序执行速度的技术，并简述其原理。
- 为解决 RAW 冲突所需的延迟时间如下表所示：

产生结果的指令	使用结果的指令	时延（时钟周期）
FP ALU op	另一个 FP ALU op	3
FP ALU op	Store double	2
Load double	FP ALU op	1
Load double	Store double	0
DADDUI	BNE	1
BNE		1

八、（16 分）计算机运行如下浮点运算程序，假设加法延迟 2 个时钟周期、乘法延迟 10 个时钟周期、除法延迟 40 个时钟周期，请分析分别采用 Tomasula 算法和硬件的前瞻执行，在 ADD.D F4, F0, F6 完成写结果时刻保留站、ROB 项及状态寄存器的字段值与状态项。

```
L.D F0, 40(R1)
L.D F2, 30(R2)
ADD.D F4, F0, F6
DIV.D F8, F6, F2
SUB.D F10, F2, F6
MUL.D F12, F10, F0
ADD.D F2, F10, F0
S.D F2, 50(R3)
```