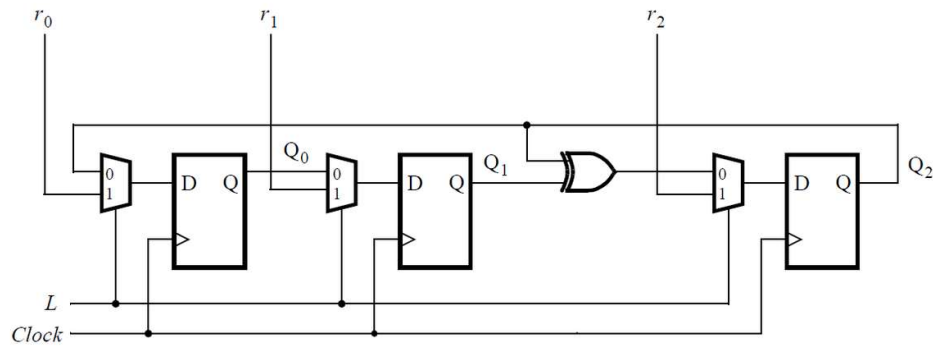


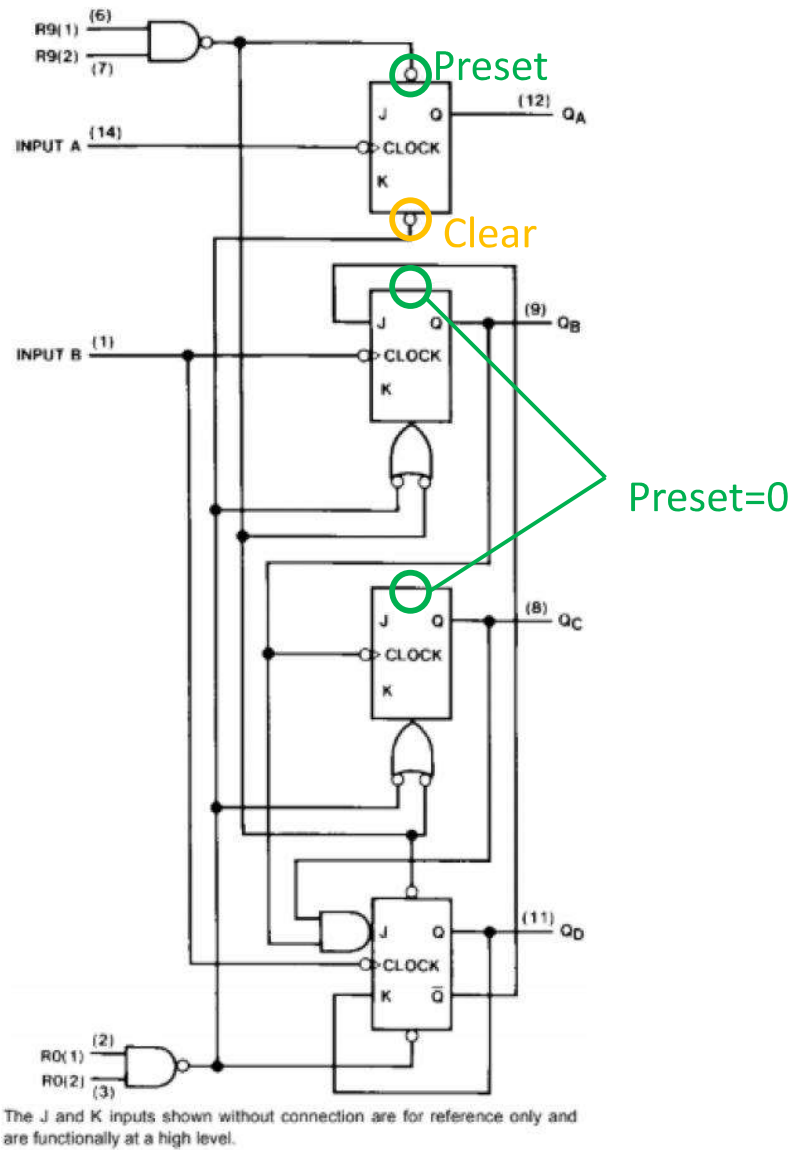
1. 請用 Verilog 設計以下電路，所有的 D flip-flop 初始值為 0。

Hint: 將一個 MUX 與 D flip-flop 寫成一個 submodule，再組合成完整電路。



2. 請用 Verilog 設計以下電路。

Hint: 將 JK flip-flop 寫成 submodule，再組合成完整電路。



Truth Table								
Preset	Clear	CLK	J	K	Output	qo	~qo	
0	0	x	x	x	Invalid	x	x	
0	0	NEG	0	0	Hold	qo	~qo	
0	0	NEG	0	1	Reset	0	1	
0	0	NEG	1	0	Set	1	0	
0	0	NEG	1	1	Toggle	~qo	qo	
1	0	x	x	x	Preset	1	0	
0	1	x	x	x	Clear	0	1	
1	1	x	x	x	No change	qo	~qo	

3. 請使用 finite state machine 的概念設計一個糖果販賣機，機器有三種狀態：
 IDLE：等待硬幣投入；COIN_INSERT：已投入硬幣，機器等待使用者按下按鈕；CANDY_DISPENSED：機器發出糖果(candy=1)。機器吐出糖果後會回到 IDLE 狀態。有 posedge reset 的訊號的時候，將機器狀態設為 IDLE。

state=current_state。

當機器處於 IDLE 時，若 coin=1，則換到 COIN_INSERT；若 coin=1, button=1，則直接到 CANDY_DISPENSED。

當機器處於 COIN_INSERT 時，若 button=1，則換到 CANDY_DISPENSED。

當機器處於 CANDY_DISPENSED 時，若 coin=1，則換到 COIN_INSERT；若 coin=0，則回到 IDLE。

Note: clk, reset 皆使用 posedge。

作業要求：

1. 每題皆須包含可執行之專案檔，程式中須包含註解
2. 每題皆須是單獨資料夾，全部壓縮成一個壓縮檔上傳
3. 必須包含 Testbench 之 Wave 執行截圖，截圖檔名為截圖 1、截圖 2...以此類推。

助教聯絡資訊：MCAS.E9.113@gmail.com