

Luckfox Core3576 硬件设计指南

免责声明

本文档按“现状”提供，幸狐科技有限公司（“本公司”，下同）不对本文档的任何陈述、信息和内容的准确性、可靠性、完整性、适销性、特定目的性和非侵权性提供任何明示或暗示的声明或保证。本文档仅作为使用指导的参考。

由于产品版本升级或其他原因，本文档将可能在未经任何通知的情况下，不定期进行更新或修改。

版权所有 © 2024 幸狐科技有限公司

超越合理使用范畴，未经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

概述

本文档主要介绍 Luckfox Core3576 核心板硬件设计的要点及注意事项，旨在帮助开发者缩短产品的设计周期、提高产品的设计稳定性及降低故障率。请开发者参考本指南的要求进行硬件设计，尽量参考相关核心模板。如因特殊原因需要更改的，请严格按照高速数字电路设计要求。

更新记录

版本	修改人	修改日期	修改说明
V1.0	Will	2025 年 3 月 19 日	首次发布

缩略语

缩写	英文解释	中文解释
ASRC	Asynchronous Sample Rate Converter	异步采样率转换器
ARM	Advanced RISC Machine	高级精简指令集计算机
CAN	Controller Area Network	控制器局域网络

CEC	Consumer Electronics Control	消费电子控制
CIF	Camera Input Format	相机并行接口
CPU	Central processing unit	中央处理器
CSI	Camera Serial Interface	相机串行接口
DC/DC	Direct current-Direct current converter	直流/直流变换器
DDR	Double Data Rate	双倍速率同步动态随机存储器
DP	DisplayPort	显示接口
DSI	Display Serial Interface	显示串行接口
DSM	Digital Signal Modulator	数字信号调制 (特指基于数字信号调制的数字音频脉冲输出接口)
EBC	E-book controller	电子书控制器
eDP	Embedded DisplayPort	嵌入式数码音视讯传输接口
eMCP	EMMC-based Multi-Chip Package	基于 eMMC 的多芯片封装
eMMC	Embedded Multi Media Card	内嵌式多媒体存储卡
ESD	Electro-Static discharge	静电释放
ESR	Equivalent Series Resistance	等效电阻
FSPI	Flexible Serial Peripheral Interface	灵活串行外设接口
GPU	Graphics Processing Unit	图形处理单元
HDMI	High Definition Multimedia Interface	高清晰度多媒体接口
HPD	Hot Plug Detect	热插拔检测
I2C	Inter-Integrated Circuit	内部整合电路(两线式串行通讯总线)
I2S	Inter-IC Sound	集成电路内置音频总线
ISP	Image Signal Processing	图像信号处理
JTAG	Joint Test Action Group	联合测试行为组织定义的国际标准测试协议 (IEEE 1149.1 兼容)
LDO	Low Drop Out Linear Regulator	低压差线性稳压器
LCDC	LCD Controller	LCD 控制器并行接口
LCM	LCD Module	LCD 显示模组

缩写	英文解释	中文解释
MAC	Media Access Control	以太网媒体接入控制器
MIPI	Mobile Industry Processor Interface	移动产业处理器接口
NPU	Neural network Processing Unit	神经网络处理器
PCB	Printed Circuit Board	印制电路板

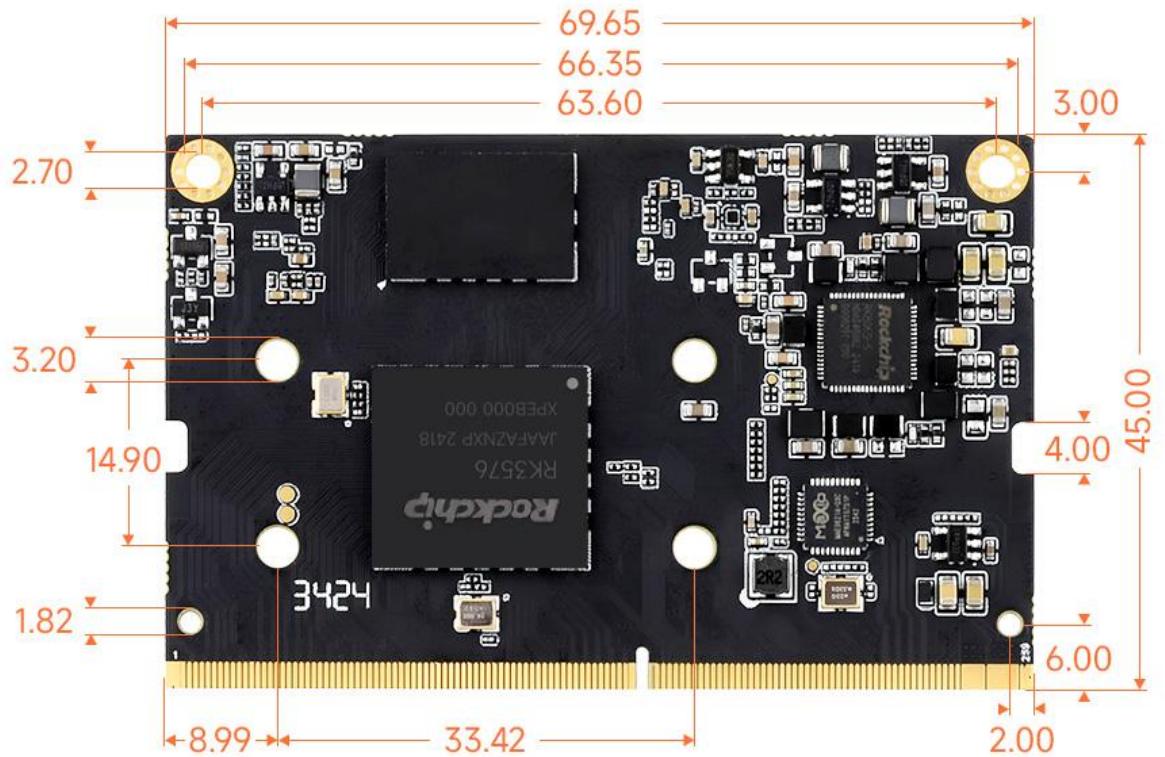
PCIe	Peripheral Component Interconnect -express	外设组件互联标准
PCM	Pulse Code Modulation	脉冲编码调制
PDM	Pulse density modulation	脉冲密度调制
PLL	Phase-locked loop	锁相环
PMIC	Power Management IC	电源管理芯片
PMU	Power Management Unit	电源管理单元
PWM	Pulse width modulation	脉冲宽度调制
RGB	RGB color mode is a color standard in industry	RGB 色彩模式 (工业界颜色标准)
GMAC	Gigabit Media Access Controller	千兆媒体访问控制器
RGMII	Reduced Gigabit Media Independent Interface	简化千兆媒体独立接口
RMII	Reduced Media Independent Interface	简化媒体独立接口
SAI	Serial Audio Interface	串行音频接口 (兼容 I2S、PCM、TDM 协议)
SARADC	Successive approximation register Analog to digital converter	逐次逼近寄存器型模数转换器
SATA	Serial Advanced Technology Attachment	串行高级技术附件
SD Card	Secure Digital Memory Card	安全数码卡
SDIO	Secure Digital Input and Output Card	安全数字输入输出卡
SDMMC	Secure Digital Multi Media Card	安全数字多媒体存储卡
SPDIF	Sony/Philips Digital Interface Format	SONY、PHILIPS 数字音频接口
SPI	Serial Peripheral Interface	串行外设接口
TF Card	Micro SD Card(Trans-flash Card)	外置记忆卡
TSADC	Temperature sensing A / D converter	温度感应模数转换器
UART	Receiver / Universal Asynchronous Transmitter	通用异步收发传输器
VOP	Video Output Processor	视频输出处理器
UFS	Universal Flash Storage	通用闪存存储
uMCP	UFS-based Multichip Package	基于 UFS 的多芯片封装
USB2.0	Universal Serial Bus 2.0	通用串行总线
USB3.2 Gen1x1	Universal Serial Bus 3.2 Superspeed	通用串行总线

1. 产品简介

1.1. 产品特点

Core3576 是一款基于 Rockchip 高性能低功耗 AIoT 处理器 RK3576 的核心板，采用大小核架构，集成四核 Arm Cortex-A72@2.2GHz 和四核 Arm Cortex-A53@2.0GHz。GPU 为 ARM Mali G52 MC3@0.9GHz，支持 4K 编解码，集成算力为 6 TOPS@INT8 的 NPU。支持 HDMI、PCIe、CSI 等其他多种接口，非常适合嵌入式应用，并且我们还提供不同的 RAM、eMMC 闪存等规格可供选择。

1.2. 产品尺寸



Unit:mm

2. 原理图设计建议

2.1. 最小系统设计

Luckfox Core3576 是一款基于 Rockchip RK3576 处理器的核心板，其设计目标是通过集成电源、DDR、eMMC 等关键电路，简化 PCB 设计并缩短开发周期。理论上，该核心板仅需外部提供 5V 电源即可正常工作。然而，在实际开发和使用中，为了满足更多功能需求和提高系统的稳定性和可维护性，通常还需要设计以下电路或功能模块。

2.2. 电源电路

Luckfox Core3576 已经集成了相关的电源电路，极大地简化了外部电源设计。

2.2.1. 输入电源

输入电源主要包括以下两个部分：

VCC5V_DCIN：这是核心板的主电源输入，必须接入 5V 直流电源，用于为主芯片和其他关键电路供电。

RTC_BAT：这是一个备用电池输入接口，用于为低功耗 RTC（实时时钟）芯片提供电源。当主电源断电时，RTC_BAT 可以接入外部纽扣电池，确保 RTC 模块继续工作。

电源名	引脚编号	备注
VCC5V_DCIN	251-260	必须供电
RTC_BAT	140	可以不供电

VCC5V_DCIN 对外部输入电源主要要求如下：

- 输入电压范围：4.5V-5.5V。
- 电流输出能力不低于 2000mA，若低于该数值，在大负载情况下可能导致系统不稳定。
- 电源纹波应保持在±5%内，避免大负载情况下引起电源纹波偏大。

RTC_BAT 对外部输入电源主要要求如下：

- 输入电压范围：2.0V-5.5V。
- 若无接入纽扣电池，是空即可。Luckfox Core3576 内部已经添加无需接入其他电源

2.2.2. 输出电源

Luckfox Core3576 提供了四个输出电源接口，分别为 VCC_3V3_S0、VCC_3V3_S3、VCC_1V8_S0、VCC_1V8_S3。这些电源接口的主要作用如下：

1. 为外围电源提供上电时序参考：

这些电源接口可以用于确保外围设备与核心板的上电顺序一致，避免因上电时序问题导致的系统无法正常运行。

2. 为小功率外围器件供电：

这些电源接口可以为一些小功率的外围器件（如传感器、指示灯等）提供稳定的电源。然而，需要注意的是，这些引出的电源接口不建议连接大负载。如果负载过大，可能会影响核心板的电源系统过载，进而影响核心板的正常运行，甚至可能损坏核心板。

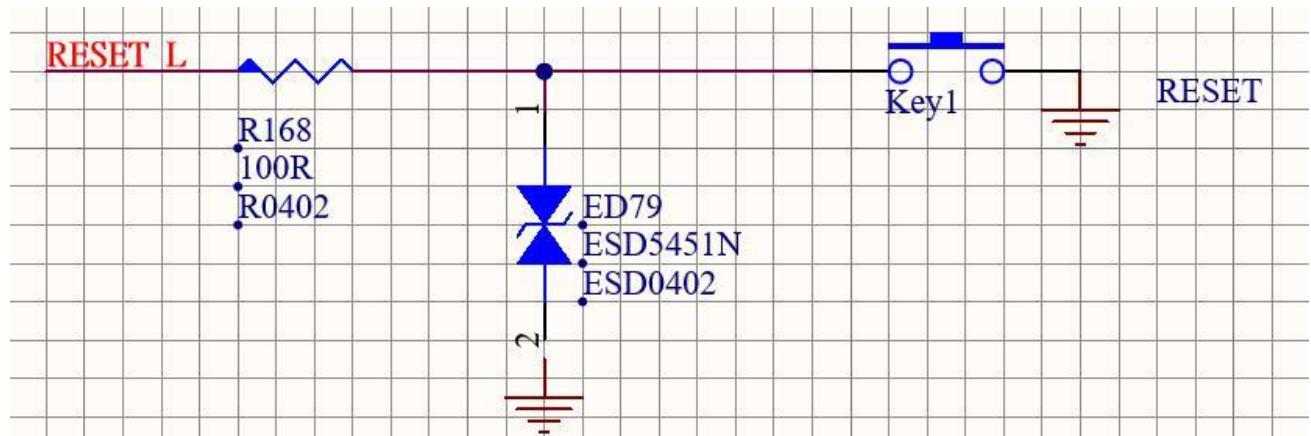
电源名	引脚编号	推荐输出电流
VCC_3V3_S0	235、257	300mA
VCC_3V3_S3	236、238	300mA
VCC_1V8_S0	239、241	300mA
VCC_1V8_S3	240、242	300mA

电源后缀说明

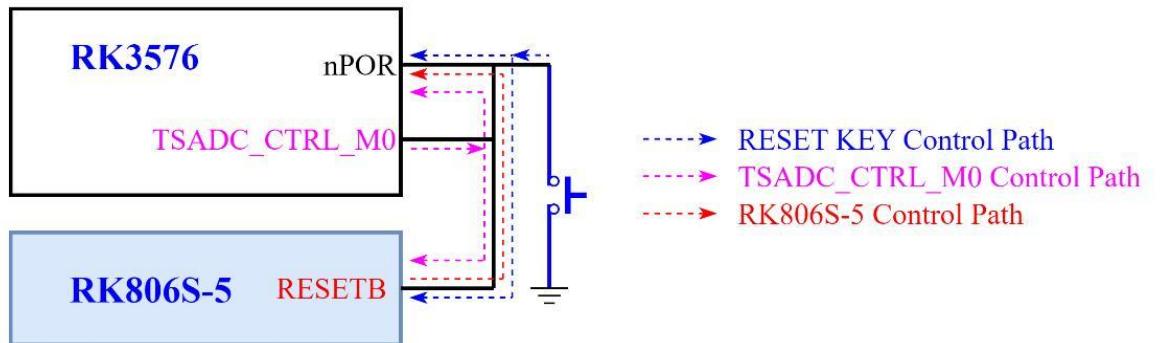
电源后缀	说明
S0	系统进入睡眠模式、深度睡眠、关机时关断。
S3	系统睡眠时保持供电，但在深度睡眠或关机时关断。

2.3. 复位/看门狗/TSADC 电路

Luckfox Core3576 的硬件复位通过 Pin 14 (RESET_L) 管脚输入，必须由外部控制，低电平有效，为保证芯片稳定和正常工作，所需的最短复位时间为 100 个 24MHz 主时钟周期，即至少 4us 以上。



在 Luckfox Core3576 中，Pin 14(RESET_L) 管脚已通过内部 $10K\Omega$ 电阻上拉至 1.8V 电源，以确保在未连接外部复位信号时保持高电平。此外，为了增强抗干扰能力和防止误触发导致的系统异常复位，该管脚已经内置上增加 $100nF$ 电容，以消除复位信号上的抖动，外部仅需要连接按键即可。



RK3576 内部集成了 Watchdog Timer，当产生复位信号时，可以通过 TSADC_CTRL_M0 管

脚输出低电平，对核心板进行硬件复位。

此外，RK3576 内部还集成了 1 个 6 通道的 TSADC (Temperature-Sensor ADC) 模块，当芯

片内部温度超过设定阈值时，TSADC 模块会通过内部 TSADC_SHUT 信号通知 CRU 模块，触

发芯片复位，同时 TSADC_CTRL_M0 管脚也会输出低电平，实现硬件复位。

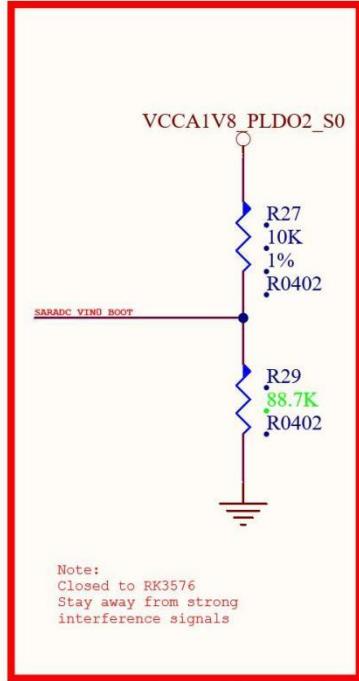
2.4. 系统启动引导顺序

Luckfox Core3576 的默认引导顺序为 eMMC、SDMMC、USB。若无特别需求，建议不要在

SARADC_IN0_BOOT (Pin 214) 上进行额外的上拉或下拉电阻配置，以避免不必要的引导顺

序更改。

BOOT MODE CONFIG



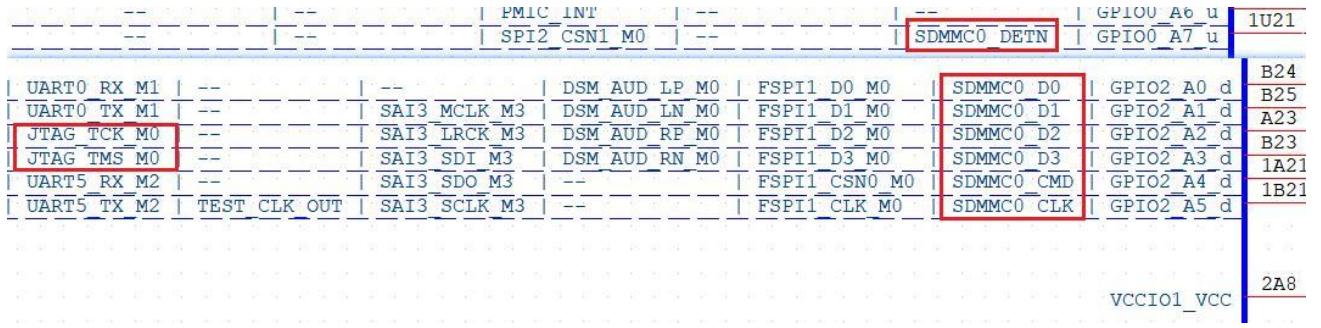
Config Table for SARADC_VIN0_BOOT				
Item	Rup	Rdown	ADC Value	Boot Mode
Config1	NC	10K	0	USB (Maskrom mode)
Config2	10K	1.13K	416	FSPI0->USB
Config3	10K	2.49K	816	FSPI1_M0->EMMC->USB
Config4	10K	4.3K	1231	FSPI1_M1->EMMC->USB
Config5	10K	6.8K	1658	FSPI0->UFS->USB
Config6	10K	10K	2048	FSPI1_M0->UFS->USB
Config7	10K	14.7K	2437	UFS->USB
Config8	10K	23.2K	2864	UFS->SDMMC0->USB
Config9	10K	40.2K	3279	RFU
Config10	10K	88.7K	3680	EMMC->SDMMC0->USB
Config11	10K	NC	4095	EMMC->USB

按照以上 Config1 设置， SARADC_IN0_BOOT 对地短路，可使设备进入 Maskrom 状态。

2.5. 系统初始化配置信号

在 Luckfox Core3576 中， SDMMC0_DETIN 管脚 (Pin 18) 是一个关键信号，会影响系统的启动配置，必须在上电前配置完毕并保持状态稳定。

该管脚用于决定 VCCIO1 电源域的 IO 功能是分配给 SDMMC0 还是 JTAG。在系统复位结束后，芯片会根据 SDMMC0_DETIN 管脚的输入电平来配置相应模块的默认开机功能。为了增强抗干扰能力和消除信号抖动，建议在 SDMMC0_DETIN 管脚上增加 1nF 电容。



此外，由于 JTAG 功能与 SDMMC0 功能复用在同一管脚，通过 SDMMC0_DETIN 管脚切换 IOMUX 功能，因此该管脚的配置必须在上电前完成。如果配置不当，JTAG 功能可能无输出，从而影响引导阶段的调试；而 SDMMC0 无输出则会影响 SDMMC0 的启动功能。

2.6. UART Debug 电路

Luckfox Core3576 的 UART Debug 默认选择 UART0_RX_M0/UART0_TX_M0，默认波特率为 1500000bps。

UART0_RX_M0/UART0_TX_M0 串接的 100 ohm 电阻不得删减，并增加 TVS 管，加强抗静电浪涌能力，防止开发过程损坏芯片管脚，能预留 2.54 插针建议尽量预留，如果无条件，建议使用 0.7mm 以上测试点，方便焊接。

注意：IO 电平必须匹配

2.7. 部分功能接口

2.7.1. SDMMC

RK3576 集成了 2 个 SDMMC 控制器，均可支持 SDIO3.0 协议，以及 MMC V4.51 协议。

4 线的数据总线宽度；支持 SDR104 模式，速率最高可以达到 200MHz。

2.7.1.1. SDMMC0 接口

- SDMMC0 接口复用在 VCCIO1 电源域, 使用 RK806S-5 的 PLDO5 单独供电。
- SDMMC0 支持 System Boot，默认分配接 SD 卡功能；支持 EMMC/UFS 为空片时，通过 SD 卡来升级固件，同时也支持 EMMC/UFS 启动后，通过 SD 卡对 EMMC/UFS 进行固件升级；

2.7.1.2. SDMMC1 接口

- SDMMC1 接口默认电平为 3.3V。
- 不支持 System Boot。

信号名	内部上下拉情况	描述	设计备注
SDMMC1_D [0-3]	上拉	SDMMC 数据线	走线串接 22R 电阻 使用外部上拉电阻
SDMMC1_CLK	/	SDMMC 时钟线	走线串接 22R 电阻
SDMMC1_CMD	上拉	SDMMC 命令线	走线串接 22R 电阻 使用内部 IO 上拉

2.7.2. SARADC

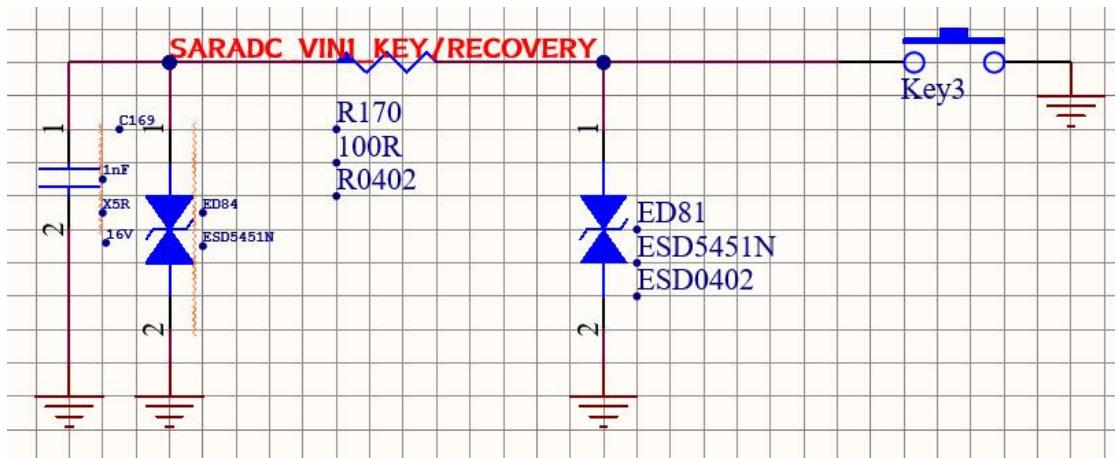
RK3576 集成了一个分辨率为 12bit 的 SARADC 控制器，速度达到 1MS/s，输入电压范围为 0-1.8V，可提供 8 路 SARADC 输入。

SARADC_IN0_BOOT 专用于 SYSTEM BOOT 启动顺序的设置，不能用于其它功能，通过上下拉电阻分压采样得到的值，用来判断从哪个接口进行 BOOT，具体设置见 2.4 SARADC_IN1 当做按键的键值输入采样，并复用为 Recovery 模式按键(不可修改)。

Luckfox Core3576 的 SARADC_IN1 已经通过上拉电阻上拉到 1.8V，在没有按键动作且系统已经烧录固件的前提下，上电直接进入系统；若系统启动时 Recovery 模式按键处于按下状态，即将 SARADC_IN1 保持为低电平 (0V)，则 RK3576 进入 Loader 烧写模式，当 PC 识别到 USB 设备时，松开按键使 SARADC_IN1 恢复为高电平 (1.8V)，即可进行固件烧写。

Luckfox Core3576 上，若采用 ADC 按键阵列应采用并联型，可以通过增减按键并调整分压电阻比例来调整输入键值，实现多键输入以满足客户产品需求；设计中建议任意两个按键键值之差必须大于 300，即中心电压差必须大于 132mV。

用于 ADC 按键采集时，靠近按键需做 ESD 防护，而且 0 键值的必须串接 100R 电阻加强抗静电浪涌能力（如果只有一个键时，ESD 必须靠近按键，先经过 ESD→100ohm 电阻→1nF→Luckfox Core3576 管脚）。

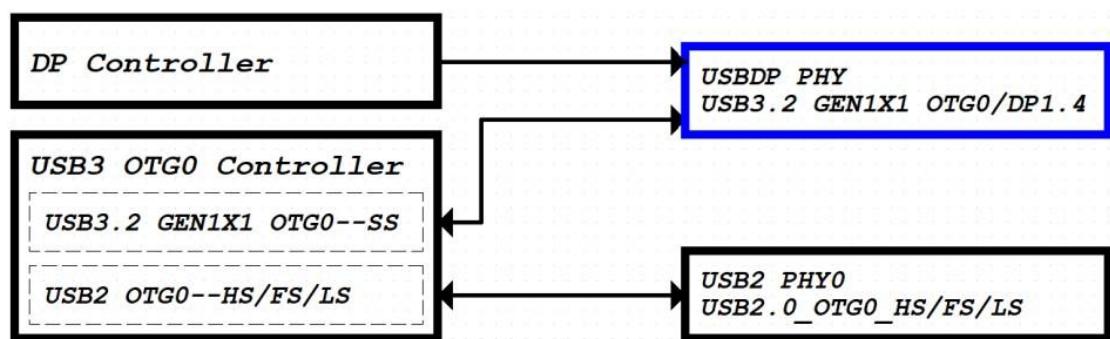


2.7.3. USB2/USB3

Luckfox Core3576 内置两个 USB3 OTG 控制器，两个 USB3 控制器都内嵌了 USB2.0 OTG。

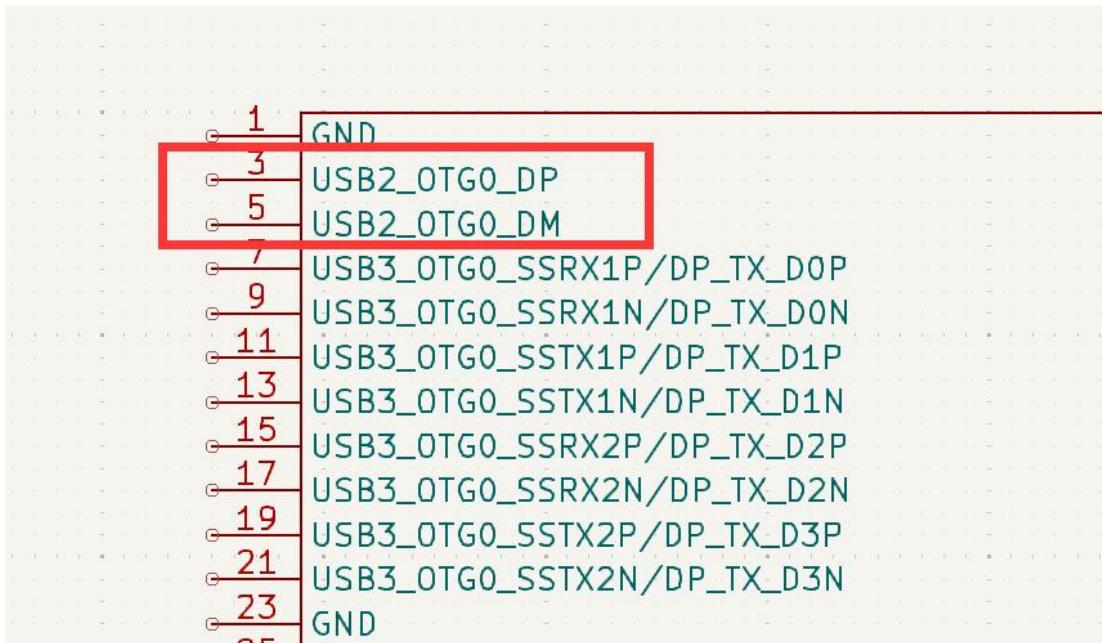
2.7.3.1. USB3 OTG0/DP1.4 接口应用

USB3.2 Gen1x1 OTG0/DP1.4 组成 Combo PHY，USB3 OTG0 控制器与 PHY 的内部复用图如下：



USB3 OTG0 控制器支持 SS/HS/FS/LS，内嵌的 USB2.0 (HS/FS/LS) 信号采用 USB2.0 OTG PHY，信号名见下图的红色方框内；

RK3576 默认使用该接口做 Firmware 的 Download，开发过程中应预留出此接口。



注意：在调试与生产过程中必须要预留此接口，注意：USB2_OTG0_VBUSDET 也必须连接！

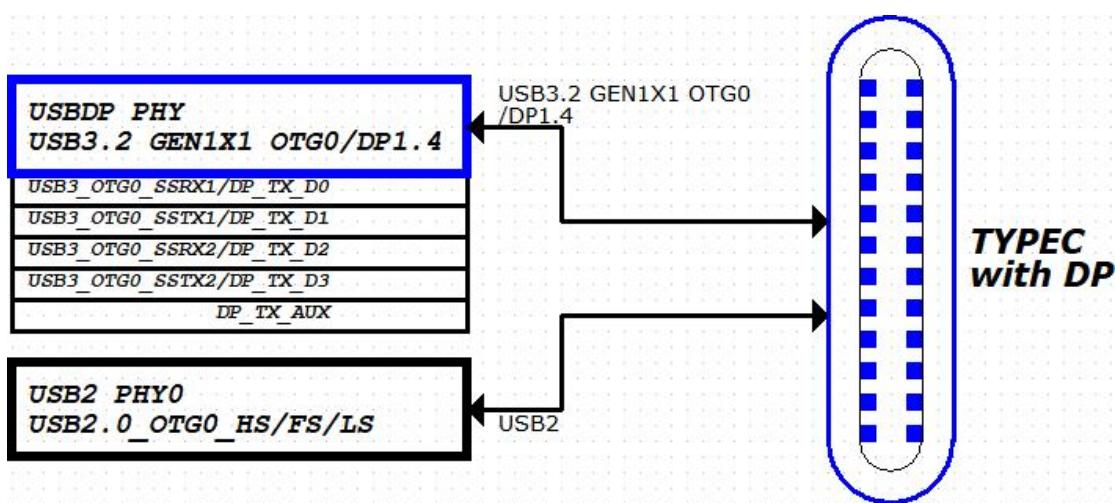


由于 USB3 的 OTG 和 USB2.0 的 OTG 是同一个 USB3 的控制器，因此 USB3 和 USB2.0 的 OTG 只能同时做 Device 或者做 HOST，不能 USB3 的 OTG 做 HOST，USB2.0

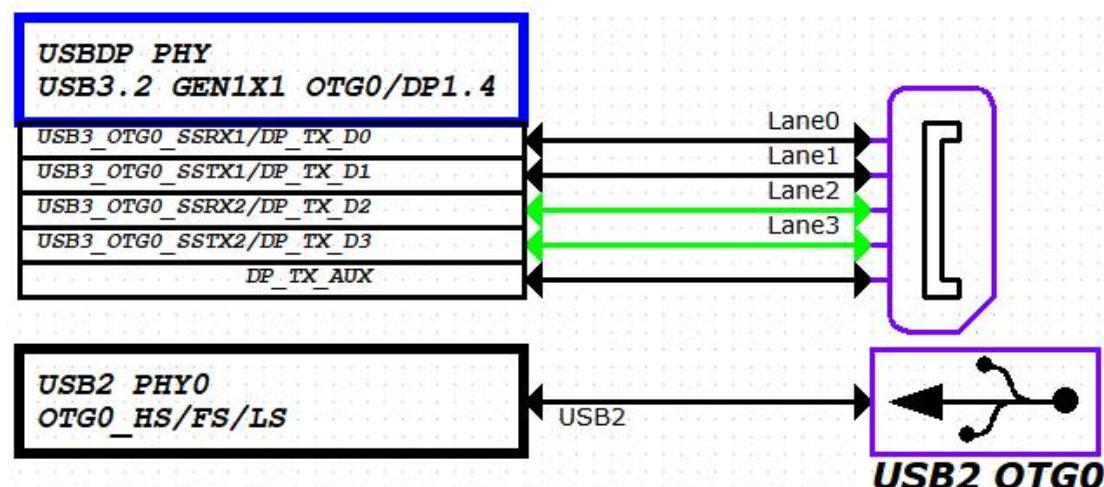
的 OTG 做 Device 或者 USB3 的 OTG 做 Device 而 USB2.0 的 OTG 做 HOST。

USB3 OTG0 Controller 和 DP1.4 Controller 通过 USB3/DP1.4 的 Combo PHY 组合成一个完整的 TYPEC 口，此 Combo PHY 支持 Display Alter mode，Lane0 和 Lane2 在 DP mode 下做 TX，在 USB mode 下做 RX；TX 和 RX 共享 Lane0 和 Lane2。这个 USB3/DP1.4 的 Combo PHY 支持 Lane 间的交换（SWAP），因此一个 TYPEC 标准口可以有如下五种的配置：

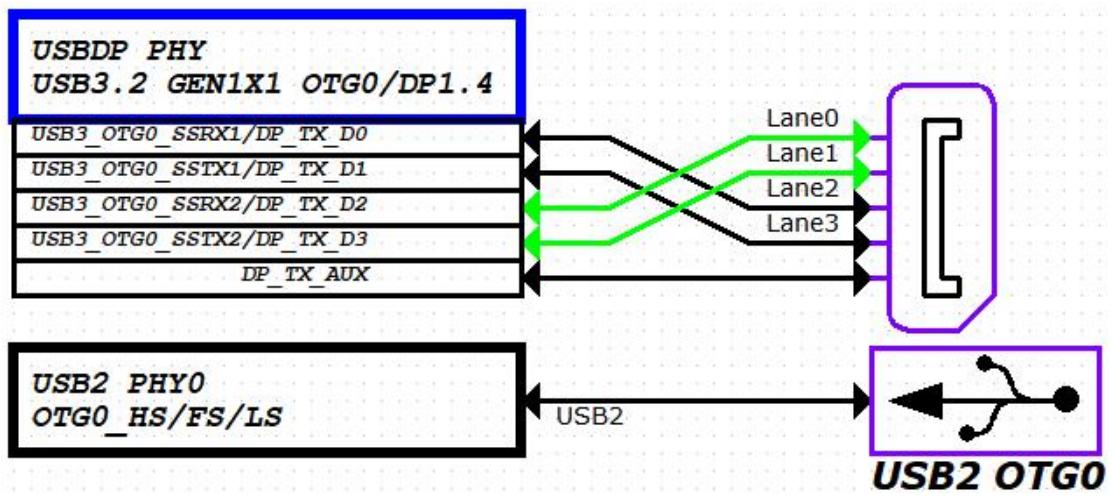
● 配置一：Type-C 4Lane(with DP function)



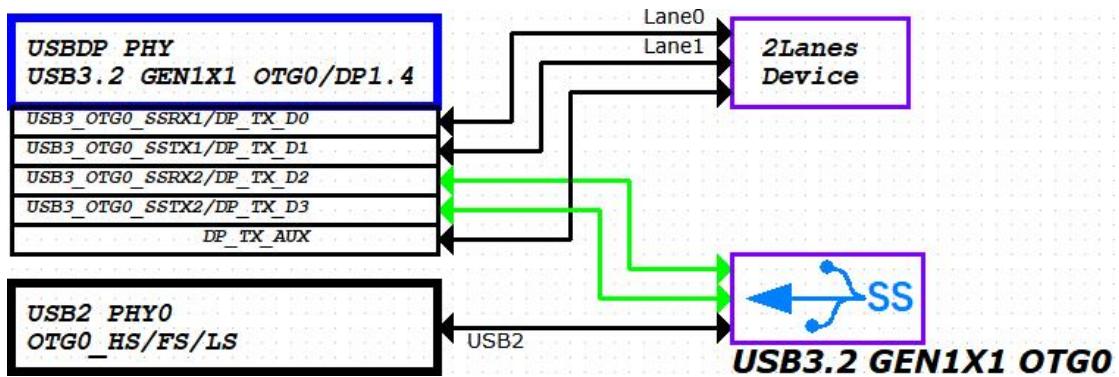
● 配置二：USB2.0 OTG+DP1.4 4Lane(Swap OFF)



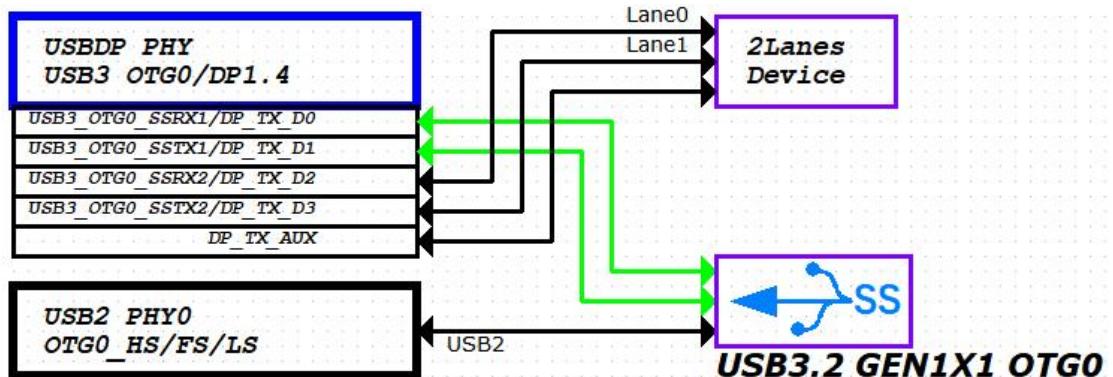
● 配置三：USB2.0 OTG+DP1.4 4Lane(Swap ON)



● 配置四：USB3.2 Gen1x1 OTG0+DP1.4 2Lane(Swap OFF)

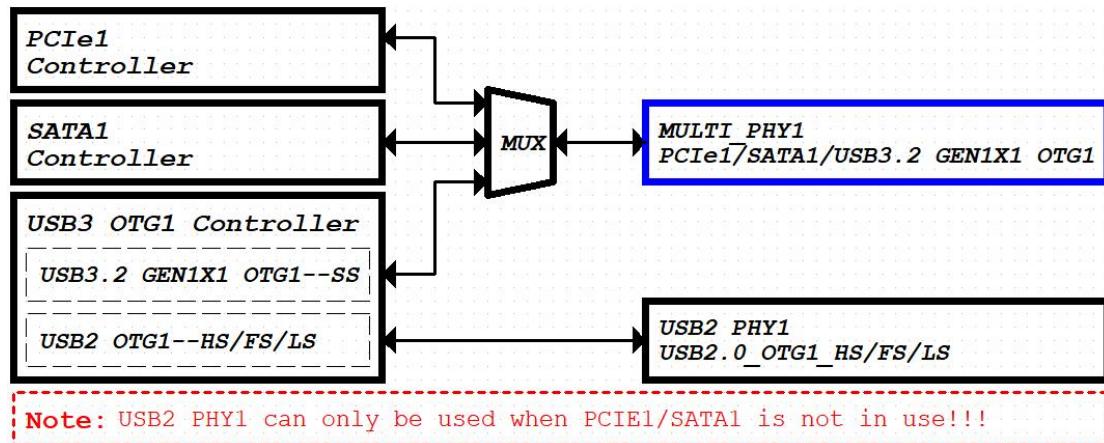


● 配置五：USB3.2 Gen1x1 OTG0+DP1.4 2Lane(Swap ON)



2.7.3.2. USB3 OTG1 接口应用

PCIE1/SATA1/USB3 OTG1 组成 Comb PHY1, USB3 OTG1 控制器与 PHY 的内部复用图如下：

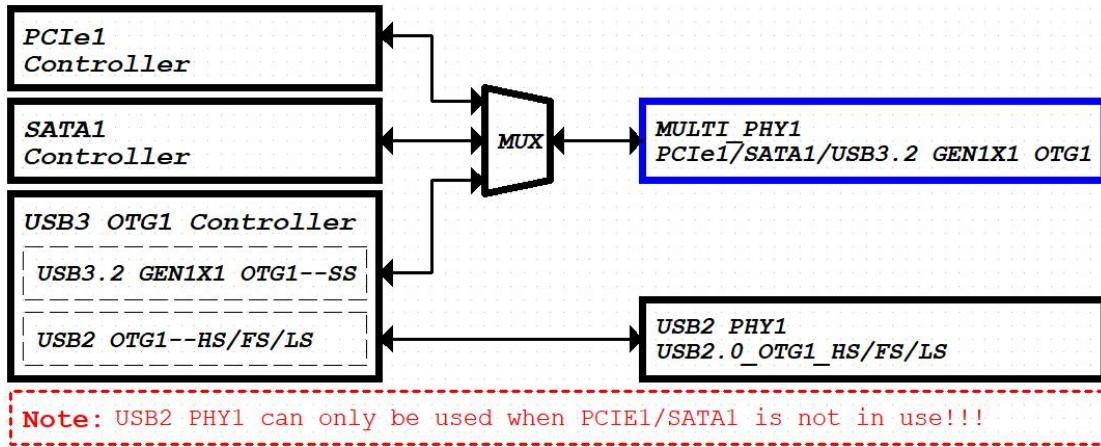


由于 USB3 的 OTG1 和 USB2.0 的 OTG1 是同一个 USB3 的控制器，因此 USB3 和 USB2.0 的 OTG1 只能同时做 Device 或者做 HOST, 不能 USB3 的 OTG 做 HOST, USB2.0 的 OTG 做 Device 或者 USB3 的 OTG 做 Device 而 USB2.0 的 OTG 做 HOST。

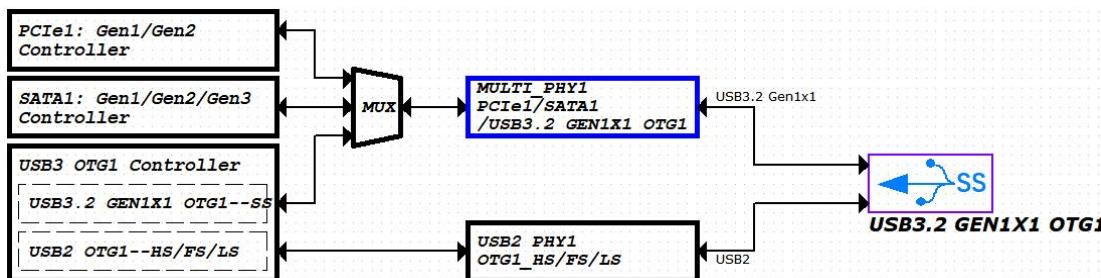
注意：PCIE1/SATA1/USB3 OTG1 的 COMBO PHY1 设置成 PCIe 或者 SATA 功能时，USB3 OTG1 功能不能使用，并且 USB2.0 PHY1 也不能使用；因此要使用 USB2.0 OTG1 时，PCIE1/SATA1/USB3 OTG1 的 COMBO PHY1 必须设置成 USB3 功能！

PCIE1/SATA1/USB3 OTG1 的 COMBO PHY1 中 USB3 OTG1 的应用方式有如下几种：

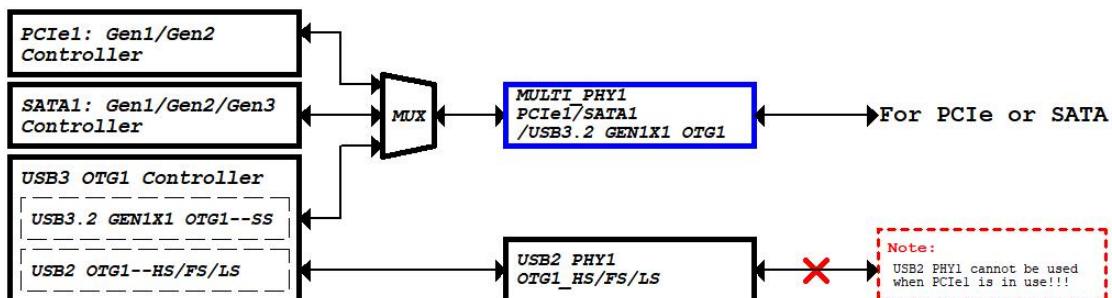
- 配置一：USB3.2 Gen1x1 OTG1



● 配置二：USB2 OTG1



● 配置三：USB2/USB3 不用，PCIE 和 SATA 的具体应用方式详见 PCIE 和 SATA 章节



2.7.3.3. USB2/USB3 通用注意事项

USB2/USB3 设计中请注意：

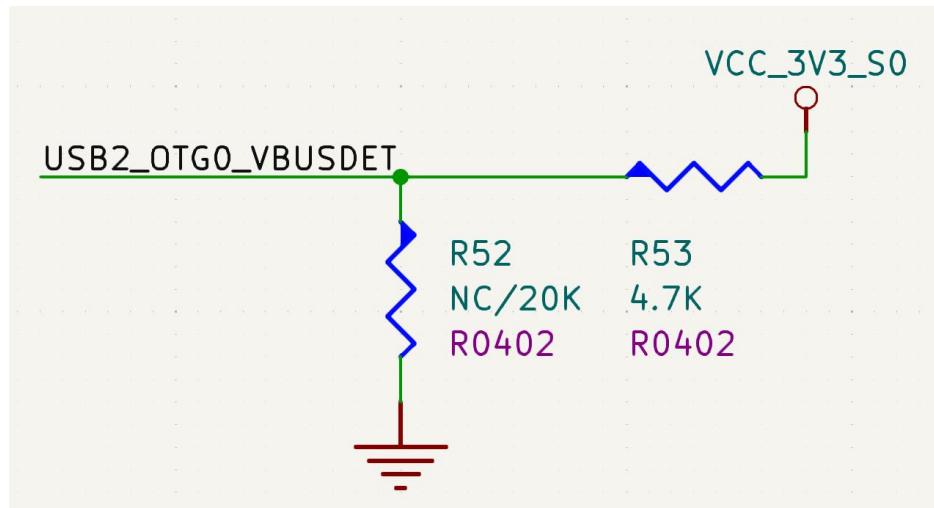
- USB2_OTGO_DP/USB2_OTGO_DM 是系统固件烧写口，如果产品不用这个接口，在调试与生产过程中必须要预留此接口，不然会无法调试及生产烧写固件；
- USB2_OTGO_ID 内部有大概 12Kohm 电阻上拉到 USB2_OTG_AVDD1V8；
- USB20_OTGO_VBUSDET 是 OTG 和 Device 模式检测脚，芯片内部有一个下拉

40Kohm 的电阻； 高为 DEVICE 设备， 2.7-3.3V， TYP: 3.0V。

OTG 模式可以设置以下三种模式：

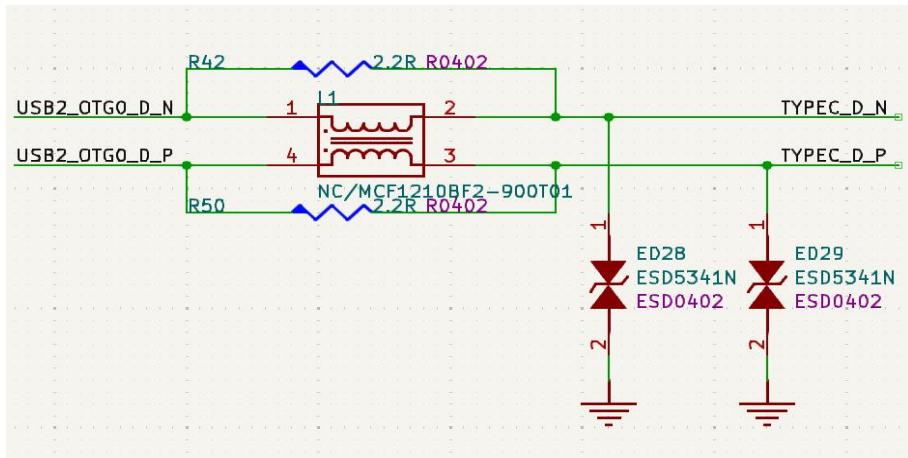
- OTG 模式：根据 ID 脚状态自动切换是 Device 模式或 HOST 模式， ID 高为 Device， ID 拉低为 HOST， 处在 Device 模式时， 还会判断 VBUSDET 脚是否为高（大于 2.3V）， 如果为高， 才会拉高 DP， 开始枚举；
- Device 模式：设置为这个模式时， 无需 ID 脚， 只需判断 VBUSDET 脚是否为高（大于 2.3V）， 如果为高， 才会拉高 DP， 开始枚举；
- HOST 模式：设置为这个模式时， ID 和 VBUSDET 状态都无需要关心。（如果产品只需要 HOST 模式， 但是由于 USB2_OTGO_DP/ USB2_OTGO_DM 是系统固件烧写口，在调试与生产过程都需要用这个口， 烧写和 adb 调试时， 需要设置成 Device 模式， 因此 USB2_OTGO_VBUSDET 信号也必须接）。

若采用 TYPEC 接口， Pin “USB2_OTGO_VBUSDET” 通过一个 4.7K 上拉电阻接到 3.3V；



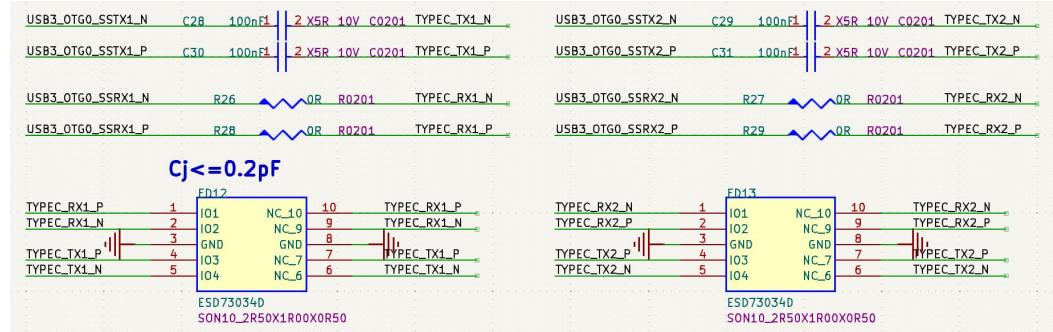
- 为加强抗静电和浪涌能力，信号上必须预留 ESD 器件，USB2.0 信号的 ESD 寄生电容不得超过 3pF，另外 USB2.0 信号的 DP/DM 串接 2.2ohm 电阻，加强抗静电浪涌能力，不得删减，见下图， 举例 USB2_OTGO_DP/DM，其它 USB2 接口也

需要同样处理：



USB3.0 协议要求在 SSTXP/N 线上增加 100nF 交流耦合电容, AC 耦合电容建议使用 0201 封装, 更低的 ESR 和 ESL, 也可减少线路上的阻抗变化。

TYPEC 座子所有信号都必须增加 ESD 器件, 布局时靠近 USB 连接器放置。对于 SSTXP/N, SSRXP/N 信号, ESD 寄生电容不得超过 0.3pF。



以 USB3_OTGO 为例

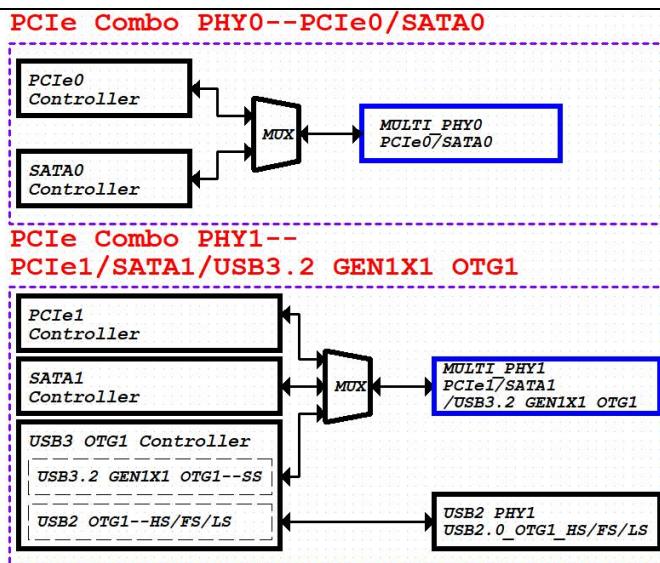
信号	连接方式	说明
USB3_OTGO_DP/DM	串接 2.2ohm 电阻	USB HS/FS/LS 模式的数据输入/输出
USB3_OTGO_SSTX1P/SSTX1N	串接 100nF 电容	USB SS 模式的数据输出
USB3_OTGO_SSTX2P/SSTX2N	(建议 0201 封装)	

USB3_OTG0_SSRX1P/SSRX1N	串接 0ohm 电阻	USB SS 模式的数据输入
USB3_OTG0_SSRX2P/SSRX2N		
USB2_OTG0_ID	串接 100ohm 电阻 (外部要上拉到 3.3V)	USB OTG ID 识别, 使用 Micro-USB 接口时需要使用
USB2_OTG0_VBUSDET	电阻分压检测	USB OTG 插入检测

2.7.4. SATA3.1

RK3576 芯片拥有 2 个 SATA3.1 控制器, 和 PCIe 以及 USB3_OTG1 控制器复用

Comb PHY0/1, 具体路径请见下图。



SATA 设计中请注意：

- 一个 SATA 接口外接 SATA PM 时, 最多只能支持 5 个 Port, 不支持多个 SATA PM 超过 6 个 Port 以上;
- SATA 接口的 TXP/N, RXP/N 差分信号上串接的 10nF 交流耦合电容, AC 耦合电容建议使用 0201 封装, 更低的 ESR 和 ESL, 也可减少线路上的阻抗变化;
- eSATA 接口座子所有信号都必须增加 ESD 器件, 布局时靠近座子放置, ESD 寄生电容不得超过 0.4pF;

SATA 接口匹配设计推荐如下表所示：

信号	连接方式	说明
SATA0_TXP/TXN	串接 10nF 电容 (建议 0201 封装)	SATA 数据输出

SATA1_TXP/TXN		
SATA0_RXP/RXN	串接 10nF 电容 (建议 0201 封装)	SATA 数据输入
SATA1_RXP/RXN		

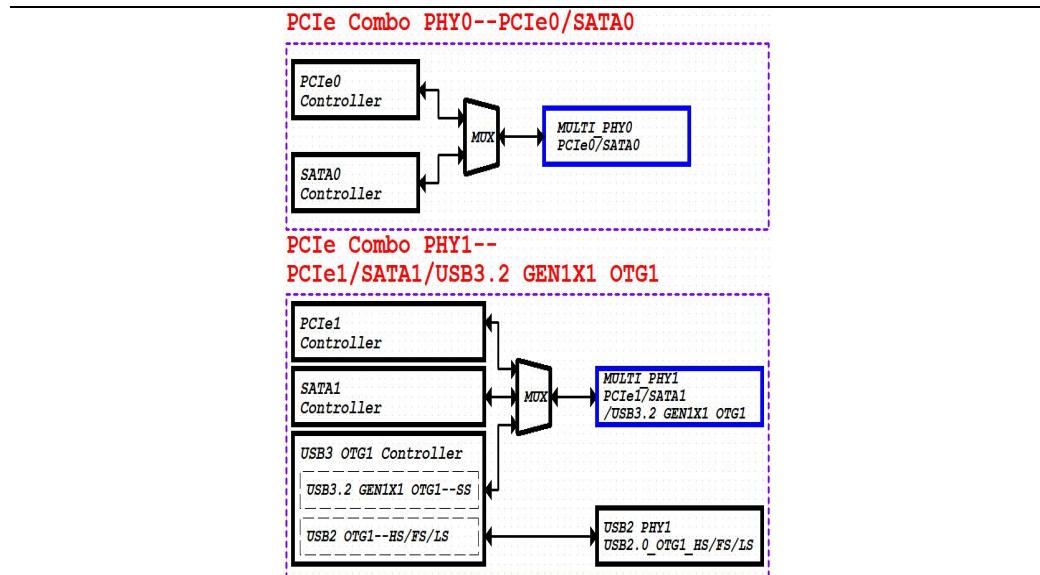
2.7.5. PCIe2.1

RK3576 拥有 2 个 PCIe2.1 控制器，两个都只支持 RC 模式(RC 是 Root Complex 缩写)，不支持 EP，如下：

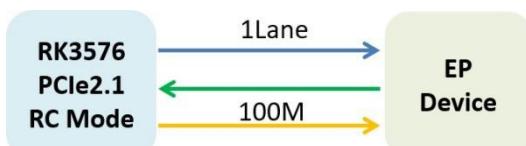
1. Controller 0(1Lane), PCIe0 Controller x1 Lane(Only RC)
2. Controller 1(1Lane), PCIe1 Controller x1 Lane(Only RC)

2 个 PCIe2.1 控制器与 SATA3.1/USB3.2_Gen1x1 组成两个 Combo PHY，一个是 PCIe2.1/SATA3.1 Combo PHY0、另一个是 PCIe2.1/SATA3.1/USB3.2_Gen1x1 Combo PHY1。

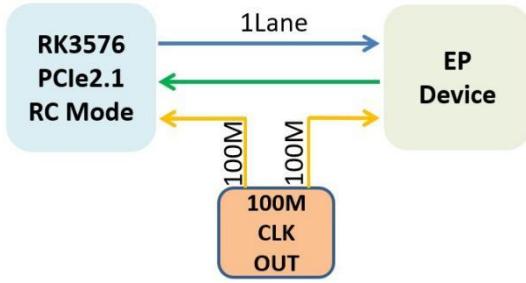
Controller 和 PHY 之间的映射关系图如下：



PCIE0/1_REFCLKP/N 可支持输出也可支持输入，默认输出提供给 EP 设备，如下示意图：



PCIE0/1_REFCLKP/N 若做输入时，示意图如下：



PCIe2.1 设计中请注意：

- PCIe2.1 接口的 TXP/N 差分信号上串接的 100nF 交流耦合电容，AC 耦合电容建议使用 0201 封装，更低的 ESR 和 ESL，也可减少线路上的阻抗变化；
- PCIe2.1 的 TXP 和 TXN 信号支持极性反转（polarity inversion）功能，此功能是协议层的支持，无需软件做任何配置和修改；
- PCIE0/1_CLKREQN 必须使用功能脚，不能用 GPIO 替代；
- PCIE0/1_PERSTN/WAKEN/PRSNT 在 RK3576 上面不指定特定的 IO，直接使用电平匹配的 GPIO 口来做控制功能脚就可以；
- 标准的 PCIe Slot：PCIE_x_CLKREQN, PCIE_x_WAKEN, PCIE_x_PERSTN 正常为 3.3V 电平，需要注意做好 RK3576 端的电平匹配。
- 使用 PCIe 功能的时候，复用的 SATA/USB 功能无法使用，SATA/USB 对应的功能详见其模块说明。
- PCIe2.1 功能模块没有使用时，数据线 PCIE0/1_TXP/TXN、PCIE0/1_RXP/RXN 和参考时钟线 PCIE0/1_REFCLKP/REFCLKN 是空即可；AVDD0V85 和 AVDD1V8 两路电源接地处理，注意软件对应的 dts 配置需要 disable。

PCIe2.1 接口匹配设计推荐如下表所示：

信号	连接方式	说明
PCIE0/1_TXP/TXN	串接 100nF(0201)电容	PCIe 数据输出
PCIE0/1_RXP/RXN	直连	PCIe 数据输入
PCIE0/1_REFCLKP/CLKN	直连	PCIe 参考时钟输入或者输出
PCIE0/1_CLKREQN	串接 0ohm 电阻	PCIe 参考时钟请求输入(RC 模式)

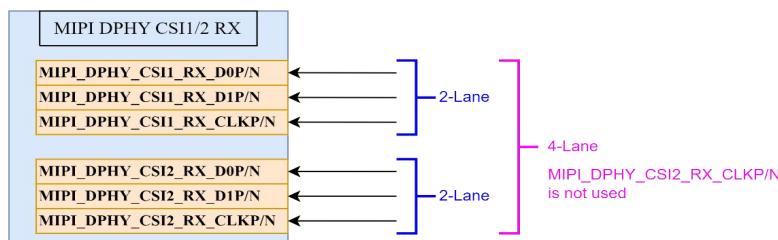
2.7.6. 视频输入接口电路

2.7.6.1. MIPI DPHY CSI RX 接口

RK3576 有两个 MIPI DPHY CSI RX 接口，都支持 MIPI V1.2 版本，每个通道最大传输速率为 2.5Gbps。

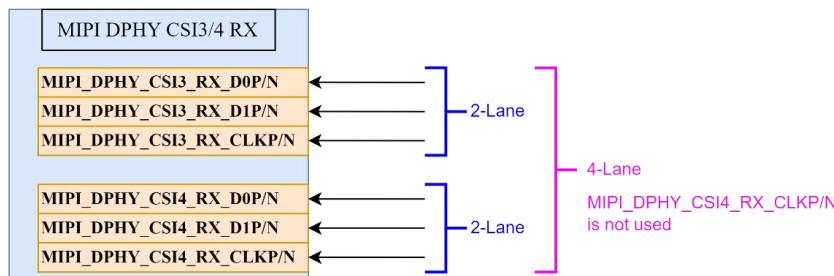
MIPI DPHY CSI1/2 RX 接口模式支持情况：

- 支持 4Lane 模式，MIPI_DPHY_CSI1_RX_D[3:0]数据参考 MIPI_DPHY_CSI1_RX_CLK
- 支持 2Lane+2Lane 模式：
 - MIPI DPHY CSI1_RX_D[1:0]数据参考 MIPI_DPHY_CSI1_RX_CLK
 - MIPI DPHY CSI2_RX_D[1:0]数据参考 MIPI_DPHY_CSI2_RX_CLK



MIPI DPHY CSI3/4 RX 接口模式支持情况：

- 支持 4Lane 模式，MIPI_DPHY_CSI3_RX_D[3:0]数据参考 MIPI_DPHY_CSI3_RX_CLK
- 支持 2Lane+2Lane 模式：
 - MIPI DPHY CSI3_RX_D[1:0]数据参考 MIPI_DPHY_CSI3_RX_CLK
 - MIPI DPHY CSI4_RX_D[1:0]数据参考 MIPI_DPHY_CSI4_RX_CLK



2.7.6.2. MIPI_DCPHY_CSI_RX 接口

Luckfox Core3576 有一个 MIPI DCPHY CSI RX Combo PHY；DPHY 支持 V2.0 版本，CPHY 支持 V1.1 版本。DPHY 模式支持 4Lane/2Lane/1Lane 模式；CPHY 模式支持 0/1/2 Trio。

DPHY 和 CPHY 配置支持情况：

- MIPI DCPHY Combo PHY 的 TX 和 RX 只能支持同时配置成 DPHY TX、DPHY RX 模式，或同时配置成 CPHY TX、CPHY RX 模式。不支持一个配置成 DPHY TX 一个配置成 CPHY RX，或者一个配置成 CPHY TX 一个配置成 DPHY RX。

MIPI DCPHY 工作在 DPHY 模式时支持情况：

- 支持 4Lane/2Lane/1Lane 模式，MIPI_DPHY_CSI0_RX[3:0]数据参考
MIPI_DPHY_CSI0_RX_CLK
- 不支持拆分成 2Lane+2Lane

MIPI DCPHY 工作在 CPHY 模式时支持情况：

- 支持 0/1/2 Trio，每个 Trio 有 Trio_A/Trio_B/Trio_C 3 根线，
MIPI_CPHY_CSI_RX_TRIO[2:0]_A, MIPI_CPHY_CSI_RX_TRIO[2:0]_B,
MIPI_CPHY_CSI_RX_TRIO[2:0]_C。

信号 (DPHY/CPHY)	连接方式	说明
MIPI_DPHY_CSI0_RX_DOP/DON MIPI_DPHY_CSI0_RX_D1P/D1N MIPI_DPHY_CSI0_RX_D2P/D2N MIPI_DPHY_CSI0_RX_D3P/D2N	直连	MIPI_DPHY_CSI0_RX 数据输入
MIPI_DPHY_CSI0_RX_CLKP/CLKN	直连	MIPI_DPHY_CSI0_RX 时钟输入
MIPI_CPHY_CSI_RX_TRIO0_A/B/C MIPI_CPHY_CSI_RX_TRIO1_A/B/C MIPI_CPHY_CSI_RX_TRIO2_A/B/C	直连	MIPI_CPHY_CSI_RX_TRIO 输入

2.7.6.3. CIF(DVP)接口

Luckfox Core357 的 CIF 接口电源为 3.3V, 请注意 Camera 的供电电压, 同时 I2C 上拉电平必须与其保持一致, 否则会造成 Camera 工作异常或无法。

CIF 接口支持以下格式:

- 支持 BT601 RAW8/10/12 YCbCr 422 8bit input
- 支持 BT656 YCbCr 422 8-bit progressive/interlaced input
- 支持 16-Pins BT1120 YCbCr 422 8-bit progressive/interlaced input
- 支持 2/4 mixed BT.656/BT1120 YCbCr 422 input

信号	芯片内部上下 拉配置情况	连接方式	描述 (芯片端)
VI_CIF_D[15: 0]	下拉	直连, 建议预留串接电阻	CIF 数据输入
VI_CIF_HREF	下拉	直连, 建议预留串接电阻	CIF 行同步输入
VI_CIF_VSYNC	下拉	直连, 建议预留串接电阻	CIF 场同步输入
VI_CIF_CLKIN	下拉	串接 22ohm 电阻, 靠近设 备端	CIF 时钟输入
VI_CIF_CLKOUT	/	串接 22ohm 电阻, 靠近设 备端	CIF 时钟输出, 可提 供给设备当 MCLK 工作时钟

注意: 当通过连接器实现板对板连接时, 建议串接一定阻值的电阻(22ohm-100ohm 之间, 具体以能满足 SI 测试为准), 并预留 TVS 器件。

2.7.6.4. MIPI CSI RX/CIF 设计时注意点

- Camera 的 DVDD 供电有 1.2V/1.5V/1.8V 等不同情况, 请根据 Camera 的规格书提供准确的电源;
- 有些 Camera 的 DVDD 电流比较大, 超过 100mA 建议使用 外部独立 DCDC 供电;
- 使用 CIF 接口的 Camera 时, 要注意 Camera 的 DOVDD (IO 电源) 要为 3.3V;
- 使用两个 Camera 时, 可根据需求实际情况电源分开或合并;
- Camera 的 MCLK 可以从以下获取:
 - VI_CIF_CLKOUT
 - REF_CLK0_OUT/REF_CLK1_OUT/REF_CLK2_OUT
 - CAM_CLK0_OUT/CAM_CLK1_OUT/CAM_CLK2_OUT
 - 外部有源晶振
 - 注意: 时钟的电平必须和 Camera IO 电平匹配, 如果不匹配, 必须电平转换或电
阻分压使电平匹配;
- 如果两个 Camera 同型号, 要注意 I2C 地址是否一样, 如果地址也一样, 那么需要两
个 I2C 总线。

2.7.7. 未使用模块的管脚处理

3. PCB 设计建议

3.1. PCB 设计建议

为了减少在高速信号传输过程中的反射现象，必须在信号源、接收端以及传输线上保持阻抗的匹配。单端信号线的具体阻抗取决于它的线宽以及与参考平面之间的相对位置。特定阻抗要求的差分对间的线宽/线距则取决于选择的 PCB 叠层结构。由于最小线宽和最小线距是取决于 PCB 类型以及成本要求，选择的 PCB 叠层结构必须能实现板上的所有阻抗需求，包括内层和外层、单端和差分线等。

层的定义设计原则：

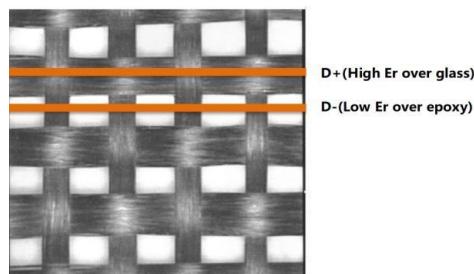
- 原则上应该采用对称结构设计。对称的含义包括：介质层厚度及种类、铜箔厚度、图形分布类型（大铜箔层、线路层）的对称。
- 主芯片相邻层应为完整的地平面，提供器件面布线参考平面；
- 主电源尽可能与其对应地平面层相邻；
- 所有信号层尽可能与地平面相邻，尽量避免两信号层直接相邻，提供完整的参考地平面；
- 若需要两相邻层布线时，两相邻层距离尽量远，信号尽量互相垂直，减小层间的信号串扰；

PCB 的层定义推荐方案：具体的 PCB 层设置时，要对以上原则进行灵活掌握，根据实际的需求，确定层的排布，切忌生搬硬套。

3.2. 走线建议

3.2.1. 避免玻纤编织效应

纤编织效应是指：PCB 基板是由玻璃纤维和环氧树脂填充压合而成，这两种材料的介电常数不一样。当差分线的 D+走线的下方是树脂填充而 D-走线下方是玻璃纤维作为填充时，会导致 D+和 D-走线的特性阻抗不同，两条走线的时延也会不同，导致差分对内的时延差进而影响眼图质量。

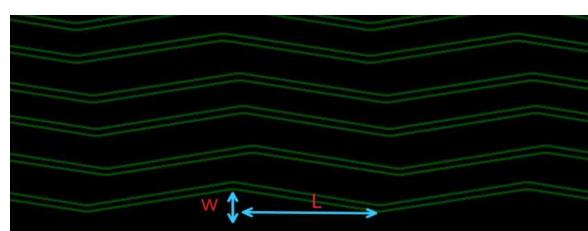


接口的速率达到 8GT/s 且走线长度超过 1.5inch，需谨慎处理好玻纤编织效应。建议采用以下方式之一来避免玻纤编织效应带来的影响。

- 改变走线角度，如按 $10^\circ \sim 35^\circ$ ；或 PCB 加工时，将板材旋转 10° 以保证所有走线都不与玻纤平行。



- 方式二：使用如下走线(zigzag)，下图中的 W 至少要大于 3 倍的玻纤编织间距。推荐值 W=60mil, $\theta =10^\circ$, L=340mil:



3.3. ESD/EMI 防护设计

本章对于 RK3576 产品设计中的 ESD/EMI 防护设计给出了建议，帮助客户更好的提高产品的抗静电、抗电磁干扰水平。

3.3.1. 术语解释

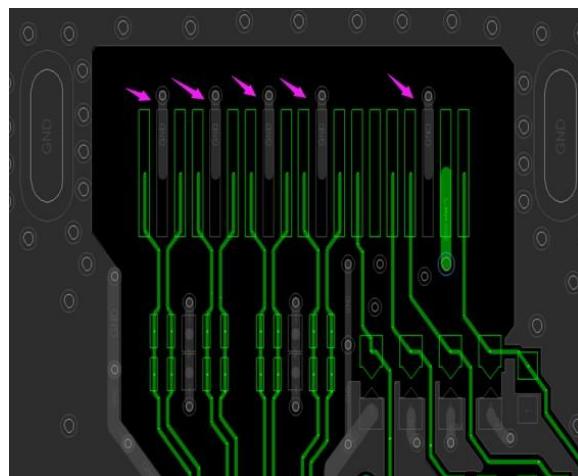
本章中的术语解释如下：

- ESD (Electro-Static discharge) : 静电释放
- EMI (Electromagnetic Interference) : 电磁干扰，包括传导干扰和辐射干扰两部分

3.3.2. ESD 防护

- 从模具上做隔离，接插件能内缩的尽量内缩于壳体内，让静电释放到内部电路上的距离变长，能量变弱，测试标准由接触放电条件变为空气放电等；
- 在 PCB 布局时做好敏感器件的保护，隔离；
- 布局时尽量将 Core3576 在 PCB 中间，不能放在 PCB 中间的需要保证屏蔽罩离板边至少 2MM 以上的距离，且要保证屏蔽罩能够可靠接地；
- 应该按功能模块及信号流向来布局 PCB，各个敏感部分相互独立，对容易产生干扰的部分最好能隔离；
- 要求合理摆放 ESD 器件，一般要求摆在源头，即 ESD 器件摆放在接口处或静电释放处；
- 元件布局远离板边且距插接件有一定距离；
- PCB 表面一定要有良好的 GND 回路，各接插件在表层都要有较好的 GND 连接回路。有加屏蔽罩的应尽量跟表层地相连，并在屏蔽罩焊接处多打地孔接地。要做到这一点，就要求各个连接座部分在表层不要走线，也不要出现大范围切断表层铜皮的走线；

- 表层板边不走线且多打地孔；
- 必要时要做好信号跟地之间的隔离；
- 多露铜，以便加强静电释放效果，或者便于增加加泡棉等补救措施；
- 如果有经连接器实现板对板连接时，建议全部信号串接一定阻值的电阻(2.2ohm-10ohm 之间，具体以能满足 SI 测试为准)，以及预留 TVS 器件，可提升抗静电浪涌能力；
- 关键信号比如 Reset，时钟，中断等敏感信号与板边距离不得小于 5mm；
- 其它外围芯片如果有带 Reset 管脚，建议增加 100nF 电容必须靠近管脚，电容的地焊 盘必须有一个 0402 地过孔，空间允许建议打两个以上，更良好的接地；
- 整机设计为浮地设备时，建议各接口不要分地设计；
- 机器外壳为金属时，电源是三孔，要求金属外壳必须良好连接大地；
- 从 PCB 上进行隔离，让静电只能释放在部分区域，比如座子地管脚单独过孔和内层的地层连接，对表层的 PCB 进行 Keepout，表层的地铜皮和管脚尽量远离，即让敏感 信号远离静电易放电区域(表层地铜皮)等等，下图演示在表层隔离 HDMI 信号与 GND 的距离。



3.4. EMI 防护

- 电磁干扰三要素：干扰源、耦合通道及敏感设备。对于广大工程师们通常无法处理敏感设备，因此处理 EMI 需要从干扰源跟耦合通道入手。解决 EMI 问题，最好的方式就是消除干扰源，消除不了的就想办法切断耦合通道或者避免天线效应；
- PCB 上干扰源一般很难完全消除，可以通过滤波、接地、平衡、阻抗控制，改善信号质量(如端接) 等方法来应对。各种方法一般会综合运用，但良好的接地是最基本的要求；
- 常用应对 EMI 材料有屏蔽罩，专用滤波器，电阻，电容，电感，磁珠，共模电感/磁环，吸波材料，展频器件等；
- 滤波器选择原则：若负载（接收器）为高阻抗（一般的单端信号接口都是高阻抗，比如 SDIO, RBG, CIF 等），则选择容性滤波器件并入线路；若负载（接收器）为低阻抗（比如电源输出接口），则选择感性滤波器件串入线路。使用滤波器件后不能使信号质量超出其 SI 许可范围。差分接口一般使用共模电感来抑制 EMI；
- PCB 上屏蔽措施需良好接地，不然可能会引起辐射泄露或者屏蔽措施形成了天线效应，连接器的屏蔽需符合相关技术标准；
- RK3576 展频的能分模块使用。展频的程度需根据相关部分对信号的要求而定。具体措施见

RK3576 展频说明：

- 所有时钟串接的匹配电阻，建议保留，提供匹配阻抗，提高信号质量的改善措施；
- DC 电源输入处，有条件可预留电源共模电感或 EMI 滤波器；
- USB, HDMI, VGA, 屏连接座等接口处增加预留共模电感或滤波电路；
- 有加散热器时，要注意散热器也有可能耦合 EMI 能量，产生辐射，在选用散热器时除

了满足热设计要求，还应满足 EMI 测试要求。散热器要预留接地条件，当有需要接地时，将散热器接地，此处不好明确接地点个数及怎么选择接地点，需要第一个版本硬件在实验室实际测试时依据实际情况整改；

- EMI 跟 ESD 对 LAYOUT 的要求有高度一致性，前述 ESD 的 LAYOUT 要求，大部分适用于 EMI 防护。另外增加下面的要求：
 - 尽量保证信号完整性；
 - 差分线要做好等长及紧密耦合，保证差分信号的对称性，以尽量减少差分信号的错位，避免转化成引起 EMI 问题的共模信号；
 - 有插件器件等带金属壳器件的元件，应避免耦合干扰信号从而辐射。也要避免器件的干扰信号从壳体耦合到其他信号线；
 - 如果 PCB 超过 4 层板，建议让所有时钟信号尽量走内层；
 - 防止电源辐射，电源层覆铜必须内缩，以一个 H（电源和地之间的介质厚度）为单位，建议内缩 20H。