

●新特器件应用

USB2.0 规范与 EZ - USB FX2 高速外设控制器

广东肇庆学院

聂东

咸宁师范高等专科学校 华南理工大学

张红兵

USB Specification 2.0 and EZ - USB FX2 High - Speed USB
Peripheral Controller

Nie Dong

Zhang Hongbing

摘要 :由 Compaq、Intel 和 Microsoft 等公司联合推出的通用串行总线新规范 USB2.0 支持 480Mbps 数据传输率,同时又要兼容 USB1.1 设备,因而对主机控制器、HUB 和设备控制器都提出了很高的要求。目前支持 USB2.0 规范的单片机为数极少,文中介绍了 Cypress 公司的 EZ - USB FX2 高速外设控制器的内部结构、工作原理和使用时要注意的问题。

关键词 :USB2.0 规范; 外设; 单片机; EZ - USB FX2

分类号 :TP368

文献标识码 :B

文章编号 :1006 - 6977(2002)07 - 0037 - 05

2000 年 4 月,Compaq、Intel、Microsoft 等公司联合推出通用串行总线 (Universal Serial Bus) 新规范 USB2.0, 这种新规范最引人注目的是数据传输速率的增加。由于 USB1.1 只支持低速率的 1.5Mbps 和全速的 12Mbps 两种速度,而 USB2.0 则增加了一种全速 480Mbps。由于新规范的速率是原有速度的 40 倍,因而大大扩大了 USB 的应用范围。USB 设备的易于使用和高速传输率是以 USB 系统硬件和软件的复杂性为代价的。但是,USB 系统既要支持 480Mbps 高速,又要兼容 USB1.1 设备,这对于主机控制器、HUB 和设备控制器来说,无论是在硬件还是软件上都提出了更高的要求。

2001 年 6 月,Intel、Compaq、NEC 等联合推出了适应 USB2.0 的新的主控制器接口规范,即增强型主控制器接口 (EHCI - Enhanced Host Controller Interface),版本为 0.96。目前 Intel、NEC 已推出符合该典型应用电路。

在小型分布式测控系统的设计中,系统中的各测控子单元一般通过串行通讯总线接到主机上。而这种连接方式往往由于子单元的具体安装位置比较分散,而使得整个系统的供电问题很难得到解决。在采用总线供电、载波通讯的小型分布式测控系统的设计方案中,笔者采用一根双绞线来作为电源线和通讯线,并将 ADP3000 作为总线供电的核心芯片,然后将 12V 左右的直流供电电压转换成 3.3V 的实用电压。该设计方案与系统中各子单元采用独

标准的 EHCI 控制器。只有安装了该芯片组的主机才能支持 USB2.0 外设,同时主机的操作系统也必须升级以支持这种控制器。虽然其拓扑结构不变,但连接主机和 USB 设备的 HUB 也必须支持 480Mbps,而且,所有的连接电缆都必须是带屏蔽层的双绞线。

在低速和全速总线上,主控制器将总线时间划分为帧(Frame),每帧 1ms,在一帧内可传输多个事务处理到多个目的地。而在高速总线上,主机将每帧

表 1 四种传输类型下的传输速度

传输速度 传输类型	低速 (kb/s)	全速 (kb/s)	高速 (kb/s)
控制传输	24	832	15872
中断传输	0.8	64	24576
块传输	不支持	1216	53248
同步传输	不支持	1023	24576

立 220V 电源供电的方案相比,具有成本低、可靠性高、现场安装简便等优点。

参考文献

1. Micropower Step - Up/Step - Down Fixed 3.3 V, 5 V, 12 V and Adjustable High Frequency Switching Regulator data book. Analog Devices, 97/12

收稿日期 :2001 - 11 - 08

咨询编号 :020714

划分为 8 个微帧 (Microframe), 每微帧时间为 $125\mu\text{s}$ 。每微帧还包含多项事务处理, 而单个事务处理能传输更多的数据, 这就是 USB2.0 能达到 480Mbps 的根本原因。表 1 列出了 USB 在四种传输类型、三种总线速度下的实际速度比较。

高速设备一定要有支持高速传输的控制芯片, 以完成大部分高速传输事务。目前已有两家半导体公司研制了与 USB2.0 兼容的单片机。其中 Philips 半导体公司推出了 ISP1581 高速接口芯片和 ISP1501 总线收发器, 而 Cypress 半导体公司则推出了 EZ-USB SX2 和 FX2, 其中 SX2 为专用于 USB 的接口芯片, 而 FX2 则是将 USB 通信部分和微处理器集成于一体的高速控制器件。

1 FX2 芯片简介

Cypress 公司推出的 EZ-USB FX2 芯片同时也叫做 CY7C68013。它实际上是业界第一个支持 USB2.0 同时向下兼容 USB1.1 规范的单片机, 它既负责 USB 事务处理也兼具微处理器的控制功能, 可用作 USB 外部设备的主控芯片。该芯片把 USB2.0 收发器、串行接口引擎 SIE(Serial Interface Engine)、增强的 8051 内核、I²C 总线接口以及通用可编程接口 GPIF(General Programmable Interface) 集成于一体。其小巧的体积及较高的性能价格比使得 EZ-USB FX2 芯片在海量存储器、打印机、扫描仪和 PCMCIA 等各种 USB 设备上得到了广泛的应用。其具体功能包括:

- 内置 USB2.0 收发器和智能串口引擎 SIE;
- 带有增强的 8051 内核, 其时钟频率可为 12MHz、24MHz 或 48MHz, 同时该芯片还带有两个通用异步收发器 (UART)、三个定时/计数器和两个数据指针, 并可支持外部中断;
- 可通过 USB 下载程序, 也可从外部扩展的 EEPROM 中下载程序;
- 支持块传输、中断传输、同步传输和控制传输;
- 具有 8bit 或 16bit 外部数据接口;

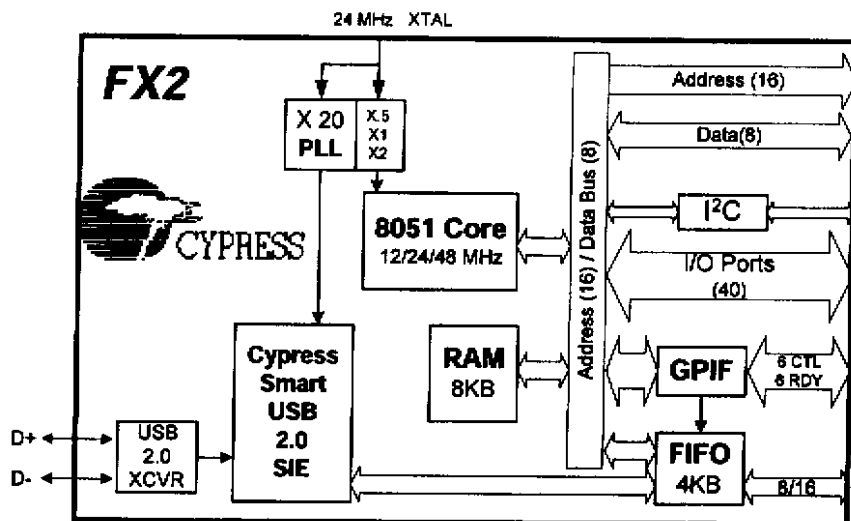


图 1 FX2 的内部功能框图

- 具有通用可编程接口 GPIF;
- 内置 I²C 接口, 其工作速率为 100 kHz 或 400kHz;
- 带有集成 FIFO, 能运行于 MASTER 或 SLAVE 模式, 并可很容易地与 ASIC 及 DSP 接口;
- 具有 40 个通用 I/O 引脚, 采用 3.3V 工作电压, 具有 128-TQFP、100-TQFP 及 56-SSOP 三种封装形式。

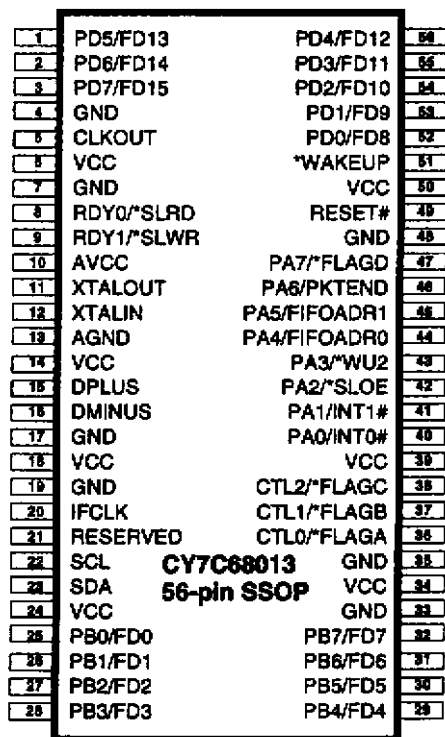


图 2 FX2 的引脚分布

FX2 的内部功能框图如图 1 所示, 图 2 所示是 56 引脚 SSOP 封装形式的引脚分布, 各引脚的功能说明见表 2 所列。

2 USB 部分工作原理

EZ - USB FX2 高速外设控制器 CY7C68013 中的 USB2.0 收发器支持全速 12Mbps 和高速 480Mbps 两种数据传输率, 但不支持低速 1.5Mbps 传输率。按照 USB 规范要求, 全速设备必须在 D+ 线上加一个 1.5kΩ 的上拉电阻才能使 HUB 识别其工作速度, 但

高速设备则必须去掉这个上拉电阻。因为该 1.5 kΩ 电阻已集成于芯片内, 且 FX2 会自动完成这个上拉电阻开关的切换, 因此用户不必考虑再在外部连接该上接电阻。FX2 中的增强型串行接口引擎是一个非常重要的协议处理器, 它可在硬件一级处理大部分的 USB1.1 和 USB2.0 协议, 从而使嵌入的 8051 处理器能专致于设备的功能性应用而不必处理复杂的 USB 传输过程。图 3 是 SIE 的功能示意图。

在接收过程, 信号线上的数据流均以包的形式进行传输(如令牌包、数据包、握手包等), 利用 SIE

表 2 FX2 的引脚功能说明

管脚号	管脚名称	功 能 描 述
10	AVCC	模拟电路部分供电电源
13	AGND	模拟电路部分地
16	DMINUS	USB D- 信号线
15	DPLUS	USB D+ 信号线
49	RESET	复位信号输入, 低电平有效。通常接 100kΩ 电阻到 VCC, 并应接 0.1μF 电容到地
12	XTALIN	晶振输入端, 接 24MHz 晶振, 并接 20pF 电容到地
11	XTALOUT	晶振输出端, 接 24MHz 晶振, 并接 20pF 电容到地
5	CLKOUT	时钟信号输出端, 默认为 48MHz
40	PA0/INT0	PA0 是双向 I/O 口, INT0 是 8051 中断输入, 低电平有效, 边沿触发或电平触发
41	PA1/INT1	PA1 是双向 I/O 口, INT1 是 8051 中断输入, 低电平有效, 边沿触发或电平触发
42	PA2/SLOE	PA2 是双向 I/O 口, SLOE 是 slave FIFO 输出允许端
43	PA3/WU2	PA3 是双向 I/O 口, WU2 是唤醒信号输入端
44	PA4/FIFOADR0	PA4 是双向 I/O 口, FIFOADR0 是 slave FIFO 的地址选择
45	PA5/FIFOADR1	PA5 是双向 I/O 口, FIFOADR1 是 slave FIFO 的地址选择
46	PA6/PKTEND	PA6 是双向 I/O 口, PKTEND 是 slave FIFO 的包结尾
47	PA7/FLAGD	PA7 是双向 I/O 口, FLAGD 是 slave FIFO 输出状态标志信号
25 ~ 32	PB0/FD[0] 至 PB7/FD[7]	PB0 至 PB7 是双向 I/O 口, FD[0]至 FD[7] 是双向 FIFO/GPIF 数据总线
52 ~ 56, 1 ~ 3	PD0/FD[8] 至 PD7/FD[15]	PD0 至 PD7 是双向 I/O 口, FD[8]至 FD[15] 是双向 FIFO/GPIF 数据总线
8	RDY0/SLRD	RDY0 是 GPIF 输入信号, SLRD 是 slave FIFO 读选通
9	RDY1/SLWR	RDY1 是 GPIF 输入信号, SLWR 是 slave FIFO 写选通
36	CTL0/FLAGA	CTL0 ~ CTL2 是 GPIF 控制输出端, FLAFA、FLAFB、FLAFC 是 slave FIFO 输出状态标志信号
37	CTL1/FLAGB	
38	CTL2/FLAGC	
20	IFCLK	slave FIFO 的同步时钟信号, 30/48MHz
21	Reserved	保留, 接地
51	WAKEUP	USB 唤醒输入端
22	SCL	I ² C 接口时钟信号线, 通过 2.2kΩ 电阻接 VCC
23	SDA	I ² C 接口数据信号线, 通过 2.2kΩ 电阻接 VCC
6, 14, 18, 24, 34, 39, 50	VCC	接 3.3V 电源
4, 7, 17, 19, 33, 35, 48	GND	地

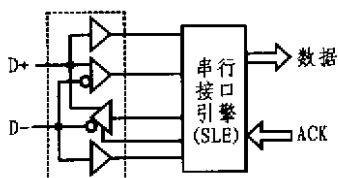


图3 SIE的功能示意图

可对这些包的PID进行解码,并可对接收的数据进行CRC检查,然后把数据送到处理器中,最后返回一个握手包。如果发现数据有错,它会自动停止响应而不发出握手包,同时“告诉”主机稍后再重新发送该数据。例如块传输是异步传输,它的数据流中必须包含ACK和NAK握手包。如果SIE向主机发送NAK包,则表明设备正忙,暂不能接收新数据;只有当设备成功地接收了数据时,SIE才会向主机发送ACK握手信号。

在发送过程,当向主机发送数据时,SIE可接收来自内部RAM的数据和其他信号,然后将它按照USB要求的格式重新包装后送到D+、D-线上。USB上的数据流均使用自带时钟节拍功能的反相不归零码(NRZI),为了防止串行数据中连续出现“1”的次数太多而造成失步,SIE还使用了一种位填充(Bit stuffing)技术。这些工作都是由SIE独立完成的,而无需8051干预。即便8051处于复位状态,SIE一样可以通过USB接收数据并存入RAM中,这种特点极大地减轻了8051的工作压力,节省了大量的CPU时间。

端点(Endpoint)是外设中储存USB数据的寄存器。对主机而言,外设就是端点的集合。主机上的设备驱动程序在内存中为设备的每一个端点开辟了相应的缓冲区,USB通信的本质就是缓冲区与端点寄存器之间的数据交换,协议中称此为管道(Pipe)。FX2有六个端点,端点0为64字节缓冲区,占用地

址E740~E77F,它是设备的默认控制端点,是设备尚未配置好之前唯一能与主机通信的双向传输端点。需要注意的是:FX2在作控制传输时,SETUP传输中包含的8字节数据固定存放于E6B8~E6BF缓冲区中,用户不能占用。

端点1的输入和输出缓冲区在物理上是分开的。输入缓冲区占用地址E7C0~E7FF,输出缓冲区占用地址E780~E7BF,它们各为64字节,并同时支持块传输和中断传输。

端点2、4、6、8,共同占用8个512字节的缓冲区,地址为F000~FFFF,共4k字节,可支持块传输、中断传输和同步传输。端点2和6可以使用双缓冲、三缓冲或四缓冲区。表3给出了高速模式下FX2默认的四种可选端点设置,表3中的2X表示双缓冲。

3 8051 处理器

FX2中的内嵌增强型8051微处理器带有256字节RAM、扩展的中断系统以及3个定时/计数器和2个UART。

FX2外接24MHz晶振,可配27~33pF的外接电容,经过内部振荡电路和锁相环(PLL)倍频电路可产生8051的默认工作频率(48MHz),另外它还需要产生480MHz的时钟脉冲以供收发器使用。根据需要,也可以设定8051工作于24MHz或12MHz。外接的晶振应尽可能靠近FX2芯片,且引脚连线要尽可能短,外接振荡电容的误差不能超过 $\pm 5\%$,否则会使频率偏移或不起振。

当FX2的VCC上电达到3.3V以后,内部的锁相环电路大约需要200 μ s的时间才能稳定,因此,在USB FX2芯片的复位引脚RESET通常外接一个RC网络电路,也就是在VCC端外接一个100k Ω 的电阻,并在地端接一个0.1 μ F的电容,以提供比VCC

表3 高速模式下FX2默认的四种可选的端点设置

设置 端点	0	1	2	3
端点0	64	64	64	64
端点1OUT	0	512块传输	64中断传输	64中断传输
端点1IN	0	512块传输	64中断传输	64中断传输
端点2	0	512块传输 OUT(2 \times)	512中断传输 OUT(2 \times)	512同步传输 OUT(2 \times)
端点4	0	512块传输 OUT(2 \times)	512块传输 OUT(2 \times)	512块传输 OUT(2 \times)
端点6	0	512块传输 IN(2 \times)	512中断传输 IN(2 \times)	512同步传输 IN(2 \times)
端点8	0	512块传输 IN(2 \times)	512块传输 IN(2 \times)	512块传输 IN(2 \times)

电平延迟的低电平有效的复位信号。

8051 通过设置 PCON.0 = 1, 可使其本身和芯片的其他部分进入挂起 (省电) 状态, 在此状态下, 晶振和锁相环部分停止工作。唤醒 FX2 电路的方式有如下三种。

- USB 恢复信号;
- 外部逻辑信号触发 WAKEUP 引脚;
- 外部逻辑信号触发 PA3/WU2 引脚;

无论 FX2 是否连在 USB 上, 在 FX2 唤醒后, 振荡电路将开始起振, 待锁相环电路稳定后, 8051 进入唤醒中断服务程序。

8051 包含两个 UART, UART0 和 UART1, 其接口引脚 TXD 和 RXD 均为单一功能而非复用。无论 8051 工作于 48、24 还是 12MHz, UART 的波特率均为 230kbaud, 误差小于 1%。如果将 SMOD0 或 SMOD1 位设为 1, 那么, UART0 和 UART1 的波特率相应地应为 115 kbaud。

4 存储器

FX2 内含有 8k 字节的程序和数据 RAM, 地址为 0000 ~ 1FFF, 由于在 FX2 内, PSEN 与 RD 信号相或, 因此, 8051 既可以把这 8k 字节的 RAM 当程序存储区使用, 也可以当作数据存储区使用。FX2 中只有这块 RAM 可供 USB 上传和下载数据, 而这块 RAM 同时也可以存放 SETUP 事务处理的数据指针和 I²C 接口提供的上电引导程序。如果将 EA 引脚设定为 0, 那么这 8k 字节的 RAM 可供程序区和数据区共用。而如果设定 EA 为 1, 则这 8k RAM 只能当作数据存储区使用, 而此时 8051 只能从外接程序存储区中读取指令。

Cypress 以其可重枚举 (Renumeration) 的功能而在 USB 控制芯片中胜人一筹。重枚举允许 USB 控制芯片不带片内或片外程序存储器 (ROM 或 FLASH), 而在设备上电后作为默认的设备枚举通过智能 SIE 从主机下载程序来运行。设计者可以根据需要从主机下载不同的监控程序以使设备具备不同的性能, 这一特点对于设备功能的多重性和设备的前期开发是非常有用的。

对于 FX2 芯片而言, 重枚举的过程有赖于 SIE、8k 的 RAM 和 I²C 总线。FX2 一般通过 I²C 总线接口外挂串行 EEPROM, 其最大容量可达 8k 字节。在 FX2 高速外设控制器上电以后, 无论 8051 单片机的工作

状态如何, SIE 都会通过端点 0 来响应主机的设备配置指令。通过 I²C 总线可将外接 EEPROM 中储存的生产商标识 (VID)、产品类标识 (PID) 和设备标识 (DID) 读入到 FX2 内部的 8k RAM 中, 再由 SIE 把这些描述符提供给主机并接着从主机下载 8051 的监控程序, 以使 8051 开始工作。外接 EEPROM 也可以用来储存监控程序。在 FX2 上电后, 可以将监控程序直接传输到内部 RAM 中供 8051 运行。反之, 8051 也可以把程序通过 USB 上传到主机, 或把程序及数据转移到 EEPROM 中。

5 I²C 总线接口

I²C 接口包括时钟信号线 SCL 和数据信号线 SDA, 它们都是漏极开路输出和磁滞输入, 在应用时都必须接 2.2 k Ω 的上拉电阻, 即使没有外接 I²C 设备, SCL、SDA 也要上拉到 3.3V。该接口的数据通信率为 100kbps 或 400kbps, 而且它只能运行于主机工作模式。

I²C 接口在不同阶段具有不同的工作方式。在上电配置过程中, 系统可自动从外接 EEPROM 中读取 VID/ PID/ DID, 并将其它的配置信息送到内部 8k RAM 中。在 8051 配置过程结束后, 应进行通用 I²C 接口的配置, 然后由 8051 通过 I²CTL 和 I²DAT 两个寄存器来控制连接在 I²C 总线上的器件。

参考文献

1. Compaq, Intel, Microsoft, etc. Universal Serial Bus Specification Revision 1.1 USB Implementers' Forum. September 23, 1998
2. Compaq, Intel, Microsoft, etc. Universal Serial Bus Specification Revision 2.0. USB Implementers' Forum. April 27, 2000
3. Don Anderson. Universal Serial Bus System Architecture Addison Wesley Longman, inc. 2000
4. Jan Axelson. Inside USB2.0: what the new spec means for developers. \\www.lvr.com 2001
5. Cypress Semiconductor Corporation. CY7C68013 EZ – USB FX2 USB Microcontroller. 2000
6. Cypress Semiconductor Corporation. FX2 USB 2.0 Microcontroller Fact Sheet 2000

收稿日期: 2001 – 12 – 18

咨询编号: 020715