

●主题论文

PCI 总线接口芯片 S5920 及其应用

国防科技大学 张军 修明磊 王莹

PCI Bus Interface Chip S5920 and Its Applications

Zhang Jun Xiu Minglei Wang Ying

摘要 S5920 是 AMCC 公司推出的一种 PCI 总线接口芯片。文章介绍了 S5920 的结构和特性,详细描述了其信箱和直通通道的工作机制以及外加总线信号的定义,给出了利用 S5920 直通通道实现并行数据接口扩展卡的设计实例。

关键词 S5920; PCI 总线; 信箱; 直通通道

分类号 TP334.7

文献标识码 B

文章编号 :1006-6977(2002)04-0064-04

1 引言

PCI 局部总线由于其速度高、可靠性强、成本低及兼容性好等性能,在各种计算机总线标准中占主导地位,采用基于 PCI 标准的接口设计已成为各种项目开发中的优先选择。但是,由于 PCI 总线规范和接口定义较为复杂,从而使得传统的、以中小型规模器件开发接口电路的方法难以实现。鉴于此,许多厂家推出了专用的 PCI 总线接口芯片,其中 AMCC 公司生产的 S59XX 系列芯片因其功能强大、开发方便,而应用最为广泛。

S5920 是 AMCC 公司新近推出的一种 PCI 总线接口芯片,它可被视作 S5933 的子集。与之相比,S5920 减少了总主控的功能,但其它性能与之相仿或有所增强,但价格降低了很多。因此,在无需进行总线主控的场合,使用 S5920 具有更高的性价比。

S5920 的主要特点如下:

- 符合 PCI2.2 标准的总线目标/受控设备;
- 具有最高 132M 字节/秒的传输速率;
- 具有可编程的预取和等待状态;
- 带有 4 个集成 32 位读写 FIFO 的直通通道;
- 外加总线可工作于主动或被动状态;
- 具有直接操作的信箱数据锁存/中断引脚和直接操作的 PCI 和外加总线中断引脚;
- 支持即插即用;

●支持串行 nvRAM(非易失性 RAM) 和可选的外部 BIOS;

●采用 160 脚 PQFP 封装。

2 内部结构

与 S5933 一样,S5920 为设计者提供了与 PCI 总线相连的灵活易用的方式。通过 S5920,复杂的 PCI 总线可被转换成易于使用的 8/16/32 位用户总线即外加总线(ADD-ON-BUS)。S5920 有信箱(MAIL-BOX)和直通通道(PASS-THRU)两种传输方式,并为这两种方式提供了完备的操作寄存器和外加总线信号。设计者可根据需要选择合适的传输方式,并通过 S5920 内部寄存器完成各种定义和设置。这样的特性使得设计者在进行应用设计时无须深入掌握 PCI 总线规范,而只需将注意力集中在外加总线逻辑和扩展卡功能的实现上即可,从而大大减少了为严格遵循 PCI 接口定义和总线时序所带来的工作量。

S5920 的内部结构如图 1 所示。下面对其主要组

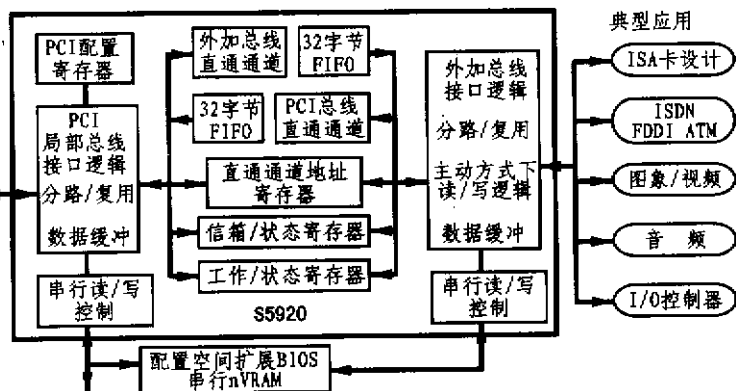


图 1 S5920 内部结构框图

成模块作一介绍。

2.1 S5920 的寄存器结构

S5920 的通信、控制和配置主要通过 PCI 配置寄存器的内部操作寄存器来实现。该 PCI 配置寄存器是所有遵循 PCI 规范的设备都必须提供的一组寄存器,它们之中保存了特殊的设备和产品信息,如厂商 ID、设备 ID、存储空间需求等,其内容在系统引导时被主 BIOS 读入内存。这些寄存器在 S5920 芯片中既可用自定义的缺省值进行初始化,也可由设计者用存储在外部 nvRAM 中的内容重新定义。

S5920 内部操作寄存器主要包括信箱数据寄存器、信箱状态寄存器、中断控制/状态寄存器、复位控制寄存器、直通通道设置寄存器、直通通道地址和数据寄存器。除直通通道地址和数据寄存器只用于外加总线读写直通通道外,其它寄存器都是双向的,因而能被 PCI 或外加总线直接访问。

2.2 nvRAM 接口

S5920 支持的两线串行 nvRAM,除了可保存设备的配置信息外,如有必要,在 nvRAM 中也可包含扩展的 BIOS。设备加电后,S5920 将自动读取 nvRAM 中的内容,并将其写入相应的配置寄存器。

2.3 信箱通道

与 S5933 提供 4 个双向的信箱通道不同的是,S5920 只有一个双向的信箱通道,但在多数设计中,这已经足够。由于 S5920 为信箱通道提供了非常灵活的操作方式,因而使得信箱的应用更加简便容易。

S5920 内部有两个信箱寄存器,其宽度均为 4 个字节,可分别用于完成 PCI 到外加总线和外加总线到 PCI 的数据传输。S5920 同时提供了一个信箱状态寄存器,可用于指示两个信箱寄存器中的任一字节的“空/满”状态,这使得设计者可灵活地实现 8/16/32 位的设计,比如在外加总线上传输一个 8 位单字节数据时就无需考虑 32 位数据的组装和拆分。

信箱数据的传送有寄存器读写和硬件直接访问两种方式。为实现信箱数据的硬件直接访问,S5920 配备有专用的外部信箱数据和锁存引脚。信箱的每个字节都可以引起 PCI 总线或外加总线的中断,通过对操作寄存器的编程,可以选择在信箱写入数据时哪一个字节引起中断,这些中断既可以产生在 PCI 总线上也可以产生在外加总线上。S5920 还有一种特有的机制,即直接由硬件接口引起 PCI 总线上

的中断或在外加总线上通过一组专用的引脚访问信箱,如果中断被允许,那么数据锁入信箱将产生 PCI 总线上的一个中断。

2.4 直通通道

S5920 提供了 4 个可映射到内存或 I/O 空间的模块,即直通通道。每个直通通道的地址范围代表一个地址块,其大小由用户定义,最大范围为 512M 字节。每一个地址块的数据宽度可在 8/16/32 位中选择。通过直通通道,PCI 总线可以直接使用外加接口上的资源,在猝发模式下,能够以最大带宽传送数据。

为加速数据的吞吐率,直通通道中集成了两个 32 字节的 FIFO。允许写 FIFO 可使 S5920 能够零等待地从 PCI 总线接收猝发传送数据而无需理会外加总线的响应速度;允许读 FIFO 则可实现数据从外加总线的预取,从而使 PCI 总线也能零等待地执行读周期。这一特点将大大提高 PCI 总线的效率,并提升外加总线设计的性能。

需要强调的是,S5920 的 FIFO 是作为直通通道的可选组件,而不是一个独立的 FIFO 通道,且只有 32 字节,不能扩充。与之不同的是 S5933 的 FIFO 是一个双向的独立通道,可实现总线主控方式下的高速数据传送,但直通通道没有收发 FIFO,从这个意义上说,S5920 的直通通道性能强于 S5933;另一个与 S5933 不同的地方是,S5920 的直通通道还支持一种主动/被动模式的外加总线接口。在被动模式下,要求开发者通过在外部驱动外加总线来实现数据传输;在主动模式下,允许内部逻辑驱动外加总线或要求外加总线独立读/写数据,从而减小了对外部电路的依赖。另外,主动模式还能产生可编程的等待状态,以降低外加总线设计的性能要求。

3 主要信号引脚

S5920 信号一般分为三组,即 PCI 接口信号、nvRAM 接口信号和外加接口信号。其中,PCI 接口信号符合 PCI2.2 规范,nvRAM 接口信号符合 I²C 串行总线标准,这里不再赘述。而 S5920 外加总线信号分为输入(in)、输出(out)和双向三态(t/s)三种。下面对 S5920 的外加总线引脚作一分类描述:

3.1 信箱通道引脚

MDMODE:(in),信箱通道数据模式选择端。高电平时,MD[7:0] 信号恒为输入;低电平时,由

LOAD # 信号控制 MD[7:0] 为输入或输出。

LOAD # : (in) , 高电平时 , MD[7:0] 为输入 , 下一个时钟 ADCLK 的上升沿将数据锁入到外加总线输出信箱寄存器的第三字节 ; 当低电平且 MDMODE 为 0 时 , MD[7:0] 上显示 PCI 输出信箱寄存器中第三字节的内容。

MD[7:0] : (t/s) , 信箱通道数据总线。

3.2 直通通道引脚

PTMODE : (in) , 直通通道工作方式选择端。高电平时 , S5920 工作于被动方式 , 此时允许外设读 / 写总线上的数据 ; 低电平时 , S5920 工作于主动方式 , 该方式允许 S5920 主动地驱动信号和数据上总线。

PTATN # : (out) , 直通通道提示信号 , 用于表示一个 PCI 总线周期正在进行。

PTBURST # : (out) , 直通通道猝发传送指示。高电平时 , 表示当前 PCI 总线操作是猝发方式 ; 低电平时 , 为单周期方式。

PTRDY # / WAIT # : (in) , PASS-THRU 准备好 / 等待信号。被动方式下 , 该信号为 PTRDY # , 有效时表示外加总线已经响应 PTATN # 信号 , 且读 / 写数据完毕 ; 主动方式下 , 该信号为 WAIT # , 有效时插入等待状态或阻止 S5920 驱动数据上总线。

PTNUM[1:0] : (out) , PASS-THRU 通道号 , 表示在 PASS-THRU 激活期间 , 地址落在哪一个通道范围 , 仅在 PTATN # 为低时有效。

PTBE[3:0] # : (out) , PASS-THRU 字节允许。在 PCI 对 PASS-THRU 的读操作中 , 指示 32 位双字的哪一个字节写入 S5920 ; 在 PCI 向 PASS-THRU 的写操作中 , 指示 32 位双字的哪一个字节从 S5920 中读出。这几个信号仅在 PTATN # 为低时有效。

PTADR # : (t/s) , PASS-THRU 地址请求信号。被动方式下是一个输入信号 , 有效时 , S5920 将当前地址放置到外加总线上。主动方式下是一个输出信号 , 表明一个 PASS-THRU 地址在 DQ 总线上。

PTWR : (out) , PASS-THRU 读 / 写信号。表明当前 PCI 与 PASS-THRU 间的数据传输是读周期还是写周期。仅在 PTATN # 为低时有效。

DXFER # : (out) , 主动方式传送完毕。被动方式下不用。

3.3 外加总线寄存器访问引脚

DQ[31:0] : (t/s) , 地址 / 数据总线。

ADR[6:2] : (in) , 外加地址总线。用于选择 8 个

外加总线操作寄存器。

BE[2:0] # : (in) , 字节选通信号。

BE3 # / ADR1 : (in) , 字节选通 3 (32 位方式) 或 ADR1 (16 位方式) , 该信号端与读选通 (RD #) 或写选通 (WR #) 信号、SELECT # 信号一起使用。

SELECT # : (in) , 外加接口选择信号。当读写外加接口寄存器时 , 该引脚必须置低 (当 RD # 或 WR # 有效时)。

WR # : (in) , 写选通信号 , 当该信号与 SELECT # 信号共同有效时 , 写数据到外加接口寄存器。

RD # : (in) , 读选通信号 , 当该信号与 SELECT # 信号共同有效时 , 从外加接口读取数据。

DQMODE # : (in) , 外加总线数据宽度选择。

3.4 系统控制引脚

SYSRST : (out) , 系统复位信号。在 PCI 总复位信号的作用下 , 该引脚将输出一个负脉冲 ; 也可通过软件对 S5920 中的复位控制寄存器进行操作以使之有效。

BRCLK : (out) , 缓冲后的 PCI 时钟信号。

ADCLK : (in) , 外加总线时钟信号。S5920 内部所有外加总线逻辑均与该时钟同步。

IRQ # : (out) , 中断请求信号。有效时 , 表明 S5920 向外加总线申请中断。

ADDINT # : (in) , 外加总线中断请求信号。有效时 , 该信号将引起 PCI 总线的中断请求信号 INTA # 有效。

FLT # : (in) , 浮动。有效时 , S5920 器件中的所有输出端均处于高阻状态。

4 用 S5920 实现并行接口

下面给出一个用 S5920 实现 PCI 并行数据接口扩展卡的实例 , 该设计利用 S5920 的一个直通通道来实现 16 位数据传输。它采用查询方式读写 I/O 端口 , 在异常情况下 , 外设可通过 S5920 向 PCI 总线提出中断请求 , 以使软件对其进行相应处理。

采用 S5920 + CPLD 结构的接口设计如图 2 所示。图中 CPLD 芯片采用 LATTICE 公司生产的 ispLSI1032E , 该芯片可用来产生外加总线和对外接口所需的各种控制信号 , 以及完成地址译码和数据的锁存和缓冲。配置存储器采用串行 EEPROM 芯片 X24C02。

该接口扩展卡主要的对外接口控制信号包括选

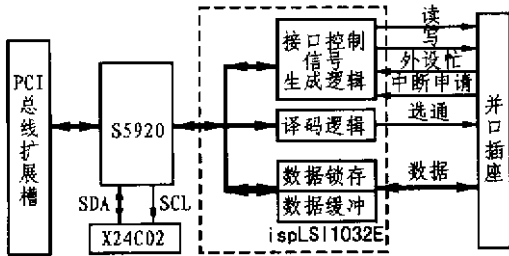


图 2 并接口扩展卡组成框图

通、读、写、外设和中断请求等。位于 S5920 和 ispLSI1032E 中间的是外加总线,在本设计实例中,与直通通道操作相关的各种信号主要有:BPCLK、PTATN#、PTBURST#、PTWR、PTNUM[1:0]、PTBE[3:0]#、ADCLK、SELECT#、RD#、WR#、BE[3:0]#、ADR[6:2]、PTRDY#、ADDINT#及DQ[15:0]等。

为了适应不同速度的外部设备的要求,S5920 必须在外设准备好时才能驱动外加总线,因此通常可将其设置为被动工作模式,即置 PTMODE 为高电平。由于其对端口的读写可在 PCI 总线上执行单周期操作,因此外加总线上的信号遵循直通通道单周期读写时序^[1]。

发送和接收数据的简单程序如下:

```
# include "amcclib.h" //amcc 提供的读写配置空间的函数库

# main()
{
    byte bus_ num, dev_ func; //总线号、设备功能号
    dword badr0, badr1, temp;
    word vendor_ id = 0x9240, word device_ id = 0x5920;
    //厂商 ID 和设备 ID
    byte data_ in, data_ out = 0x55;
    if (find_pci_device(device_ id, vendor_ id, 0, &
        bus_ num, & dev_ func) == SUCCESSFUL)
        //读取总线号、设备功能号
    {
        if (read_configuration_dword(bus_ num, dev_
            func, PCI_CS_BASE_ADDRESS_0, & badr0) !=
            SUCCESSFUL) //读取 BADR0
        {
            printf(" read BADR0 not successful!!\n");
            status = 1;
        }
        if (read_configuration_dword(bus_ num, dev_
            func, PCI_CS_BASE_ADDRESS_1, & badr1) !=
            SUCCESSFUL) //读取 BADR1
```

```
{
    printf(" read BADR1 not successful!!\n");
    status = 1;
}
if (status != 1)
{
    badr0 = badr0 & 0xfffc;
    //BADR0 和 BADR1 映射在
    badr1 = badr1 & 0xfffc;
    //I/O 空间 屏蔽低两位
    temp = inpd(badr0 + 0x38);
    temp = temp & 0xffffef; //禁止信箱中断,
    outpd(badr0 + 0x38, temp);
    //外加总线中断请求有效
    outpd(badr0 + 0x60, 0);
    //允许写 FIFO 禁止读 FIFO
    if ((inp(badr1) & 0x01) == 1)
        //外设是否忙?
        data_ in = inp(badr1 + 1);
        //不忙,读入数据
    if ((inp(badr1) & 0x01) == 1)
        //外设是否忙?
        outpd(badr1 + 2, data_ out);
        //不忙,写出数据
    }
}
}
```

5 结束语

对于熟悉计算机 XT、ISA 总线开发的设计者来说,S5920 等专用 PCI 总线接口芯片的出现为他们提供了无须深入掌握 PCI 总线规范即可进入 PCI 扩展卡设计领域的途径。当然,从实际出发,设计者也可以采用其它方案,甚至可以脱离专用芯片直接面对总线完成设计,这些都有待于在对 PCI 总线规范深入研究的基础上进一步探讨。

参考文献

1. PCI PRODUCT DATA BOOK. AMCC 公司, 1988
2. 李贵山等. PCI 局部总线开发者指南. 西安电子科技大学出版社, 1997
3. 陈利学等. 微机总线与接口技术. 电子科技大学出版社, 1998

收稿日期: 2001-09-10

咨询编号: 020422