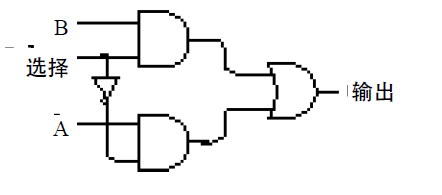
CPU:中央处理器，由数百万至数亿个晶体管构成。内部结构分为，控制器，运算器，时钟，寄存器。

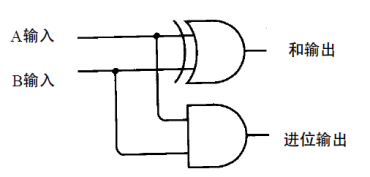
控制器：

2-1选择器：让你用一个开关来选择加法器的B端输入,是取自第2排开关还是取自锁存器的Q端输出。

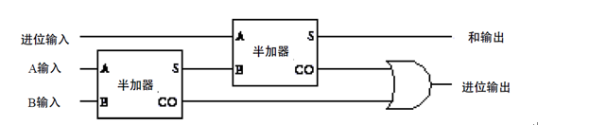


运算器：

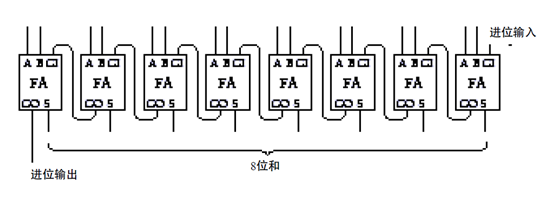
半加器，把两个二进制位A 和B相加，从而得到一个和输出(简称S) 和一个进位输出(简称C O )

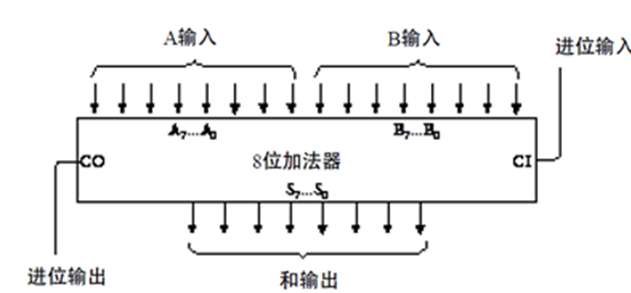


全加器（Full Adder）

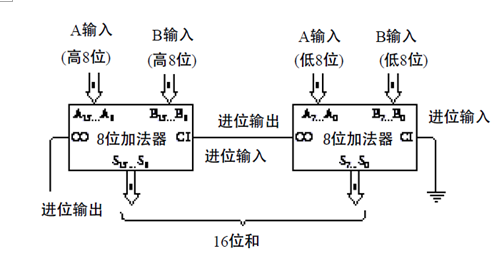


8位加法器，

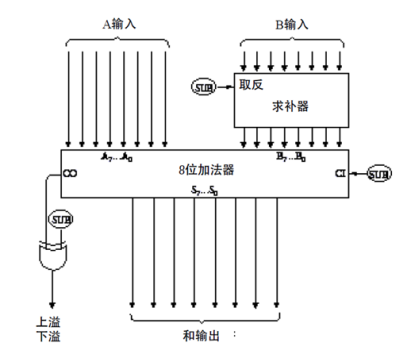




1 6位加法器：

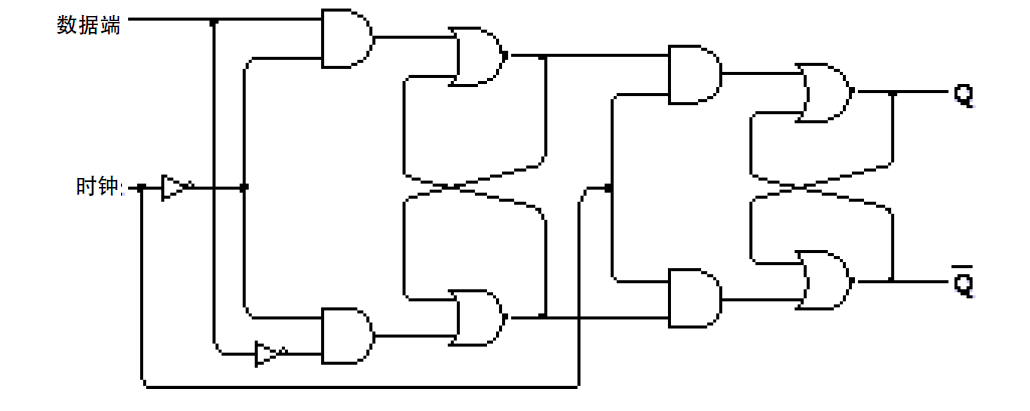


可做减法：

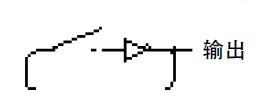
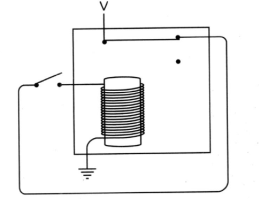


时钟：

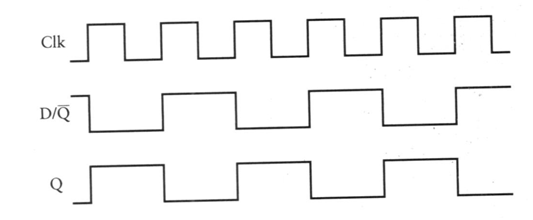
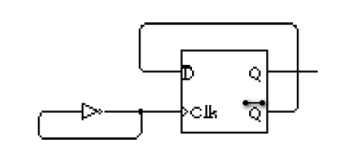
边沿触发器：对于边沿触发器而言，只有当时钟从0变到1的瞬间，输出才会改变。在电平触发器中，当时钟输入为0时，数据端输入的任何改变都不会影响输出；而在边沿触发器中，当时钟输入为1时，数据端输入的改变也不会影响输出。只有在时钟输入从0变到1的瞬间，数据端的输入才会影响边沿触发器的输出。



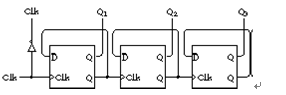
振荡器：有时称为时钟（c l o c k），因为通过对振荡次数记数还可确定时间。

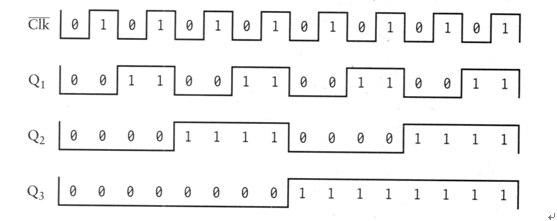
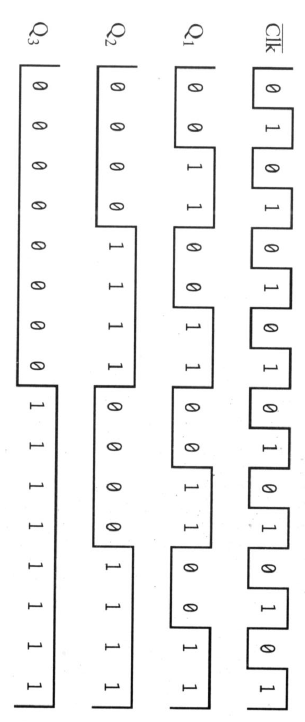


分频器：若振荡器的频率是2 0赫兹（即每秒2 0次循环），则Q的输出频率是它的一半，即1 0赫兹。



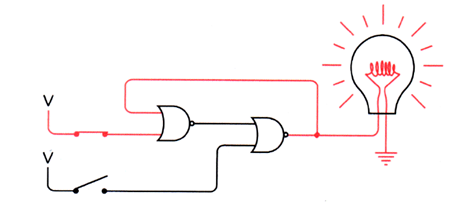
三个分频器连在一起:

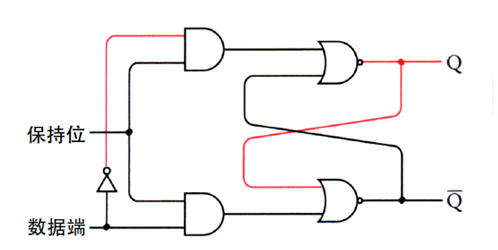


寄存器：

触发器：可以“记住”最近一次是哪个开关先闭合的。





这个电路称为电平触发的D型触发器，D（D a t a）表示数据端输入。所谓电平触发是指当保持位输入为某一特定电平（本例中为“ 1”）时，触发器才对数据端的输入值进行保存。

和电平触发的D型锁存器一样的，保持位即，时钟clk，数据端D。也可以称为1位存储器

寄存器种类：

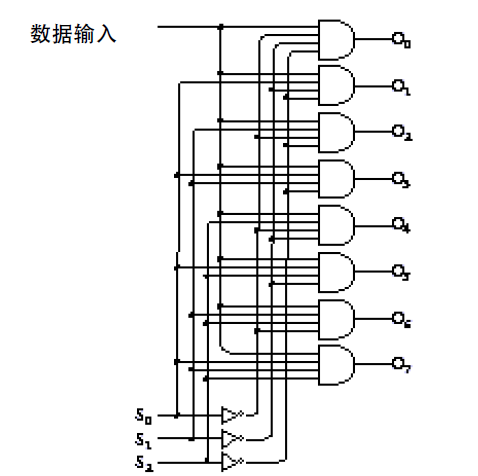
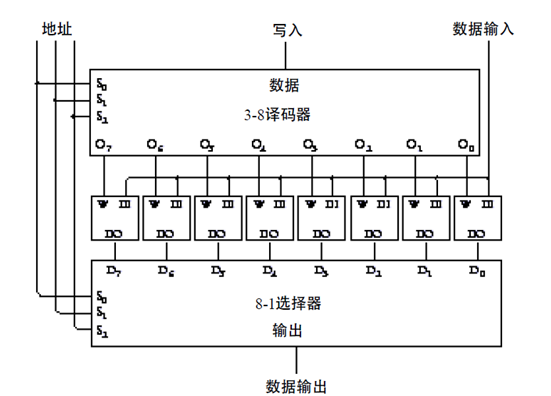


内存：

这种锁存器的配置有时也称为读／写存储器，但通常叫作随机访问存储器或R A M 。R A M可存储8个单独的1位数据，

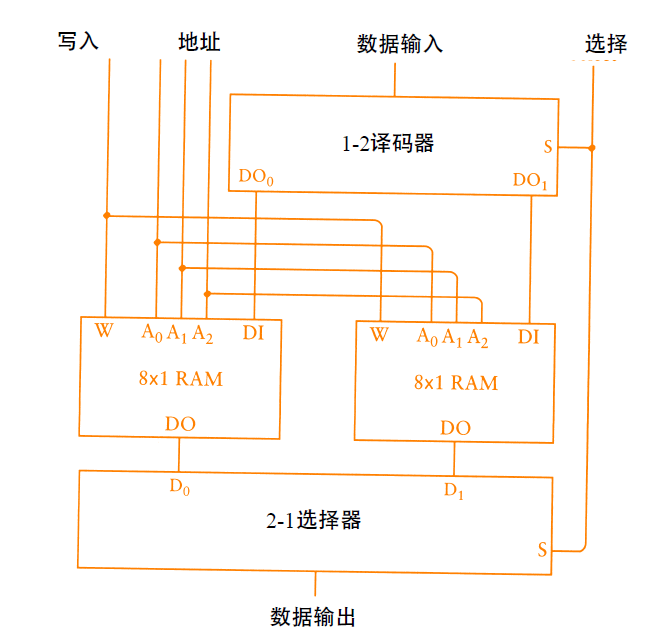
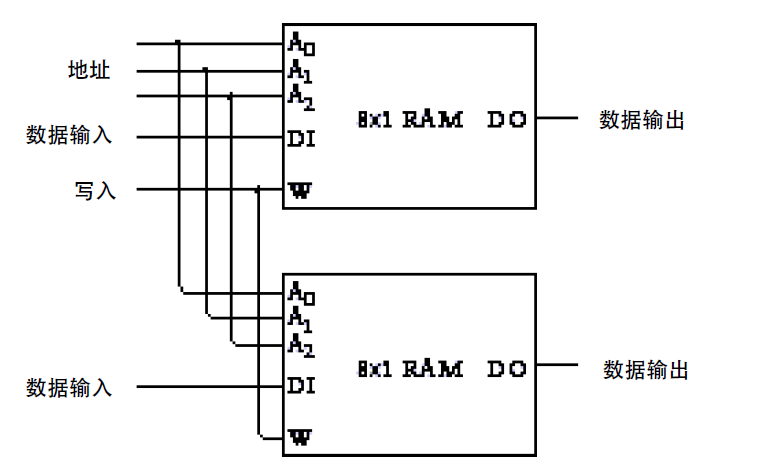
称它为存储器是因为它能保存信息，称为读／写存储器是因为可以在每个锁存器中保存新的数据（也就是写数据），同时还可以查看每个锁存器中所保存的数据（也就是读数据）。称它为随机访问存储器是因为通过简单地改变地址输入就可以从8个锁存器中的任意一个读出

或写入数据。

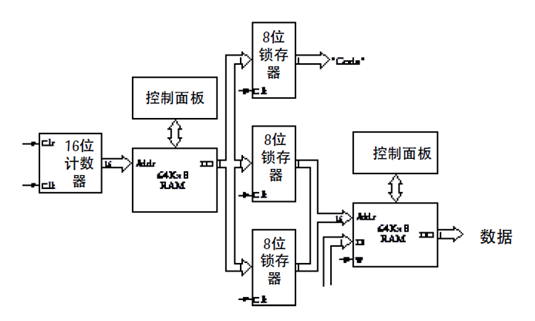


3 - 8译码器有8个输出端。任何情况下，锁存器除了一个输出端外，其余的均为0。

8×2 RAM 1 6×1 RAM







硬盘

指令关系