

БГУИР

Кафедра ЭВМ

Отчет по лабораторной работе № 3
Тема: «Исследование работы триггеров»

Выполнил:

Проверил:

Минск 2023

1 ЦЕЛЬ РАБОТЫ

Целью работы является изучить работу RS-триггера, JK-триггера и D-триггера.

2 ИСХОДНЫЕ ДАННЫЕ К РАБОТЕ

Работа выполняется на базовом лабораторном стенде NI ELVIS II с использованием модуля dLab7, dLab8, dLab9 для исследования работы триггеров.

В процессе выполнения данной лабораторной работы требуется выполнить следующие задачи:

- получить таблицы истинности следующих триггеров: JK, RS, D;
- получить временные диаграммы состояний входных и выходных сигналов.

3 КРАТКИЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

3.1 RS-триггер

Триггером называется устройство, имеющее два устойчивых состояния, переход между которыми происходит в результате процессов, обусловленных наличием в электрической цепи триггера цепей положительной обратной связи.

Два устойчивых состояния триггера обозначаются: $Q=1$ (логическая единица) и $Q=0$ (логический ноль). В каком из этих состояний окажется триггер, зависит от состояния сигналов на входах триггера и от его предыдущего состояния, иными словами триггер имеет память. Можно сказать, что триггер является элементарной ячейкой памяти.

Тип триггера определяется алгоритмом его работы. В зависимости от алгоритма работы, триггер может иметь установочные, информационные и управляющие входы. Установочные входы устанавливают состояние триггера независимо от состояния других входов. Входы управления разрешают запись данных, подающихся на информационные входы.

Если триггер не имеет входов синхронизации, то его называют асинхронным. В этом случае его поведение однозначно определяется в момент прихода активного сигнала по информационному входу. В зависимости от устройства входных цепей триггер будет изменять своё состояние или под действием уровня входного сигнала или под действием фронта этого сигнала.

Если триггер имеет хотя бы один вход синхронизации, то он считается синхронным. У такого триггера имеются информационные входы, приём информации по которым происходит в момент активного состояния

синхросигнала. При этом триггер может иметь и другие информационные входы, которые асинхронно определяют его поведение.

Асинхронный RS-триггер является базовым при создании более сложных триггеров. В простейшем случае асинхронный RS-триггер имеет два входа: S (Set) - вход установки триггера в единичное состояние, R (Reset) - вход установки триггера в нулевое состояние. Активный сигнал по входу S в момент появления заставляет триггер перейти в единичное состояние. Активный сигнал по входу R в момент появления заставляет триггер перейти в нулевое состояние.

На рисунке 3.1 приведена схема асинхронного RS-триггера, построенного на логических элементах И-НЕ.

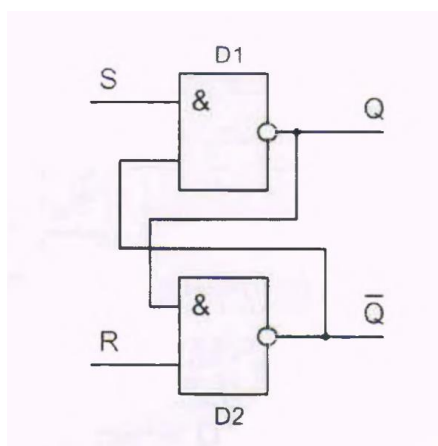


Рисунок 3.1 – Схема RS-триггера на логических элементах И-НЕ

Проанализируем работу этой схемы с целью определения активного сигнала.

Считаем выход элемента D1 прямым. По заданному положению прямого выхода определим положения входов установки триггера в ноль (R) и в единицу (S). Если предположить, что единица на верхнем входе, то состояние выходного сигнала D1 будет зависеть от сигнала с выхода D2. То есть единица на этом входе не заставляет схему непременно менять свое состояние. Это пассивный уровень сигнала на верхнем входе.

Если на верхнем входе логический ноль, то независимо от сигнала с D2 на выходе D1 спустя время задержки одного элемента $t_{зд}$ появится единица, если ее до прихода нуля на верхний вход не было. Сформированная единица, поступая на вход D2 при наличии на нижнем входе D2 единицы приведет к появлению нуля на выходе D2 спустя время задержки $t_{зд}$. То есть через время $2t_{зд}$ состояние сигнала на верхнем входе может быть изменено на противоположное. Триггер к этому моменту перешел в новое, единичное состояние.

Таким образом, активным сигналом на верхнем входе является 0, этот

вход является входом S, поскольку приводит к появлению 1 на выходе Q. Поскольку схема симметрична, можно предположить, что нижний вход является входом сброса триггера в ноль - R, причем активным сигналом и для этого входа является ноль. Временные диаграммы работы триггера с учетом задержки сигнала в элементах предложены на рисунке 3.2.

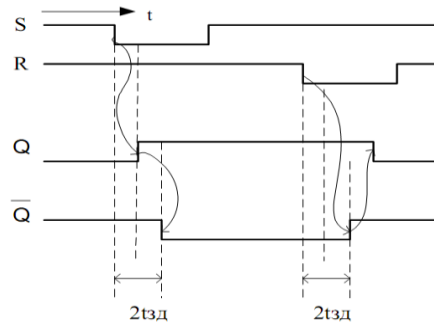


Рисунок 3.2 – Временные диаграммы работы триггера с учетом задержки сигнала в элементах

Для RS-триггера комбинация $S = 0$ и $R = 0$ является запрещенной. После такой комбинации информационных сигналов состояние триггера будет неопределенным: на его выходе Q может быть 0 или 1. Существуют разновидности RS-триггеров, называемые E-, R- и S-триггерами, для которых сочетание $S=R=1$ не является запрещенным. E-триггер при $S=R=1$ не изменяет своего состояния ($Q_{n+1}=Q_n$). S-триггер при $S=R=1$ устанавливается в состояние $Q=1$, а R-триггер в этом случае устанавливается в состояние $Q=0$.

На рисунке 3.3 приведено условное графическое изображение RS-триггера, где символами инверсии показано, что активным сигналом для входов S и R является нулевой логический уровень.

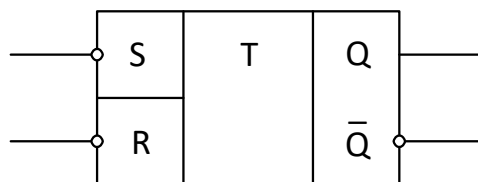


Рисунок 3.3 – Условное графическое обозначение асинхронного RS-триггера

Функционирование RS-триггера определяется уравнением:

$$Q_{n+1} = \overline{R}_n S_n + \overline{R}_n Q_n.$$

где Q_n и Q_{n+1} – соответственно, предыдущее и новое состояние триггера.

Поведение триггера можно определить сокращенной таблицей истинности, представленной в таблице 3.1, в которой сигналы на входах R и S определены для момента времени n , а состояние триггера определяется для следующего момента времени, который определяют как $n+1$.

Таблица 3.1

S_n	R_n	Q_{n+1}	Примечание
0	0	-	запрещено
0	1	1	запись единицы
1	0	0	запись нуля
1	1	Q_n	хранение

Поведение триггера также можно описать таблицей переходов предоставленной в таблице 3.2. Эта таблица определяет значения сигналов на входах, при которых происходит переход триггера из исходного состояния Q_n в состояние Q_{n+1} . Исходное и конечное состояние триггера записаны, соответственно в столбцах Q_n и Q_{n+1} , а значения сигналов в момент времени « n » на его входах – в столбцах S_n и R_n .

Таблица 3.2

Q_n	$\overline{S_n}$	$\overline{R_n}$	Q_{n+1}
0	1	\times	0
0	0	1	1
1	1	0	0
1	\times	1	1

3.2 JK-триггер

JK-триггер имеет два информационных входа J и K , предназначенные для установки его выхода в логическое состояние 1 или 0. В интегральной схемотехнике JK-триггеры обычно выполняются синхронными, поэтому сигналы на информационных входах влияют на состояние JK-триггера только при поступлении тактового сигнала на его вход синхронизации C .

На рисунке 3.4 приведен один из вариантов построения синхронного двухступенчатого JK-триггера.

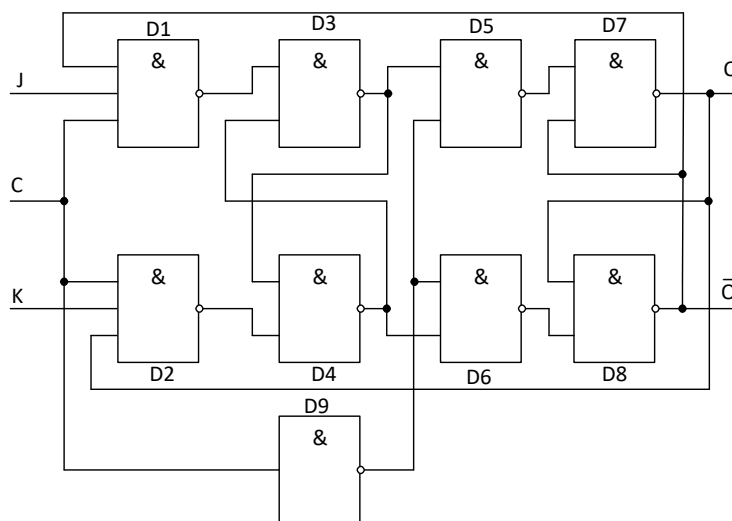


Рисунок 3.4 – Схема синхронного двухступенчатого JK-триггера

Схема состоит из основного \overline{RS} -триггера на логических элементах D3, D4 и дополнительного – на логических элементах D7, D8. Логические элементы D1 и D2 обеспечивают синхронизацию основного триггера, а элементы D5 и D6 – синхронизацию дополнительного триггера. Основной триггер тактируется потенциалом логической 1, поступающим на вход C. Логический элемент D9 инвертирует тактовый сигнал, поэтому дополнительный триггер тактируется потенциалом логического 0.

Рассмотрим работу триггера при разных комбинациях входного сигнала. Пусть в исходном положении триггер находится в нулевом состоянии ($Q=0$). Тогда на одном из входов элементов D1 и D2 будут, соответственно, логическая 1 ($\overline{Q}=1$) и логический 0 ($Q=0$). При отсутствии входов тактового импульса, то есть при $C=0$, элементы D1 и D2 закрыты независимо от того, какие сигналы будут на остальных их входах.

Пусть на вход J подан сигнал логической 1 ($J=1$), а на входе K отсутствует логический 0 ($K=0$). Тогда с приходом импульса синхронизации $C=1$ элемент D1 откроется, а элемент D2 останется закрытым. Одновременно с этим закроются оба элемента D5 и D6 сигналом логического 0, снимаемым с выхода инвертора D9. Сигнал логического нуля с выхода открытого элемента D1 установит основной триггер в состояние 1. Тогда на одном из входов элемента D5 будет сигнал логической 1, а на входе элемента D6 – сигнал логического 0. Эти сигналы никак не повлияют на состояние дополнительного триггера, так как во время действия импульса синхронизации $C=1$ элементы D5 и D6 закрыты нулевым потенциалом выхода инвертора D9. По окончании импульса синхронизации элементы D1 и D2 закроются, а на выходе элемента D9 и, следовательно, входы элементов D5 и D6 появятся логическая 1. Так как основной триггер находится в состоянии 1, то откроется элемент D5 и установит дополнительный триггер в состояние 1 ($Q=1$).

Аналогично можно показать, что при $J=1$ и $K=1$ с приходом импульса синхронизации, триггер установится в состояние логического нуля $Q=0$. Таким образом, в триггере данного типа изменение выходного сигнала происходит только в моменты, когда потенциал на входе синхронизации C переходит из 1 в 0. Поэтому говорят, что эти триггеры тактируются образом тактового импульса в отличие от триггеров, тактируемых потенциалом.

Временная диаграмма работы JK-триггера показана на рисунке 3.5.

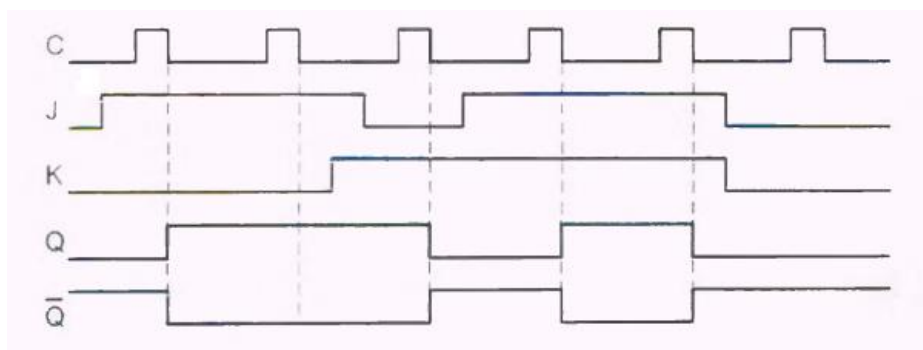


Рисунок 3.4 – Временная диаграмма работы JK-триггера

Функционирование JK-триггера определяется уравнением:

$$Q_{n+1} = J_n \overline{Q_n} + \overline{K_n} Q_n.$$

Работа JK-триггеров описывается таблицей истинности, предоставленной в таблице 3.3, и таблицей переходов, предоставленной в таблице 3.4. Произвольное состояние сигнала в таблице 3.4 помечено символом \times .

Таблица 3.3

J_n	K_n	Q_{n+1}	Примечание
0	0	Q_n	хранение
0	1	0	запись нуля
1	0	1	запись единицы
1	1	$\overline{Q_n}$	счетный режим

Таблица 3.4

Q_n	J_n	K_n	Q_{n+1}
0	0	\times	0
0	0	\times	1
1	\times	1	0
1	\times	0	1

В отличие от RS-триггера, в JK-триггере наличие $J=K=1$ приводит к переходу выхода Q триггера в противоположное состояние. Эта особенность JK-триггера используется в практике – при объединение входов J и K получается так называемый T-триггер, или счетный триггер, который изменяет состояние выхода по фронту импульса на входе C. T-триггер может иметь подготовительный вход T (точка объединения входов J и K). Сигнал на этом входе разрешает (при $T=1$) или запрещает (при $T=0$) срабатывание триггера от фронтов импульсов на входе C. Функционирование T-триггера определяется уравнением:

$$Q_{n+1} = T_n \overline{Q_n} + \overline{T_n} Q_n.$$

Из этого уравнения следует, что при $T=1$ соответствующий фронт сигнала на входе C переводит триггер в противоположное состояние. Частота изменения потенциала на выходе T-триггера в два раза меньше частоты импульсов на входе C. Это свойство T-триггера позволяет строить на их основе двоичные счетчики. Поэтому эти триггеры и называют счетными. Счетный триггер без входа T ведет себя так же, как и T-триггер при $T=1$.

Чтобы расширить функциональные возможности JK-триггера, его снабжают асинхронными входами R и S, которые имеют приоритет по отношению к другим входам. На рисунке 3.5 представлен JK-триггер К555ТВ9. При подаче логического нуля на вход S триггер асинхронно устанавливается в единичное состояние, а при подаче логического нуля на вход R – в нулевое состояние.

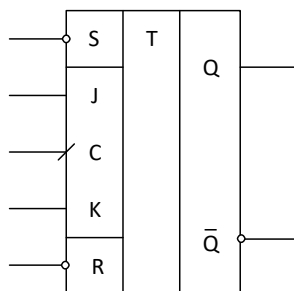


Рисунок 3.5 – Условное графическое обозначение JK-триггера

3.3 D-триггер

D-триггер или триггер задержки (delay) относится к синхронным триггерам. При поступлении синхросигнала на вход C устанавливается в состояние, соответствующее потенциалу на входе D. Уравнение функционирования D-триггера имеет вид:

$$Q_{n+1} = D_n.$$

Это уравнение показывает, что выходной сигнал Q_{n+1} изменяется сразу после изменения входного сигнала D , а только с приходом синхросигнала, то есть с задержкой на один период импульсов синхронизации.

Схема D-триггера с потенциальным управлением показано на рисунке 3.6. Основой D-триггера является асинхронный RS-триггер, выполненный на элементах D3 и D4.

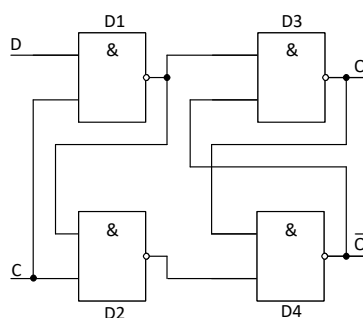


Рисунок 3.6 – Схема D-триггера с потенциальным управлением

При $C=0$ триггер хранит информацию, поскольку на выходах D1, D2 присутствуют единицы, что соответствует пассивным сигналам асинхронного триггера D3, D4. При $C=1$ в триггер записывается состояние сигнала D . Если $D=0$, то на выходе D1 формируется единица, а на выходе D2 формируется нуль, что приводит к записи в триггер нуля.

Наряду с приведенным выше уравнением поведение триггера можно описать таблицей истинности, приведенной в таблице 3.5.

Таблица 3.5

D_n	Q_{n+1}
0	0
1	1

А так же, наряду с приведенным выше уравнением поведение триггера можно описать таблицей переходов, предоставленной в таблице 3.6.

Таблица 3.6

Q_n	D	Q_{n+1}
0	0	0
0	1	1
1	0	0
1	1	1

Из приведенных таблиц видно, что для D-триггера нет запрещенной комбинации сигналов на входах D и C.

Изменение состояния D-триггера при воздействии входных сигналов показано на временно диаграмме, представленной на рисунке 3.7.

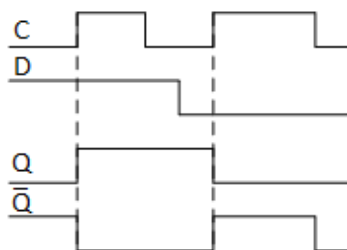


Рисунок 3.7 – Временная диаграмма работы D-триггера с потенциальным управлением

При активном синхросигнале нежелательно менять состояние сигнала информационном входе D. В момент окончания действия активного синхросигнала происходит переход триггера из режима записи в режим хранения принятой информации. Триггер как бы защелкивается в новом состоянии. Поэтому подобные триггеры иногда называют триггерами-защелками.

При активном синхросигнале изменение состояния сигнала на входе D повторяется на выходе. То есть триггер превращается в поворитель входного сигнала. Этим фактом иногда пользуются, например, для повышения нагрузочной способности схемы.

Особенностью триггеров с динамическим управлением является то, что они принимают информацию в течение короткого интервала времени вблизи активного фронта синхросигнала. На рисунке 3.8 показана схема D-триггера с динамическим управлением, которая реализована в составе микросхемы ТТЛ типа K555TM2.

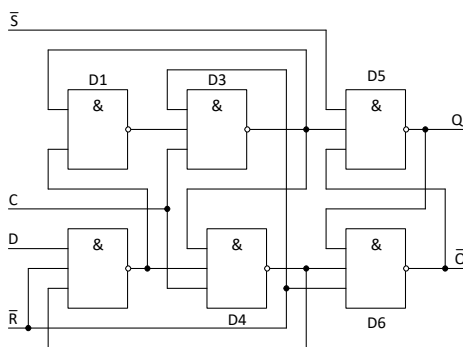


Рисунок 3.8 – схема D-триггера с динамическим управлением, реализована в составе микросхемы ТТЛ типа K555TM2

Пусть в исходном состоянии $C=0$ и $D=1$ (входы асинхронной установки S и R находятся в пассивном единичном состоянии и при анализе работы схемы не рассматриваются). Триггер сохраняет свое состояние. При этом на выходе элемента $D2$ присутствует логический ноль, в результате чего выход элемента $D1$ находится в единичном состоянии.

С приходом нарастающего фронта синхросигнала все входы элемента $D3$ имеют единичное состояние, что приводит, спустя время задержки элемента, к проявлению логического нуля на его выходе. Этот ноль поступает на входы элементов $D1$ и $D4$, блокируя информационный вход триггера D , то есть спустя время задержки всего одного элемента после прихода фронта синхросигнала изменение сигнала D не вызывает изменение состояния триггера. При этом ноль на выходе $D3$ переводит выходной сигнал $D5$ в единицу, а $D6$ – в ноль.

Таким образом, после прихода синхросигнала произойдет переключение выходного сигнала триггера через интервал времени, равный утроенному времени задержки логического элемента.

Аналогично триггер ведет себя при $D=0$, только в этом случае, только в этом случае блокирование информационного сигнала происходит нулем с выхода элемента $D4$ на вход элемента $D2$.

Предложенный анализ работы входной логики триггера, выполненной на элементах $D1$, $D2$ показывает, что с появлением нарастающего фронта на входе синхронизации спустя время задержки всего одного элемента происходит блокирование информационного входа так, что изменение состояния приходом следующего нарастающего фронта синхросигнала возможна запись в триггер нового состояния информационного сигнала.

Условное обозначение рассмотренного триггера с учетом асинхронных входов S и R представлено на рисунке 3.9. Наличие асинхронных входов расширяет функциональные возможности триггера. При подаче активного (в данном случае нулевого) сигнала на любой из асинхронных входов блокируется запись в триггер состояния информационного входа D .

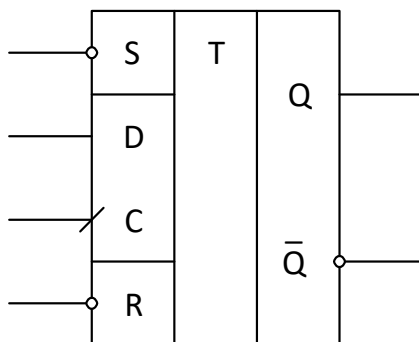


Рисунок 3.9 – Условное графическое обозначение триггера K555TM2

4 ВЫПОЛНЕНИЕ РАБОТЫ

4.1 RS-триггер

Условное графическое изображение RS-триггера представлено на рисунке 4.1.

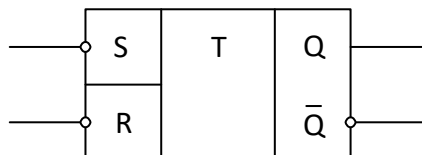


Рисунок 4.1 – Условное графическое изображение RS-триггера

Таблица истинности RS-триггера с установленным на входах «S» и «R» определенных логических сигналов изображена на рисунке 4.2.

	S	R	Q
Шаг 1	0	0	1
Шаг 2	1	0	0
Шаг 3	0	1	1
Шаг 4	1	1	1

Рисунок 4.2 – Таблица истинности шифратора с установленным на входе «E» логический сигнал 0

Исходя из вышеперечисленных данных, была построена диаграмма состояний RS-триггера с установленными на входах «S» и «R» определенных логических сигналов предоставленная на рисунке 4.3.

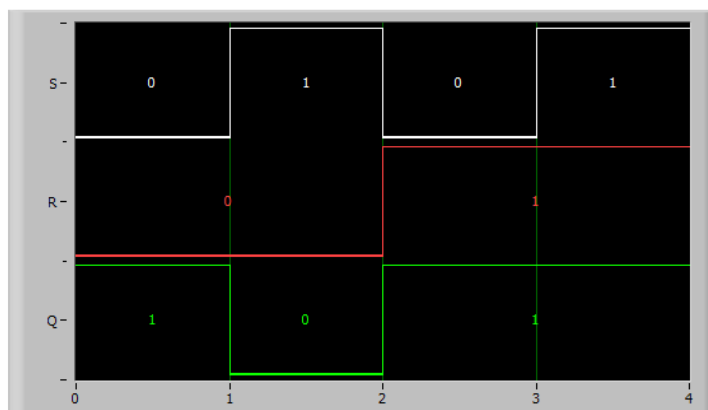


Рисунок 4.3 – Диаграмма состояний RS-триггера с установленными на входах «S» и «R» определенных логических сигналов

Изменяя с помощью элементов управления «S» и «R» состояние входных сигналов триггера, была построена таблица переходов RS-триггера, представленная в таблице 4.1.

Таблица 4.1

Выход Q_n	Вход R	Вход S	Выход Q_{n+1}
0	×	1	0
0	1	0	1
1	0	1	0
1	1	×	1

Синхронные триггеры с динамическим тактированием изменяют своё состояние только в момент определённого перехода тактового сигнала (либо $0 \rightarrow 1$, либо $1 \rightarrow 0$, то есть по переднему или заднему фронту тактового импульса).

4.2 JK-триггер

Условное графическое обозначение JK-триггера представлено на рисунке 4.4.

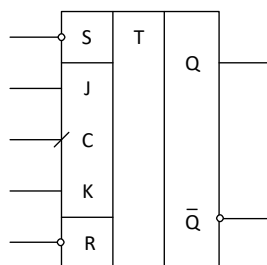


Рисунок 4.4 – Условное графическое обозначение JK-триггера

Таблица истинности JK-триггера изображена на рисунке 4.5.

	S	R	J	K	C	Q	/Q
War 1	1	1	0	0	П	1	0
War 2	1	1	0	1	П	0	1
War 3	1	1	1	0	П	1	0
War 4	1	1	0	0	П	1	0
War 5	1	1	1	0	П	1	0
War 6	1	1	0	1	П	0	1
War 7	1	1	0	0	П	0	1
War 8	1	1	1	1	П	1	0
War 9	1	1	1	1	П	0	1
War 10	1	1	1	1	П	1	0

Рисунок 4.5 – Таблица истинности JK-триггера

Диаграмма состояний с установленными на входах «S» и «R» определенных логических сигналов на рисунке 4.6.

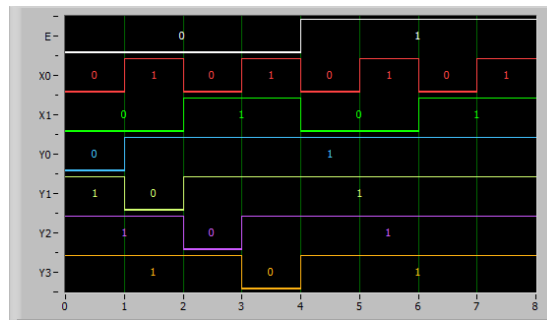


Рисунок 4.6 – Диаграмма состояний JK-триггера, при установленных на входах «S» и «R» определенных логических сигналов

Изменим состояние на входе «S» с логического 0 на логическую 1, а вход «R» оставим прежним в состоянии логического 0. В результате полученная диаграмма состояний с установленными на входах «S» и «R» определенных логических сигналов изображена на рисунке 4.7.

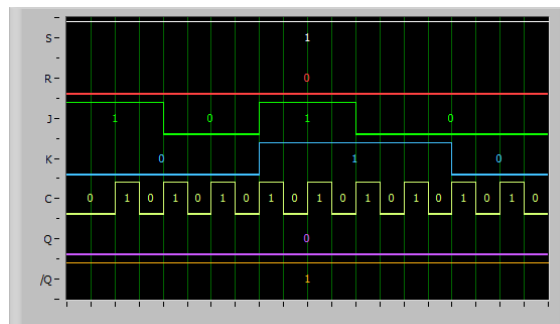


Рисунок 4.7 – Диаграмма состояний JK-триггера, при установленных на входах «S» и «R» определенных логических сигналов

Изменим состояние на входе «S» с логической 1 на логический 0, а вход «R» изменим с логического 0 на логическую 1. В результате полученная диаграмма состояний с установленными на входах «S» и «R» определенных логических сигналов изображена на рисунке 4.8.

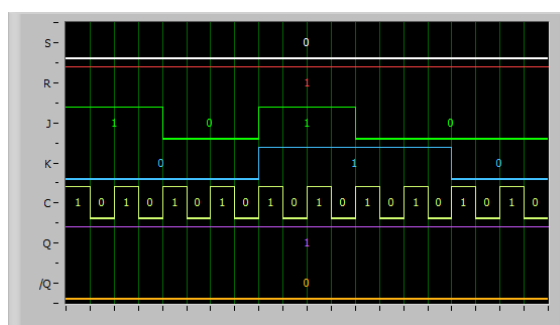


Рисунок 4.8 – Диаграмма состояний JK-триггера, при установленных на входах «S» и «R» определенных логических сигналов

Изменим состояние на входе «S» с логического 0 на логическую 1, а вход «R» оставим прежним в состоянии логической 1. В результате полученная диаграмма состояний с установленными на входах «S» и «R» определенных логических сигналов изображена на рисунке 4.9.

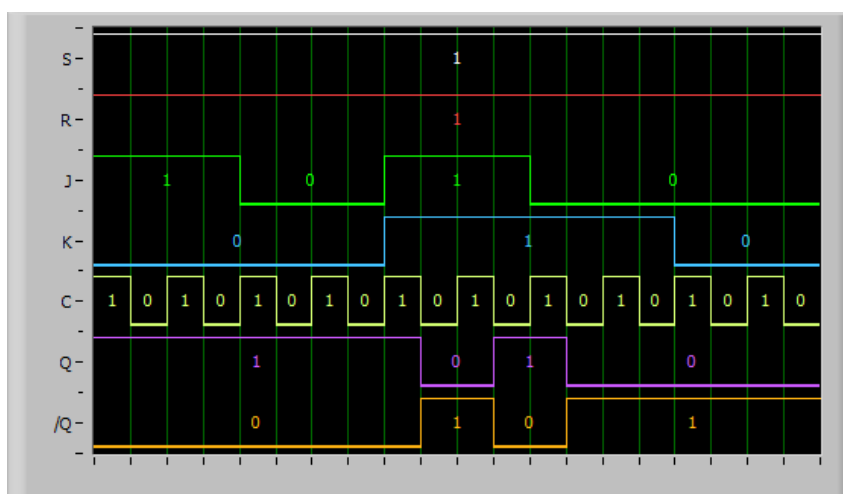


Рисунок 4.9 – Диаграмма состояний JK-триггера, при установленных на входах «S» и «R» определенных логических сигналов

По результатам исследований была составлена таблица переходов JK-триггера, представленная в таблице 4.2.

Таблица 4.2

Выход Q_n	Вход J	Вход K	Выход Q_{n+1}
0	×	0	1
0	0	1	0
1	1	0	1
1	0	×	1

Исходя из вышеуказанных таблиц истинности, а так же учитывая таблицу переходов, можно определить комбинации входных сигналов «J» и «K» соответствующие режимам работы JK-триггера. Данные комбинации занесены в таблицу 4.3.

Таблица 4.3

Режим работы	Вход J	Вход K
Хранение информации	0	0
Установка «1»	1	0
Установка «0»	0	1
Переключение	1	1

4.3 D-триггер

Условное графическое обозначение D-триггера представлено на рисунке 4.10.

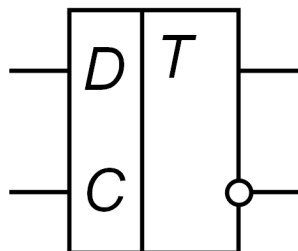


Рисунок 4.10 – Условное графическое обозначение D-триггера

Таблица истинности D-триггера изображена на рисунке 4.11.

	S	R	D	C	Q	/Q
Шаг 1	1	1	0	ЛГ	0	1
Шаг 2	1	1	1	ЛГ	1	0
Шаг 3	1	1	0	ЛГ	0	1
Шаг 4						

Рисунок 4.11 – Таблица истинности мультиплексора

Исходя из вышеперечисленных данных, была построена диаграмма состояний D-триггера, предоставленная на рисунке 4.12.

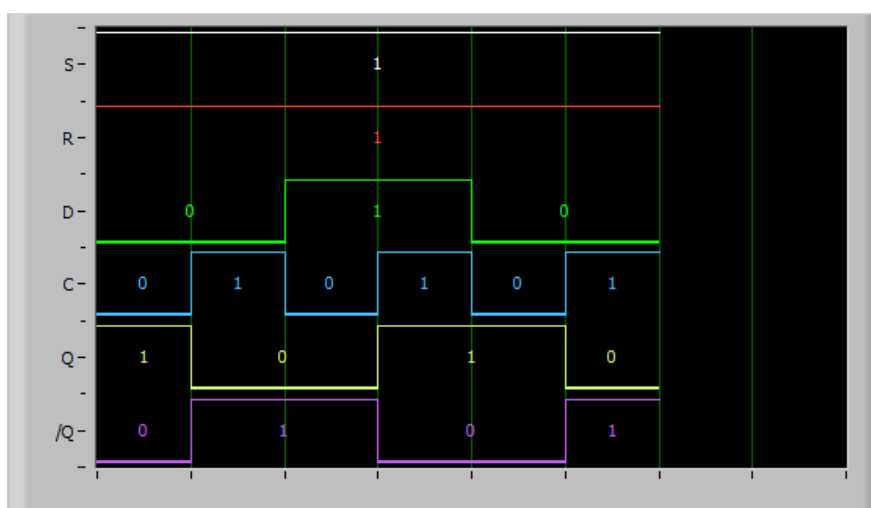


Рисунок 4.12 – Диаграмма состояний мультиплексора

Изменим состояние на входе «S» с логической 1 на логический 0 и вход «R» так же изменим в состояние логического 0. В результате полученная

диаграмма состояний с установленными на входах «S» и «R» определенных логических сигналов изображена на рисунке 4.13.

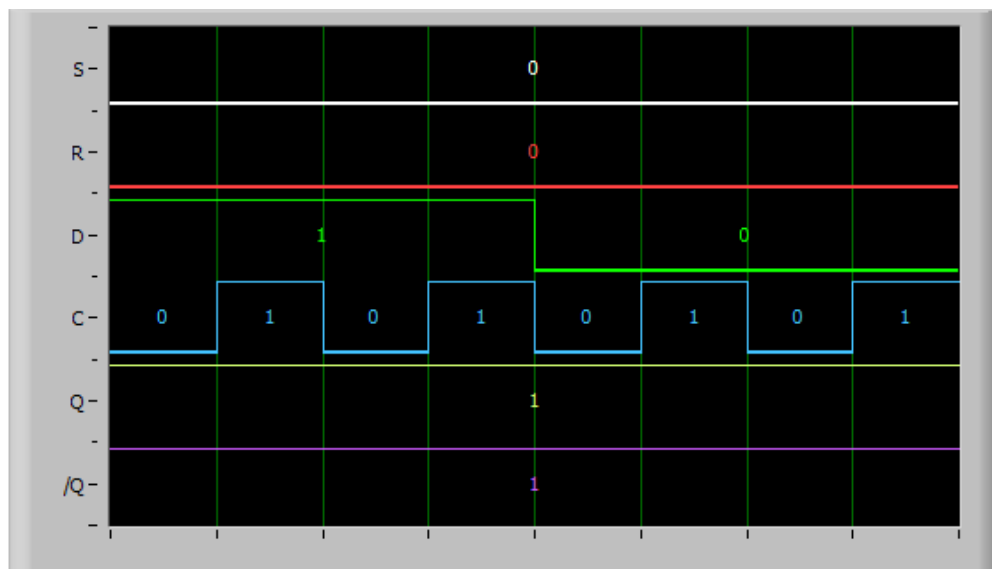


Рисунок 4.13 – Диаграмма состояний D-триггера, при установленных на входах «S» и «R» определенных логических сигналов

Изменим состояние на входе «S» с логического 0 на логическую 1, а вход «R» оставим в состоянии логического 0. В результате полученная диаграмма состояний с установленными на входах «S» и «R» определенных логических сигналов изображена на рисунке 4.14.

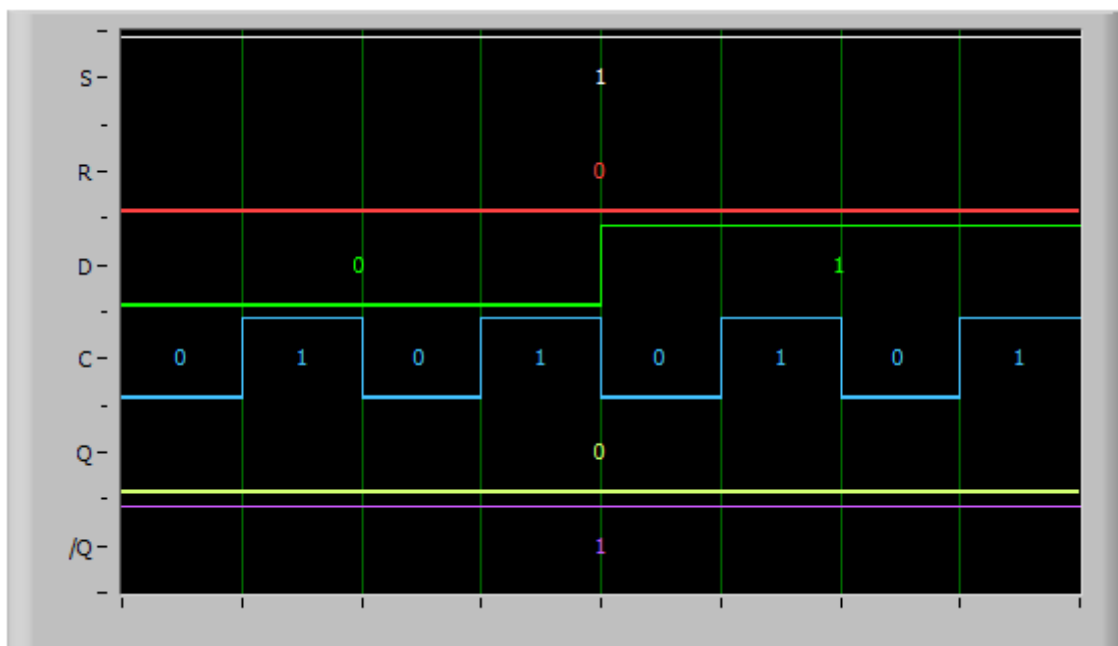


Рисунок 4.14 – Диаграмма состояний D-триггера, при установленных на входах «S» и «R» определенных логических сигналов

Изменим состояние на входе «S» с логической 1 на логический 0, а вход «R» изменим состояние с логического 0 на логическую 1. В результате полученная диаграмма состояний с установленными на входах «S» и «R» определенных логических сигналов изображена на рисунке 4.15.

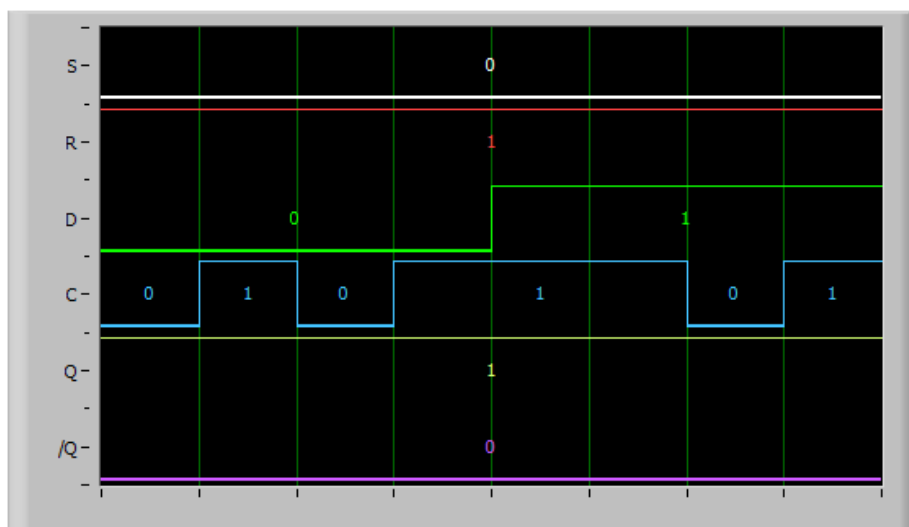


Рисунок 4.15 – Диаграмма состояний D-триггера, при установленных на входах «S» и «R» определенных логических сигналов

Изменим состояние на входе «S» с логического 0 на логическую 1, а вход «R» оставим в прежнем состоянии логической 1. В результате полученная диаграмма состояний с установленными на входах «S» и «R» определенных логических сигналов изображена на рисунке 4.16.

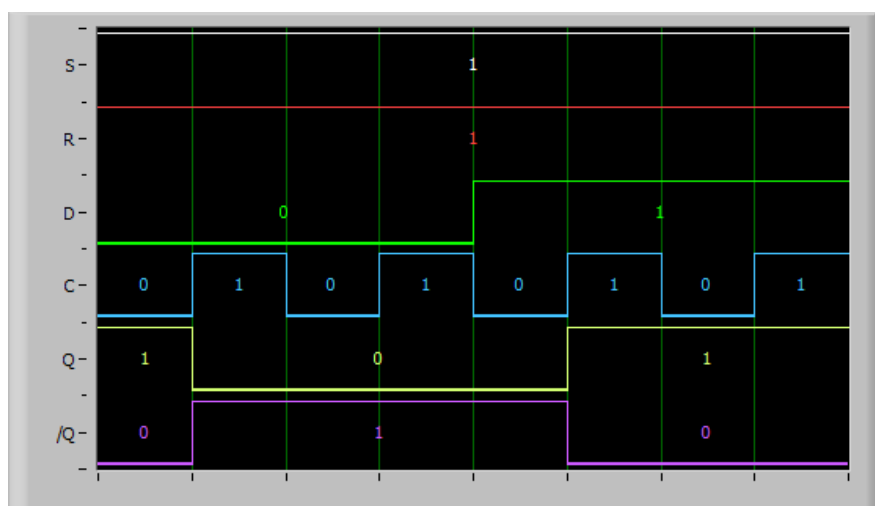


Рисунок 4.16 – Диаграмма состояний D-триггера, при установленных на входах «S» и «R» определенных логических сигналов

По результатам исследований была составлена таблица переходов D-триггера, представленная в таблице 4.4.

Таблица 4.4

Выход Q_n	Вход D	Выход Q_{n+1}
0	0	0
0	1	1
1	0	0
1	1	1

Исходя из вышеуказанных таблиц истинности, а так же учитывая таблицу переходов, можно определить при каких значениях входного сигнала «D» происходит установка триггера в состояние «1» и «0». Данные значения занесены в таблицу 4.5.

Таблица 4.5

Режим	D
Установка «1»	1
Установка «0»	0

При активном уровне на входе S или R (асинхронном режиме работы), триггер работает как RS-триггер. Сигналы на входах C и D не влияют на работу триггера в режиме асинхронного управления.

Триггер меняет своё состояние по фронту тактового импульса C (при переходе из 0 в 1).

5 ВЫВОД

Изучили работу RS-триггера, JK-триггера и D-триггера. Получили их таблицы истинности и диаграммы состояний входных и выходных сигналов, а так же составили таблицы переходов.

При изучении работы RS-триггера заполнили таблицу переходов и пояснили, при каких переключениях входных сигналов состояние триггера изменяется.

При изучении работы JK-триггера в статическом режиме заполнили таблицу переходов и определили, при каких комбинациях входных сигналов «J» и «K» соответствуют определенным режимам работы.

При изучении работы JK-триггера в динамическом режиме по временной диаграмме определили, по какому перепаду тактового импульса на входе «C» происходят переключения JK-триггера.

При изучении работы D-триггера в статическом режиме заполнили таблицу переходов и определили, при каких значениях входного сигнала «D» происходит установка состояния «1» и «0».

При изучении работы D-триггера в динамическом режиме по временной диаграмме определили, по какому перепаду тактового импульса на входе «C» происходят переключения D-триггера.