HW4 image scale-down

一. 概念 (解釋什麼是image scaling)

Image scale-down (降低解析度)

舉例:

p(0,0)	p(0,1)	p(0,2)	p(0,3)
p(1,0)	p(1,1)	p(1,2)	p(1,3)
p(2,0)	p(2,1)	p(2,2)	p(2,3)
p(3,0)	p(3,1)	p(3,2)	p(3,3)



p'(0,0)	p'(0,1)
p'(1,0)	p'(1,1)

p'(0,0)=(p(0,0)+p(0,1)+p(1,0)+p(1,1))/4; p'(0,1)=(p(0,2)+p(0,3)+p(1,2)+p(1,3))/4; p'(1,0)=(p(2,0)+p(2,1)+p(3,0)+p(3,1))/4;p'(1,1)=(p(2,2)+p(2,3)+p(3,2)+p(3,3))/4;

<u>說明:</u> 降低取樣點數--每四點取樣平均值一點 (better results but more computations)

補充說明:

硬體設計處理影像儲存空間技巧為 buffer line 和 RAM,由於 RAM 要產生 megafunction(HW6),所以此次作業建議使用 buffer line 方式作影像資料存取。

buffer line 的概念,是用 register 將影像 列(row)資料作暫存動作, 舉 scale down 產生 p'(0,0)和 p'(0,1)例子:

 $p'(0,0) = [p(0,0)+p(0,1)+p(1,0)+p(1,1)]/4 = \{[p(0,0)+p(0,1)]/2+[p(1,0)+p(1,1)]/2\}/2$ $p'(0,1) = [p(0,2)+p(0,3)+p(1,2)+p(1,3)]/4 = \{[p(0,2)+p(0,3)]/2+[p(1,2)+p(1,3)]/2\}/2$

- (1)p(0,0)和 p(0,1)作相加取平均暫存至 buffer[0]
- (2)p(0,2)和 p(0,3)相加取平均暫存至 buffer[1]
- (3)取 p(1,0)和 p(1,1)的平均後, 再跟 buffer[0]作相加取平均
- (4)取 p(1,2)和 p(1,3)的平均後, 再跟 buffer[1]作相加取平均

4	o.	٠	13	L
1		1		١
				1
٩				ı

p(0,0)	p(0,1)	p(0,2)	p(0,3)
p(1,0)	p(1,1)	p(1,2)	p(1,3)
p(2,0)	p(2,1)	p(2,2)	p(2,3)
p(3,0)	p(3,1)	p(3,2)	p(3,3)

buffer[0]= [p(0,0)+p(0,1)]/2

0 1

buffer

(2)

p(0,0)	p(0,1)	p(0,2)	p(0,3)
p(1,0)	p(1,1)	p(1,2)	p(1,3)
p(2,0)	p(2,1)	p(2,2)	p(2,3)
p(3,0)	p(3,1)	p(3,2)	p(3,3)

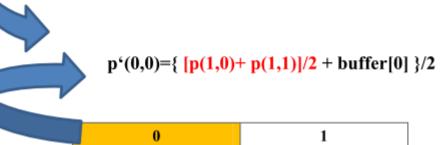
buffer[1]= [p(0,2)+ p(0,3)]/2



當處理第二列時,即可使用 buffer 的資料協助,並可產生出 p'(0,0)和 p'(0,1)

(3)

p(0,1)	p(0,2)	p(0,3)
p(1,1)	p(1,2)	p(1,3)
p(2,1)	p(2,2)	p(2,3)
p(3,1)	p(3,2)	p(3,3)
	p(1,1)	p(1,1) p(1,2) p(2,2)



(4)

p(0,0)	p(0,1)	p(0,2)	p(0,3)
p(1,0)	p(1,1)	p(1,2)	p(1,3)
p(2,0)	p(2,1)	p(2,2)	p(2,3)
p(3,0)	p(3,1)	p(3,2)	p(3,3)

buffer

$$p'(0,1)=\{ [p(1,2)+p(1,3)]/2 + buffer[1] \}/2$$

U

此處 Buffer line 在 verilog 宣告使用 reg 型態變數,

★v: reg [data_width-1:0] buffer [data_num-1:0]

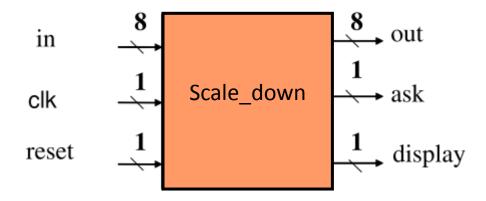
假設存取的資料大小為 8 bit, buffer 的個數為 2,則會宣告成: reg [7:0] buffer [1:0]

若要存取 Buffer line 成員,則為 buffer [index]

如: buffer[0] or buffer[1]

二.作業說明:

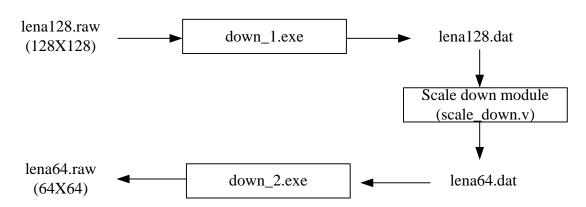
- 1. 完成 image scaling down
- 2. 參考模組:



- (1) in:輸入的像素值
- (2) out: 輸出像素值
- (3) ask: 告知 testbench 傳入像素值到 in 信號
- (4) display: 告知 testbench , out 訊號已經準備好了,可以去抓輸出值。

三.流程:

1.第一和第二個演算法的流程如下:



四. 附件說明:

- (1) scale_down.v: User design
- (2) scale_down_tb.v : User design testbench
- (3) down_1.exe:如上圖,將圖檔 (.raw 格式)轉成 verilog 可以吃的格式
- (4) down_2.exe:如上圖,將 verilog的 output 轉圖檔(.raw 格式)
- (5) xxx128.raw: 128 x 128 大小的圖檔(.raw 格式)

五.評分方式:

Pre_Sim: 70%
Post sim:30%

設計成本低、效能好分數越高,請將 Quartus 合成後的模擬結果:

(1) cycle time (2) finish time (3)Logic cells 數目,寫在報告文件中

<u>注意:</u>

- (1)請勿擅自修改 testbench 檔案
- (2)Pre_sim 和 Post_sim 的 lena64.dat 結果需相同,且不可以出現 unknown 訊號
- (3)上傳病毒0 分
- (4)有問題請寄信至 p76984063@mail.ncku.edu.tw

六.繳交作業方式:

- 1. by FTP(公告在網頁)
- 2.上傳檔案內容
- (1)scale_down.v(2) 報告文件
- 3. 檔案命名方式

請將作業上傳到各作業的資料夾,且將整個作業壓縮成以下格式:

#HW4_名字_學號_版本.rar

Ex:#HW4_陳大頭_P76543210_2.rar

RAW 檔圖編輯軟體(http://www.irfanview.com/)

下載紅框的載點,並作安裝



開圖檔會出現視窗,請填入影像長寬後,並選用 8BPP,再按 OK 即可出現影像

