**VLSISystemDesign**

**Homework-1**

**Part1**

**學號：N26991784**

**姓名：林宏達**

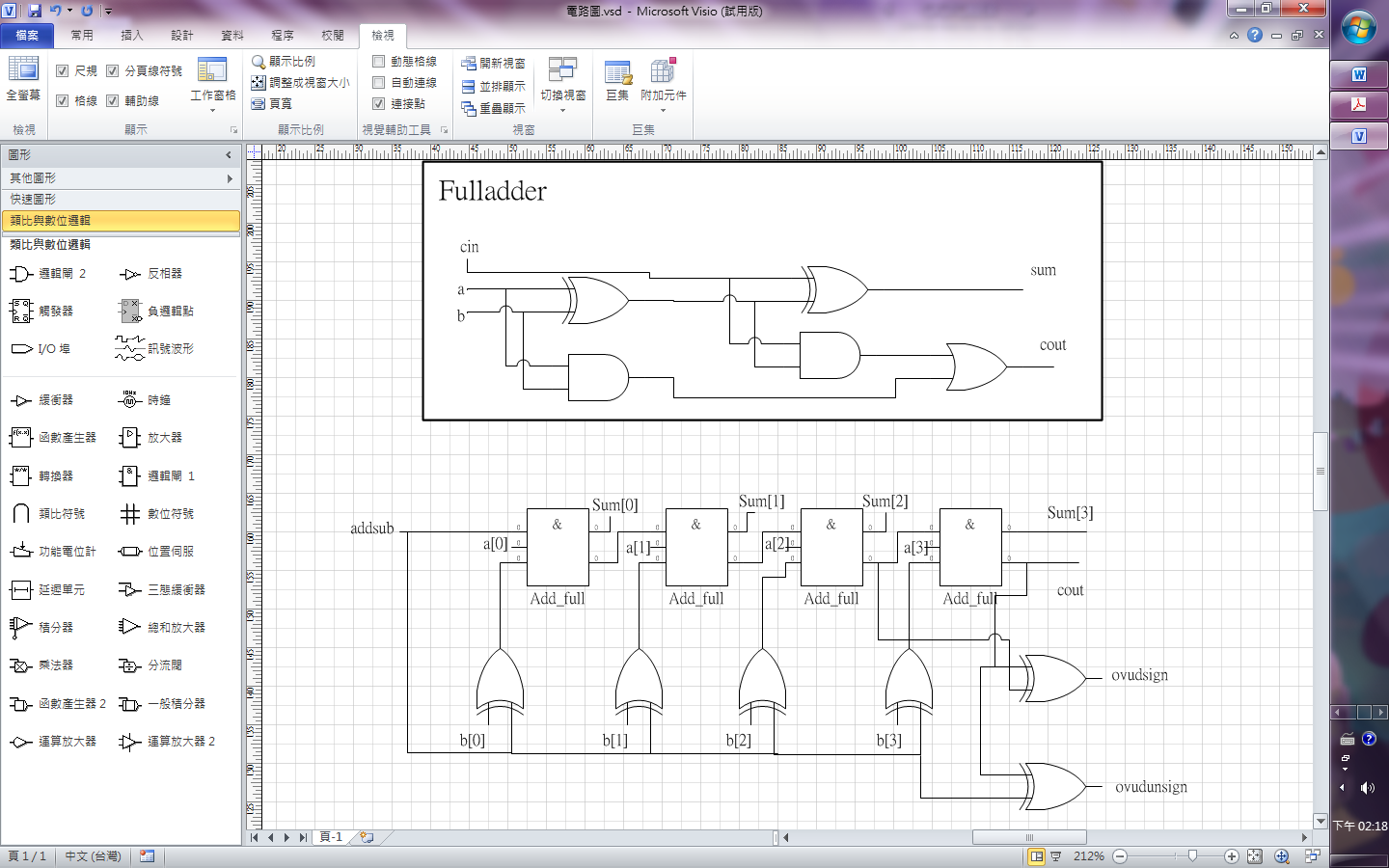
1. **(20 points) Write and verify Verilog for a 4-bit ripple-carry style adder/subtractor。**

**a. A summary in the beginning to state what has been done (such as SMILE CPU, synthesis, post-synthesis simulation, additional branch instruction with verification)**

ANS：我們做了pre- synthesis simulation。

**b. A block diagram for your completed SMILE CPU indicating all necessary components and I/O pins. Note please use MS Visio that is available in computer center in the university.**

ANS：



**C. Simulated waveforms with proper explanation**

ANS：

利用四個Fulladder去接成RCA，其中因為有分sign與unsign的運算，所以我的output的overflow又分為sign與unsign。其中，當作a-b的時候，我是利用b與addsub(加法減法的選擇)做XOR，當addsub為0(加法)時，b與0做XOR為b，當addsub為1(減法)時，b會做1的補數，這時候電路的addsub接到第一級的Cin，這樣就完成了a-b這項運算。

其中，我給的測試值為：

#0 addsub=1，a= 4’b0000，b =4’b0000

#10 addsub=1，a=4’b0001，b=4’b1010

#20 addsub=0，a=4’b0100，b=4’b0101

#30 addsub=0，a=4’b1010，b=4’b0110

#40 addsub=1，a=4’b0001，b=4’b0010

#50 addsub=1，a=4’b0011，b=4’b1001

#60 addsub=1，a=4’b1101，b=4’b1000

#70 addsub=0，a=4’b1010，b=4’b0001

#80 addsub=0，a=4’b0000，b=4’b1001

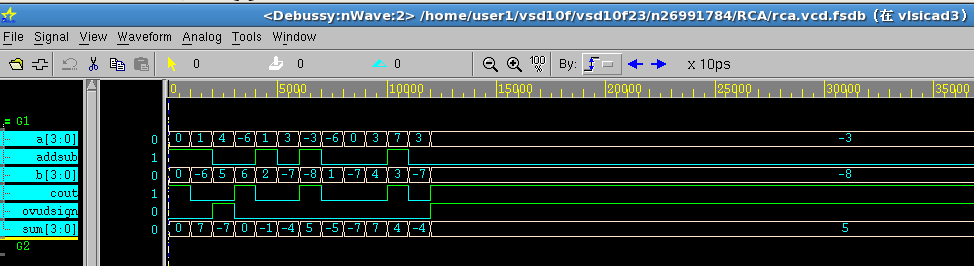
#90 addsub=0，a=4’b0011，b=4’b0100

#100 addsub=1，a=4’b0111，b=4’b0011

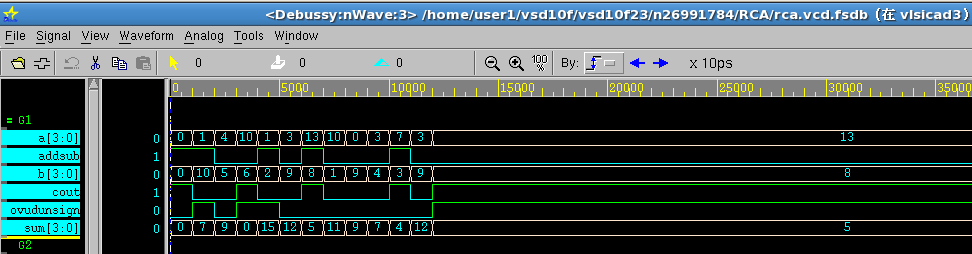
#110 addsub=0，a=4’b0011，b=4’b1001

#120 addsub=0，a=4’b1101，b=4’b1000

**輸出結果圖：**

****

**圖一(sign)**

****

**圖二(unsign)**

**D. Learned lesson and Conclusion**

ANS：與ALU一起。

1. **(30 points) Write and verify a 32-bit ALU that could perform the following arithmetic and logic operations:**

**Logic operations: AND, OR, XOR, NOP**

**Arithmetic operations: ADD, SUB**

**Shift & Rotate operations: SLLI (Shift Left Immediate), SRLI (Shift Right Immediate) and ROTRI (Rotate Right Immediate)**

**a. A summary in the beginning to state what has been done (such as SMILE CPU, synthesis, post-synthesis simulation, additional branch instruction with verification)**

ANS：我們做了pre- synthesis simulation。

**b. A block diagram for your completed SMILE CPU indicating all necessary components and I/O pins. Note please use MS Visio that is available in computer center in the university.**

**ANS：無**

**C. Simulated waveforms with proper explanation**

這一個部分是把參考的code做修改，所以只針對作業部分的9個運算執行。所以給的測試值也只有給9個。

輸入的值為：

scr1=32'hFFFFFFFF；scr2=32'hEEEEEEEE；enable\_execute=0；reset=1；scr1=32'h00000000；scr2=32'h00000000；

scr1=32'h33333333；scr2=32'h44444444；

scr1=32'h66666666；scr2=32'h55555555；

scr1=32'h77777777；scr2=32'h88888888；

scr1=32'h88888888；scr2=32'h77777777；

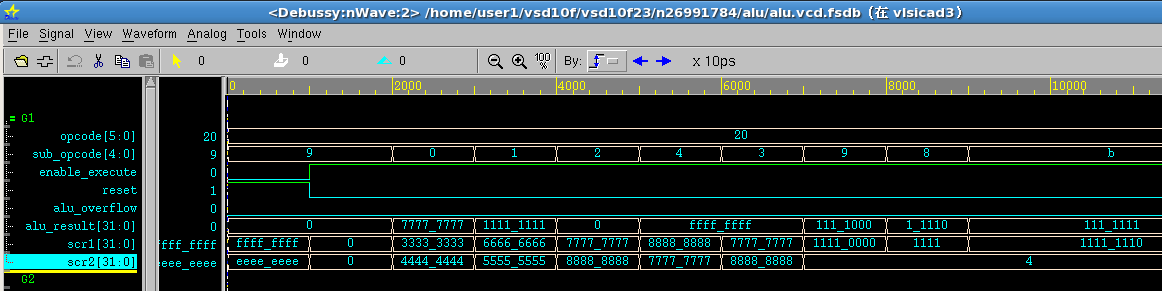
scr1=32'h77777777；scr2=32'h88888888；

scr1=32'h11110000；scr2=32'h00000004；

scr1=32'h00001111；scr2=32'h00000004；

scr1=32'h11111110；scr2=32'h00000004；

**輸出結果圖：**

****

**圖三(alu)**

**D.Learned lesson and Conclusion：**

**因為寫verilog code是第一次，所以甚麼新手會發生的問題都發生了，但是也都一一克服了，老實說，這次的作業讓我學到真的很多，甚麼地方不該加“；”但是卻又不小心加了，又或者是timescale的問題等等，隨著難度越來越難，作業也越來越有挑戰，期待下次能夠學到更多。這次有一個畫電路的軟體“VISIO”因為我是用office2010所以學校的版本沒有提供，但是如果是用2007就有這軟體，所以造成有些許的困擾。**