# 《数字逻辑与EDA》期末考试试卷B卷 (闭卷)

## 填空题（共10小题，每空1分，有标记的除外，共16分）

1、（27.675）10=（ ）2=（ ）16

2、（-0.1011）2=（  ）反=（ ）补

3、三态门的输出有（ ）三种状态。

4、若采用奇校验，当信息位为 010101111时，校验位应是（ ）

5、若要消除函数对应的逻辑电路可能存在的险象，则应增加的冗余项是（ ）.（此题3分）

6、优先编码器的多个输入端（ ）同时输入有效信号

7、欲把J－K触发器转换成T触发器，则J=（ ），K=（ ）

8、存在约束条件的触发器是（ ）触发器

9、已知 “a =1b'1; b=3b'001;”那么{a, b}＝（ ）

10、大规模可编程器件主要有CPLD、FPGA两类，其中 器件基于SRAM结构， 器件基于乘积项结构。

## 单项选择题（共8小题，每小题2分，共16分）

1、求一个逻辑函数F的对偶式，不可将F中的（ ）。

A．“+”换成“🞄”，“+”换成“🞄” B. 原变量换反变量，反变量换原变量

C．原变量不变 D. 常数中的“0”换“1”，“1”换“0”

2、组合逻辑电路通常由（ ）组合而成

A．门电路　　B．触发器　　　 C．计数器　　　 D．寄存器

3、数字信号的典型代表是（　　）

A．正弦波 　B．矩形波 C．尖峰波 D．三角波

4、十六路数据分配器，其地址输入（选择控制端）有（ ）个

A. 4 B. 8 C. 16 D. 2

5、一位8421 BCD码计数器至少需要（ ）个触发器

A．3 B．4 C．5 D．10

6、T触发器T=1，有一个10kHz时钟输入，Q输出是（ ）

A．持续为高 B．持续为低 C．10kHz方波 D．5kHz方波

7、对完全确定原始状态表中的7个状态，A、B、C、D、E、F、G进行化简，若有（A，B）、（B、C）、（E，F）、（F，G）等效，则最简状态表中只有（ ）个状态

A. 5 B. 4 C. 7 D. 3

8、Verilog HDL仿真文件中，如果时间尺度定义为`timescale 10ns/100ps，下列说法中正确的是 。

A. 时间精度是10ns； B.时间精度是100ps；

C. 时间单位是100ps； D.时间单位不确定。

## 简答题（共2小题，每小题6分，共12分）

1. 把化成最简“与——或”式和最简“或——与”式。
2. 画出下面程序综合出来的电路图（时序元件用D触发器）。

|  |
| --- |
| always@(posedge clk)  begin  q0<= ~ q2;  q1<= q0;  q2<= q1;  end |

## 程序代码补全(共6个空，每个空2分，共12分)

下面是case语句编写的3-8译码器电路，将横线上的语句补上，使程序形成完整功能。

|  |
| --- |
| module decoder38(sel, csout);  ① ;  ② ;  reg[7:0] csout;  always @ ( sel, csout)  begin  case( ③ )  3’b000 : csout = 8’b 11111110;  3’b001 : csout = 8’b 11111101;  3’b010 : csout = 8’b 11111011;  3’b011 : csout = 8’b 11110111;  3’b100 : csout = ④ ;  3’b101 : csout = 8’b 11011111;  3’b110 : csout = 8’b 10111111;  3’b111 : csout = 8’b 01111111;  ⑤ : csout = 8’b 11111110;  ⑥  end  endmodule |

## 分析题 (共2小题，共18分)

1、分析图1所示组合逻辑电路（每问2分，共6分）

（1） 写出输出函数表达式

（2） 列出真值表

（3） 说明电路功能

图1

2、分析图2所示同步时序逻辑电路（每问3分，共12分）

（1） 写出激励函数，指出电路属于哪种模型？

（2） 列出电路次态真值表；

（3） 作出状态表和状态图

（4） 说明电路功能，作出的波形图（两个触发器初始状态为0）

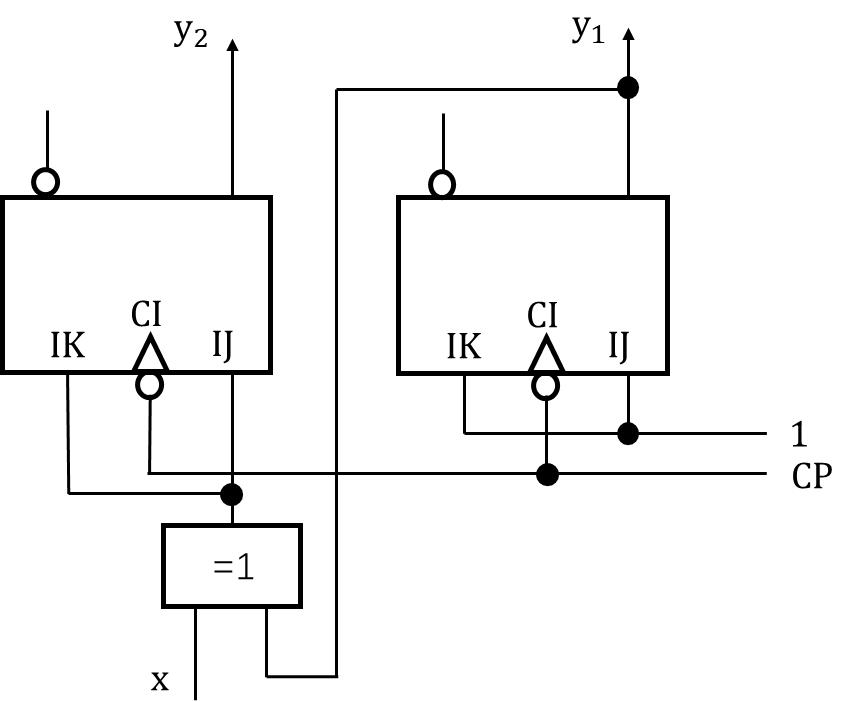


图2

## 数字逻辑电路设计题(共2小题，共26分)

1、某一序列检测器有一个输入端x和一个输出端Z。输入端x输入一串随机的二进制代码，当输入序列中出现011时，输出Z产生一个1输出，平时Z输出为0。

典型输入/输出序列如下：

输入x： 1 0 1 0 1 1 1 0 0 1 1 0

输出Z： 0 0 0 0 0 1 0 0 0 0 1 0

试作Mealy型原始状态图和状态表。（原始状态图5分，原始状态表5分）

2、用一片移位寄存器74194、一片3-8译码器74138和一个与非门，设计一个序列信号发生器，输出序列为01110100 （第一位输出0，第二位输出0，第三位输出1…）。设计要求序列从QB输出，移位器工作在右移模式。(共16分)

（1）给出设计过程（8分）；

（2）画出逻辑图（4分）；

（3）说明工作过程（4分）。

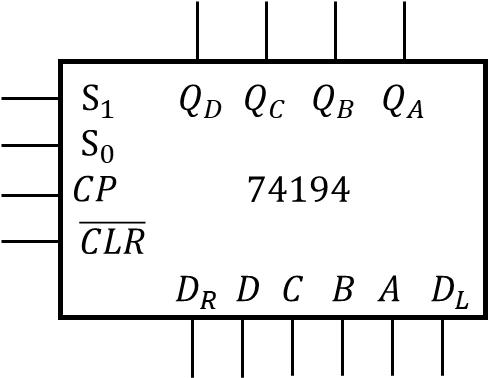
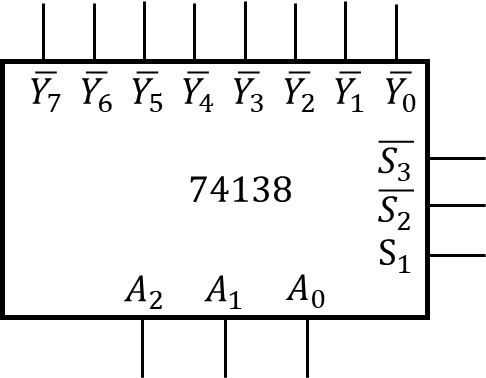
 

图3 74194逻辑符号 图4 74138逻辑符号

提示: 74194中，S1S0为工作方式选择信号。S1S0=11，LOAD数据；S1S0=01，右移；S1S0=10，左移；S1S0=00，保持；74138的控制信号忽略不用考虑。