

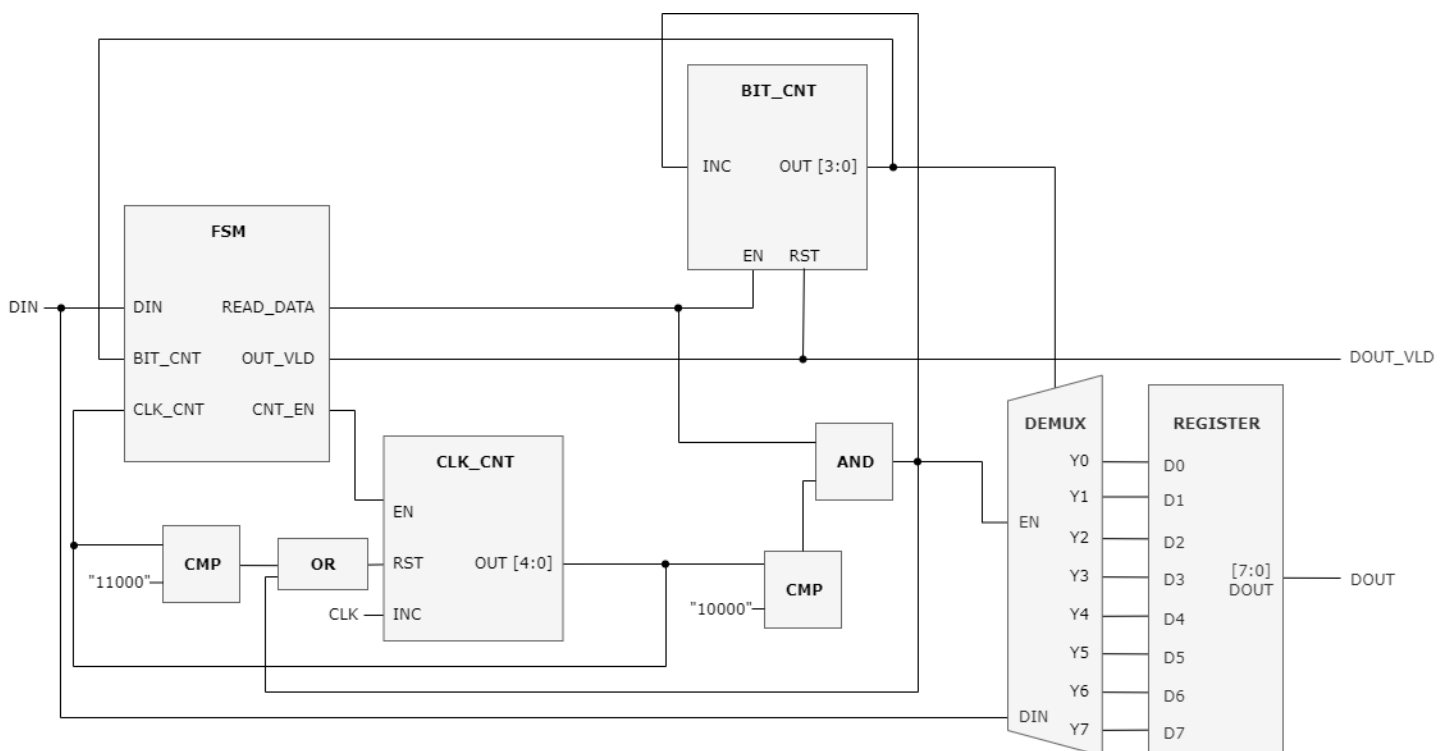
Výstupní zpráva projektu INC – Návrh číslicových systémů

Jméno: Kryštof Paulík

Login: xpauli08

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce

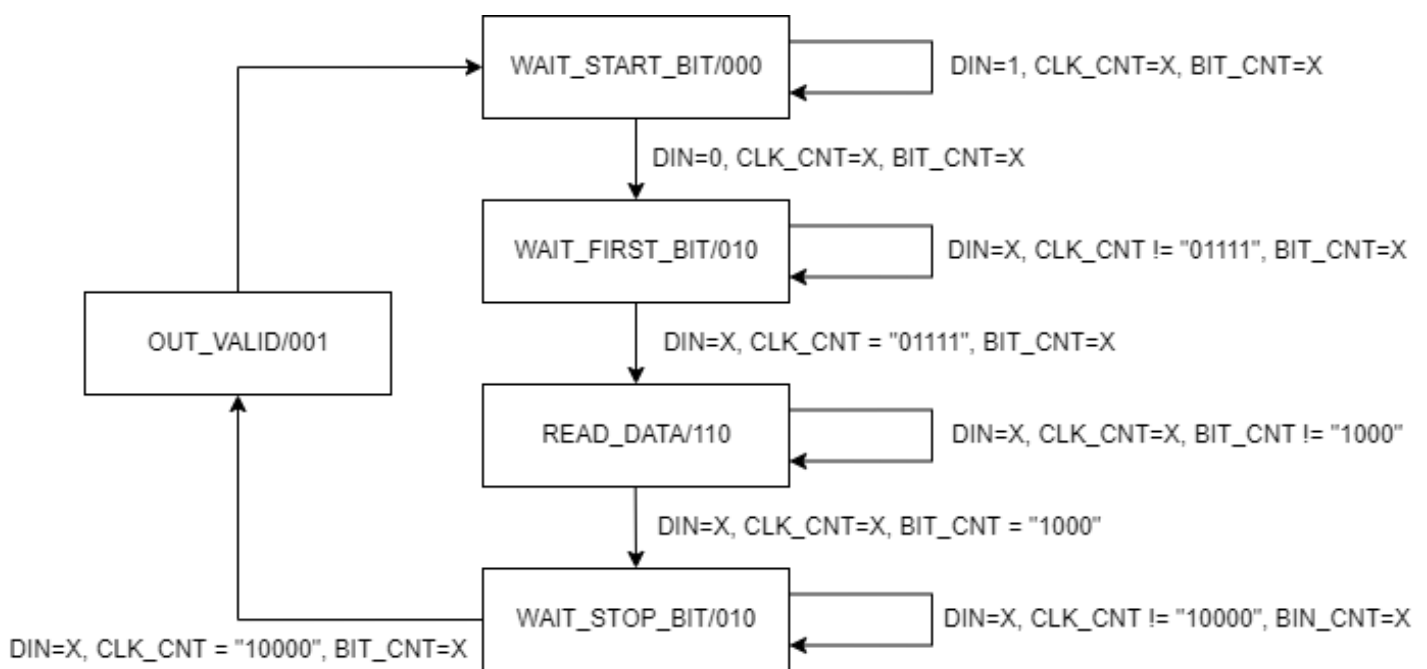
FSM na základě hodnoty obdržené z DIN nastavuje příslušné hodnoty na své výstupy. CLK_CNT počítá hodinové signály a BIT_CNT počítá načtené bity. Když je READ_DATA nastaveno na 1 a CLK_CNT dosáhne hodnoty 16 (nebo CLK_CNT dosáhne hodnoty 24), stane se následující: BIT_CNT se inkrementuje, vstup EN (enable) demultiplexoru se nastaví na 1, demultiplexor přiřadí hodnotu DIN do příslušného registru určeného hodnotou BIT_CNT a CLK_CNT se resetuje. Jakmile je načteno všech 8 bitů, počká se na konec stop bitu a DOUT_VLD se nastaví na 1, čímž zároveň resetuje BIT_CNT.

Návrh automatu (Finite State Machine)

Schéma automatu

Legenda

- Stavy automatu: WAIT_START_BIT, WAIT_FIRST_BIT, READ_DATA, WAIT_STOP_BIT, OUT_VALID
- Vstupní signály: DIN, BIT_CNT, CLK_CNT
- Moorovy výstupy: READ_DATA, CNT_EN, OUT_VLD



Popis funkce

Automat čeká na start bit ve stavu WAIT_START_BIT. Jakmile signál DIN změnil hodnotu z 1 na 0, přechází automat do stavu WAIT_FIRST_BIT, kde čeká na první bit. Po potřebném počtu taktů hodinového cyklu poté přechází do stavu READ_DATA. V tomto stavu automat setrvává, dokud nepřečte všech 8 bitů. Jakmile je BIT_CNT roven 8, přechází automat do stavu WAIT_STOP_BIT, kde čeká 16 taktů hodinového cyklu (než skončí stop bit) a poté přejde do stavu OUT_VALID. Ve stavu OUT_VALID automat pouze nastaví OUT_VLD na 1 a přechází do počátečního stavu.

Snímek obrazovky ze simulací

