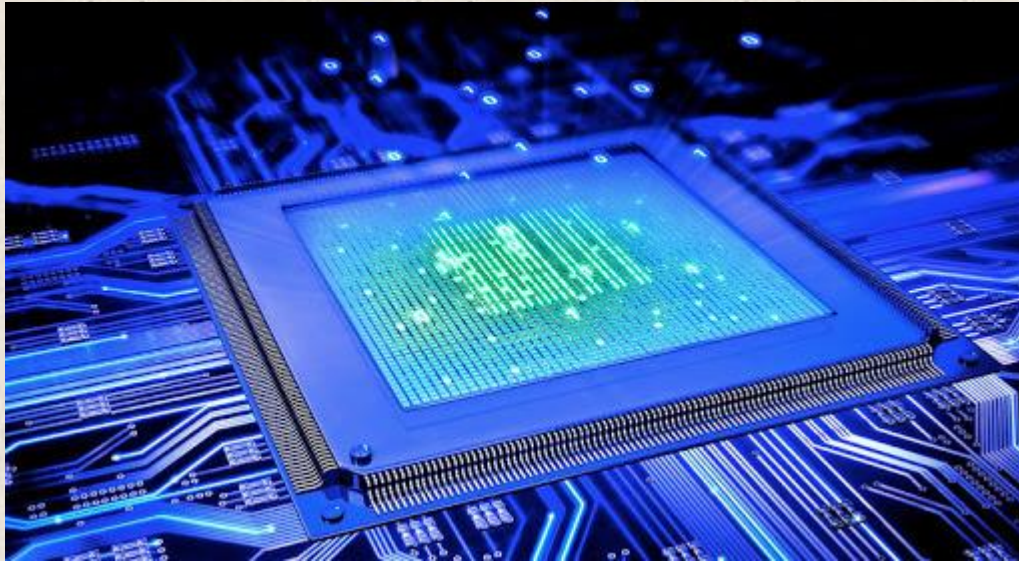


ARQUITETURA COMPUTADORES II

Portas E/S



Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

ENTRADAS COM SINAL EM ABERTO

Quando o pino é configurado como entrada, ele assume uma resistência elétrica muito alta para não interferir no sinal que está sendo aplicado

Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

ENTRADAS COM SINAL EM ABERTO

Devido a essa característica, quando não se tem nenhum sinal aplicado ao pino de entrada, o nível de tensão presente nesse pino fica variando

Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

ENTRADAS COM SINAL EM ABERTO

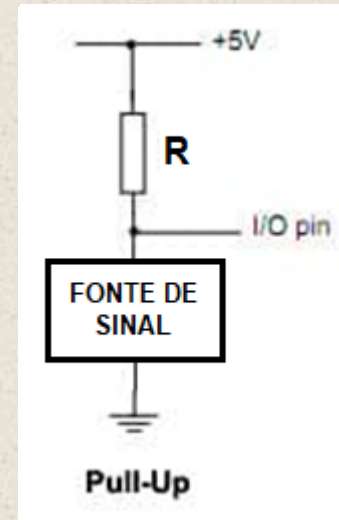
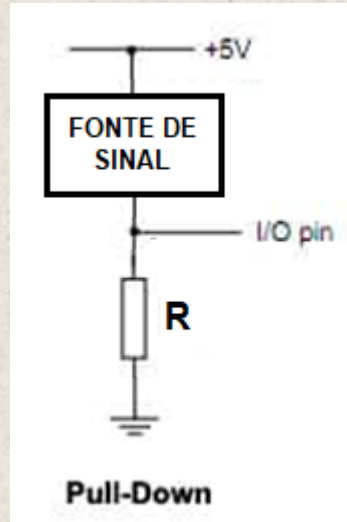
Para evitar isso, há uma técnica que utiliza resistores para garantir um nível lógico estável na porta de entrada

Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

ENTRADAS COM SINAL EM ABERTO



Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

PWM

Algumas saídas podem ser configuradas para operar como PWM (*Pulse Width Modulation* - Modulação de Largura de Pulso)

Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

PWM

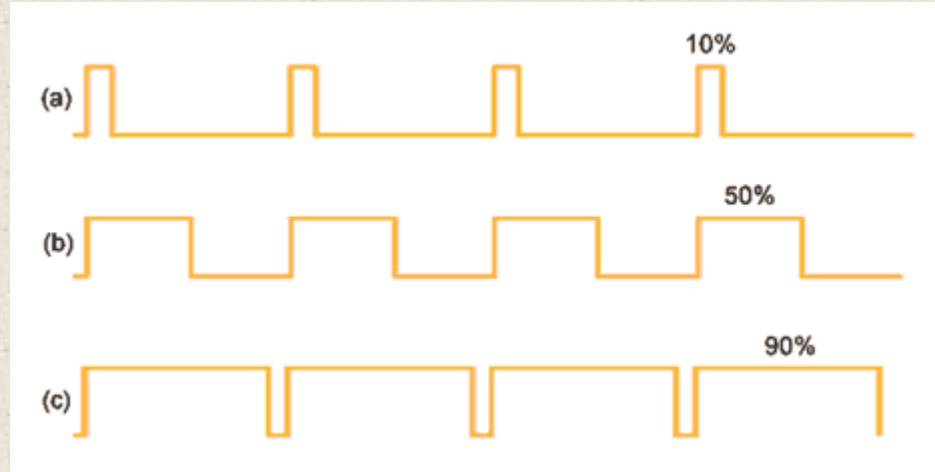
Nessa técnica, um sinal digital é modulado para codificar um nível de sinal analógico para que atenda os requisitos de uma aplicação

Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

PWM



Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

PWM

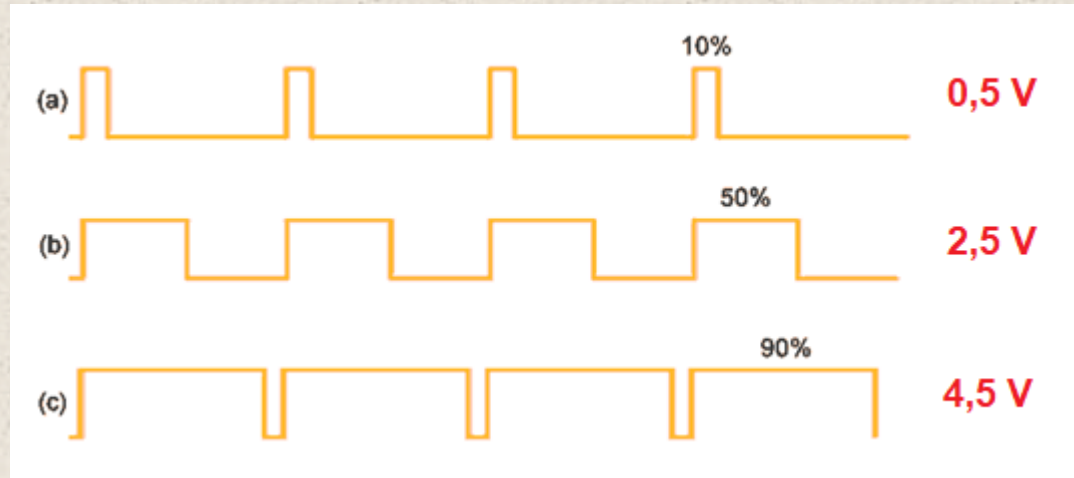
Considerando que estes sinais digitais sejam de 5 V, teríamos os seguintes valores efetivos aplicados a um dispositivo que estaria sendo controlado pela porta de saída:

Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

PWM



Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

PWM

Variando a largura do pulso pode-se então controlar a tensão média aplicada a um dispositivo

Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

PWM

Considere o seguinte exemplo: liga-se um LED na saída PWM de um microcontrolador e ajusta-se o sinal para ficar 50% do tempo em nível baixo e 50% do tempo em nível alto.

Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

PWM



Considerando que a frequência desse sinal seja de 1 Hz, qual o efeito prático que será observado no LED ?

Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

PWM

Para evitar situações como do exemplo anterior deve-se especificar um PWM de forma correta para uma dada aplicação, considerando os seguintes parâmetros:

ARQUITETURA COMPUTADORES II

Portas E/S

PWM

- **Período do sinal**: diretamente associado com a frequência do sinal. É expresso em segundos, sendo obtido de $1 / \text{frequência (Hz)}$

ARQUITETURA COMPUTADORES II

Portas E/S

PWM

Exemplo: sinal com frequência de 400 Hz. Qual o período desse sinal ?



$$\frac{1}{400} = 0,0025 \text{ Seg} = 2,5 \text{ mS}$$

Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

PWM

- **Duty Cycle** (ciclo de trabalho): indica a proporção entre o período total do sinal e o período que o sinal fica na região “ativado”, normalmente em nível alto. É expresso em %

ARQUITETURA COMPUTADORES II

Portas E/S

PWM

$$DutyCycle = \frac{\text{Tempo sinal ativo}}{\text{Período sinal}} \times 100$$

Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

PWM

Exemplo: em um sinal digital, a duração do pulso ativo é de $1\ \mu\text{S}$, com período do sinal sendo $4\ \mu\text{S}$. Qual o *Duty Cycle* deste sinal ?

$$\text{DutyCycle} = \frac{\text{Tempo sinal ativo}}{\text{Período sinal}} \times 100 \quad \Rightarrow \quad \frac{1\ \mu\text{S}}{4\ \mu\text{S}} \times 100 = 0,25 \times 100 = 25 \%$$

Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

PWM

Exemplo: em um sinal digital de 50 KHz, a duração do pulso ativo é de 15 μ S. Qual o *Duty Cycle* deste sinal ?

$$DutyCycle = \frac{\text{Tempo sinal ativo}}{\text{Período sinal}}$$

$$= \text{Tempo sinal ativo} \cdot \frac{1}{\text{Período sinal}}$$

$$= \text{Tempo sinal ativo} \cdot \text{Frequência}$$

Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

PWM

$$DutyCycle = \frac{\text{Tempo sinal ativo}}{\text{Período sinal}} \times 100$$

Ou

$$DutyCycle = \text{Tempo sinal ativo} \cdot \text{Frequência} \times 100$$

Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

PWM

Exemplo: em um sinal digital de 50 KHz, a duração do pulso ativo é de 15 μ S. Qual o *Duty Cycle* deste sinal ?

$$DutyCycle = \text{Tempo sinal ativo} \cdot \text{Frequência} \times 100$$

$$0,000015 \times 50.000 \times 100 = 75\%$$

Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

PWM

A frequência do PWM deve ser alta o suficiente para não afetar o funcionamento do equipamento a ser controlado

Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

PWM

Valores típicos em algumas aplicações:

- **Controle velocidade motores: dezenas de KHz**
- **Controle de luminosidade: centenas de Hz**
- **Amplificadores de áudio: centenas de Hz**

Prof. Flávio Pandur – FIPP / Unoeste

ARQUITETURA COMPUTADORES II

Portas E/S

PWM

Vantagem do PWM em relação a um circuito de controle tradicional analógico:

- **Maior eficiência energética**
- **Menor temperatura de trabalho**
- **Circuitos mais simples**

Prof. Flávio Pandur – FIPP / Unoeste