

Organización y Arquitectura de Computadoras

Práctica 9: Ensamblador

Sandra del Mar Soto Corderi
Edgar Quiroz Castañeda

13 de junio del 2019

1. Ejercicios

1. Clasifica las instrucciones de la sección 4.2 según los tipos descritos en 4.3.

a) **lw** rs dir
Es de tipo **I**

b) **lh** rs dir
Es de tipo **I**

c) **lb** rs dir
Es de tipo **I**

d) **sw** rs dir
Es de tipo **I**

e) **sh** rs dir
Es de tipo **I**

f) **sb** rs dir
Es de tipo **I**

g) **add** rd rs rt
Es de tipo **R**

h) **addi** rd rs imm
Es de tipo **I**

i) **sub** rd rs rt
Es de tipo **R**

j) **subi** rd rs imm
Es de tipo **I**

k) **and** rd rs rt
Es de tipo **R**

l) **andi** rd rs imm
Es de tipo **I**

m) **or** rd rs rt
Es de tipo **R**

n) **ori** rd rs imm
Es de tipo **I**

ñ) **beq** rs rt label
Es de tipo **I**

o) **bgt** rs rt label
Es de tipo **I**

p) **j** label
Es de tipo **J**

q) **jr** rd
Es de tipo **J**

2. Asigna cuidadosamente los códigos de operación a cada una de las instrucciones.

Los siguientes códigos de operación son todos extraídos de la fuente [1]

a) **lw** rs dir
Su código de operación es 100011

b) **lh** rs dir
Su código de operación es 100001

c) **lb** rs dir
Su código de operación es 100000

d) **sw** rs dir
Su código de operación es 101011

e) **sh** rs dir
Su código de operación es 101001

f) **sb** rs dir
Su código de operación es 101000

g) **add** rd rs rt
Su código de operación es 100000

h) **addi** rd rs imm
Su código de operación es 001000

i) **sub** rd rs rt
Su código de operación es 100010

j) **subi** rd rs imm
Su código de operación es 100011

k) **and** rd rs rt
Su código de operación es 100100

l) **andi** rd rs imm
Su código de operación es 001100

m) **or** rd rs rt
Su código de operación es 100101

n) **ori** rd rs imm
Su código de operación es 001101

ñ) **beq** rs rt label
Su código de operación es 000100

o) **bgt** rs rt label
Su código de operación es 000111

p) **j** label
Su código de operación es 000010

q) **jr** rd
Su código de operación es 001000

3. Define el tamaño de la memoria y las direcciones de inicio de las secciones de memoria para el área de texto y el área de datos.

De acuerdo a la documentación de MIPS, los procesadores modernos compatibles con x86 son capaces de direccionar hasta 2^{32} bytes de memoria: las direcciones de memoria son de 32 bits de ancho

2. Preguntas

1. Una pseudoinstrucción es una instrucción de lenguaje ensamblador sin implementación directa en el hardware, su función es simplificar la programación sin complicar el hardware, por ejemplo:

Propón 3 pseudoinstrucciones para el lenguaje ensamblador y su traducción.

a)

b)

c)

2. Sólo se implementaron dos modos de direccionamiento, propón cómo podría simular el ensamblador los siguientes modos

- $\text{label} \pm \text{imm}$

Se puede traducir como una instrucción tipo I, donde la fuente es \$00 y el inmediato es

$$(\text{linea_actual} - \text{linea_label}) \pm \text{imm}$$

- $\text{label} \pm \text{imm}(\text{reg})$

Se puede traducir como una instrucción tipo I, donde la fuente es reg y el inmediato es

$$(\text{linea_actual} - \text{linea_label}) \pm \text{imm}$$

Referencias

- [1] *MIPS® Architecture For Programmers Volume II-A: The MIPS64® Instruction Set Reference Manual [Online]*. Disponible: <https://s3-eu-west-1.amazonaws.com/downloads-mips/documents/MD00087-2B-MIPS64BIS-AFP-6.06.pdf>. [Consultado: 13-Junio-2019].