#### 《计算机先进控制技术》第1部分

计算机控制系统 的硬件设计技术(1)(2)

#### 引言

- 输入输出接口与过程通道是计算机控制系统的重要组成部分
- 接口
  - 接口是计算机与外部设备交换信息的桥梁
  - 接口技术是研究计算机如何与外部设备之间交换 信息的技术
- 过程通道
  - 是计算机和生产过程之间设置的信息传送和转换的连接通道
  - 包括模拟,数字,输入,输出等

#### 内容简介

- 总线技术
- 总线扩展技术
- 数字量输入输出接口与过程通道
- 模拟量输入接口与过程通道
- 模拟量输出接口与过程通道
- 基于串行总线的计算机控制系统硬件技术
- 硬件抗干扰技术

#### 1 总线技术

- 总线的定义
  - 总线就是计算机各个模块之间互联和传达信息的 一组信号线
- 总线的分类
  - 内部总线
    - 片级总线: 数据总线, 地址总线, 控制总线, I2C, SPI等
    - 系统总线: ISA, PCI等
  - 外部总线
    - 例如 RS232 , RS485 , IEEE488 , USB 等
    - $\bullet$  PC 104, Compact PCI

#### PC/ISA/EISA 总线简介

- 发展历史
  - ISA的前身是 IBM 的 PC 总线, 诞生于 1981 年, 伴随着 IBM PC 的问世而来
  - 1987 年正式订立 ISA 总线标准
  - ISA 总线是 16 位的
  - 总线插槽包括 2 部分
    - 8 位基本插槽和 16 位扩展插槽
- ISA 信号线定义
  - 98 根线,数据线宽度 16 位,地址线宽度 24 位
  - 引脚介绍(略)

### ISA 简介

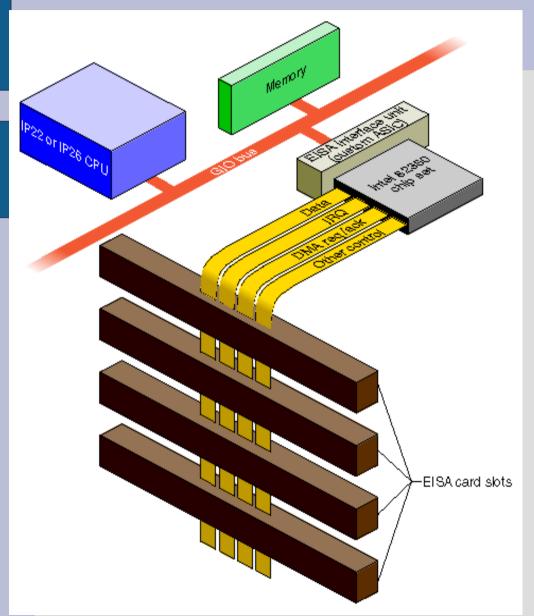


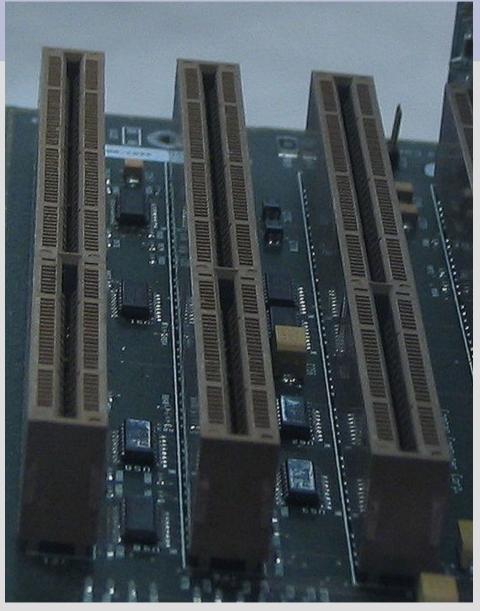
| 信号               | 引脚             | 引脚             | 信号                         |
|------------------|----------------|----------------|----------------------------|
| Ground           | - B1           | A1 -           | -I/O CH CHK                |
| RESET DRV        | - B2           | A2 -           | Data Bit 7                 |
| +5 Vdc           | - B3           | A3 -           | Data Bit 6                 |
| IRQ 9            | - B4           | A4 -           | Data Bit 5                 |
| -5 Vdc           | - B5           | A5 -           | Data Bit 4                 |
| DRQ 2            | - B6           | A6 -           | Data Bit 3                 |
| -12 Vdc          | - B7           | A7 -           | Data Bit 2                 |
| -0 WAIT          | - B8           | A8 -           | Data Bit 1                 |
| +12 Vdc          | - B9           | A9 -           | Data Bit 0                 |
| Ground           | - B10          | A10 -          | -I/O CH RDY                |
| -SMEMW           | - B11          | A11 -          | AEN                        |
| -SMEMR           | - B12          | A12 -          | Address 19                 |
| -IOW             | - B13          | A13 -          | Address 18                 |
| -IOR             | - B14          | A14 -          | Address 17                 |
| -DACK 3          | - B15          | A15 -          | Address 16                 |
| DRQ 3            | ─ B16          | A16 -          | Address 15                 |
| -DACK 1          | - B17          | A17 -          | Address 14                 |
| DRQ 1            | - B18          | A18 -          | Address 13                 |
| -Refresh         | ⊢ B19          | A19 -          | Address 12                 |
| CLK(8.33MHz)     | - B20          | A20 -          | Address 11                 |
| IRQ 7            | B21            | A21 -          | Address 10                 |
| IRQ 6            | B22            | A22 -          | Address 9                  |
| IRQ 5            | − B23          | A23 —<br>A24 — | Address 8                  |
| IRQ 4            | - B24          | A24 —          | Address 7                  |
| IRQ 3<br>-DACK 2 | - B25<br>- B26 | A26 -          | Address 6                  |
| T/C              | - B27          | A27            | Address 5<br>Address 4     |
| BALE             | - B28          | A28 -          | Address 3                  |
| +5 Vdc           | - B29          | A29 -          | Address 2                  |
| OSC(14.3MHz)     | - B30          | A30 -          | Address 1                  |
| Ground           | - B31          | A31 -          | Address 0                  |
| Circuita         | 501            |                | Addition 0                 |
|                  |                | -              |                            |
| -MEM CS16        | - D1           | C1 -           | -SBHE                      |
| -I/O CS16        | - D2           | C2 -           | Latch Address 23           |
| IRQ 10           | - D3           | C3 -           | Latch Address 22           |
| IRQ 11           | - D4           | C4 -           | Latch Address 21           |
| IRQ 12           | - D5           | C5 -           | Latch Address 20           |
| IRQ 15           | - D6           | C6             | Latch Address 19           |
| IRQ 14           | □ D7           | C7 -           | Latch Address 18           |
| -DACK 0          | - D8           | C8 -           | Latch Address 17           |
| DRQO             | - D9           | C9 -           | -MEMR                      |
| -DACK 5          | ⊢ D10          | C10 -          | -MEMW                      |
| DRQ5             | D11            | C11 -          | Data Bit 8                 |
| -DACK 6          | D12            | C12-           | Data Bit 9                 |
| DRQ6             | D13            | C13 -          | Data Bit 10                |
| -DACK 7<br>DRQ 7 | - D14          | C14 —<br>C15 — | Data Bit 11                |
| +5 Vdc           | D15            | C16 -          | Data Bit 12                |
| -Master          | - D16<br>- D17 | C17            | Data Bit 13<br>Data Bit 14 |
| Ground           | - D18          | C18 -          | Data Bit 15                |
| Ground           | D18            | 010            | Data Dit 13                |

# ISA 简介

ISA 总线的引脚

#### EISA

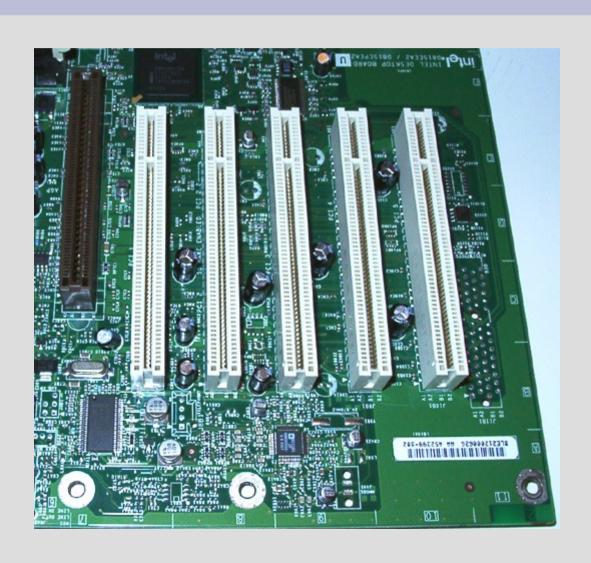




#### PCI/Compact PCI 简介

- 64 位总线, 最高总线频率 33MHz, 数据传输 80M/s
- 背景: 图形化界面多媒体技术对传输速率的要求
- 主要性能:
  - 支持 10 台外设
  - 与 CPU 及时钟频率无关
  - 自动识别外设
  - 支持 64 位寻址
  - 多总线主控能力
  - 采用复用技术减少引脚数

## PCI 总线



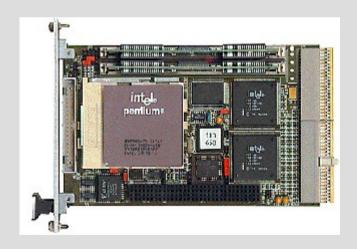
#### AD[0..31] ADM 311 **到黑** -12V TRST# TCK 4 5 6 7 2 8 9 6 +5V | TDI | 5 | X | IND | 7 | INTE# | F5V | 6 | IND | 7 | INTE# | F5V | 7 | INTE# | 7 | INTE# | F5V | 9 | INTE# | 7 | INTE# | F5V | 9 | INTE# | 7 | INTE# | F5V | 9 | INTE# | 7 | INTE# | F5V | 9 | INTE# | 7 | INTE# | F5V | 9 | INTE# | 7 | INTE# | F5V | 9 | INTE# | 7 | INTE# | F5V | 9 | INTE# | 8 | INTE# | F5V | 9 | INTE# | 8 | INTE# | F5V | 9 | INTE# | 8 | INTE# | F5V | 9 | INTE# | 8 | INTE# | F5V | 9 | INTE# | 8 | INTE# | F5V | 9 | INTE# | 8 | INTE# | F5V | 9 | INTE# | 8 | INTE# | F5V | 9 | INTE# | 8 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# | F5V | 9 | INTE# | 9 | INTE# GND TDI 5 X INTAB TDO →INTAB X 9 X 10 X 11 GND 12 GND X 14 VAUX33 GND RSTB GND SGNTB PMEB REOR 18 REQB C X 19 AD29 GND 21 22 23 24 AD27 AD25 25 CBE3B CBE3B 26 IDSEL AD23 AD23 GND GND AD21 29 30 31 AD20 AD21 AD19 GND AD18 AD19 +3.3V AD17 32 CBE2B CBE2B GND 34 35 FRAMEB IRDYB IRDYB < TROYB TRDYB DEVSELE DEVSELB C 38 × 39 × 40 STOPE GND STOPB PERRB PERRB C 41 O PAR 42 43 SERRB SERRB SERRB 44 45 PAR AD15 45 CBE1B AD14 GND 46 47 48 AD12 AD10 49 ◯ CBE 0B 53 54 AD7 AD5 55 56 AD4 GND AD3 57 58 59 60 61 62 GND AD1 AD2 # C25 + C24 22U PCIJB PCIJA GND

## PCI 引脚

#### Compact PCI

• 支持热插拔





#### 其他总线

- PC/104 总线
  - 一种嵌入式总线



#### 串行外部总线简介

- RS-232/RS-422/RS-485 总线
  - 平衡和不平衡传输方式
    - 平衡传输方式在抗干扰等方面有优势
  - RS-232
    - 串行通讯
    - 只需要 2 ~ 3 根线就可以进行通讯
    - 信号电平与普通的 TTL 和 CMOS 不同, 需转换
  - RS-485
    - 平衡差分,传输距离远
    - 可以多点互联
  - USB 总线
    - 热插拔
    - 可以采用级联方式连接外设
    - 智能识别

#### 2 总线扩展技术

- I/O 端口及 I/O 操作
- I/O 端口编址方式
  - 统一编址: 无需 I/0 指令
  - 独立编址: 必需设置专门的 I/0 指令
- I/O 端口地址分配
  - 取决于所采用的计算机系统
  - 自己设计外设时不要占用系统定义好的地址

#### 总线扩展技术

- I/O 端口地址译码方式
  - 线选法
  - 全译码法
  - 部分译码法
- I/O 端口地址译码方法
  - 固定地址译码法
  - 开关地址译码法