

Display de 7 Segmentos – Relatório
Nome: Orleancio Maciel de Oliveira Filho
Matricula: 20181045050165

1. Objetivo

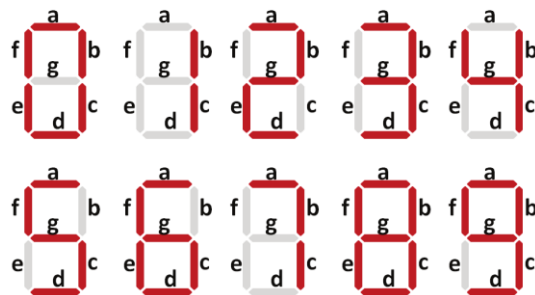
O objetivo do projeto era criar um código em system verilog que gerasse um circuito que fosse capaz de receber uma entrada de 4 bits e baseado na entrada devolver uma saída que fosse capaz de alimentar um display de 7 segmentos e mostrar o número entre 0 e 9 correspondentes com a entrada de 4 bits escolhida.

2. Metodologia

A metodologia utilizada para a elaboração do projeto foi:

a. Análise do display de 7 segmentos

Ao analisar o display de 7 segmentos foi constatado que ele já possui para cada seguimento uma nomenclatura padrão, sendo esta adotada por letras que vão do “a” ao “g”, então após definir quais seguimentos deveriam ficar ligados para que o display mostrasse os números de 0 a 9 foi possível passar ao próximo passo que seria criar a tabela verdade para que esse sistema funcionasse.



b. Elaboração da tabela verdade

A elaboração da tabela verdade partiu do pressuposto que a entrada seria de um número de 4 bits e a saída deveria ser de um número de 7 bits onde cada bit seria referente a um segmento do display, a associação feita na tabela verdade foi que a letra “g” seria associada ao bit mais significativo no caso a saída[6] do nosso código e a letra “a” seria associada ao bit menos significativo no caso a saída[0], e além disso as saídas com valor lógico alto foram associadas aos seguimentos desativados.

tabela verdade

entrada[3]	entrada[2]	entrada[1]	entrada[0]	saída[6]	saída[5]	saída[4]	saída[3]	saída[2]	saída[1]	saída[0]	display
0	0	0	0	1	0	0	0	0	0	0	0
0	0	0	1	1	1	1	1	0	0	1	1
0	0	1	0	0	1	0	0	1	0	0	2
0	0	1	1	0	1	1	0	0	0	0	3
0	1	0	0	0	0	1	1	0	0	1	4
0	1	0	1	0	0	1	0	0	1	0	5
0	1	1	0	0	0	0	0	0	1	0	6
0	1	1	1	1	1	1	1	0	0	0	7
1	0	0	0	0	0	0	0	0	0	0	8
1	0	0	1	0	0	1	1	0	0	0	9
1	0	1	0	1	1	1	1	1	1	1	em branco
1	0	1	1	1	1	1	1	1	1	1	em branco
1	1	0	0	1	1	1	1	1	1	1	em branco
1	1	0	1	1	1	1	1	1	1	1	em branco
1	1	1	0	1	1	1	1	1	1	1	em branco
1	1	1	1	0	1	1	1	1	1	1	em branco
1	1	1	1	1	1	1	1	1	1	1	em branco

c. Elaboração do código

A Elaboração do código foi iniciada já tendo grande parte do que seria feito em mente após muita pesquisa, estudando a documentação do system verilog descobri o bloco case e descobri que ele já é normalmente usado neste tipo de projeto, utilizando o bloco case eu posso passar um parâmetro para ele que no

caso se trata da nossa entrada e baseado em cada possível entrada podemos escolher um valor específico para nossa saída.

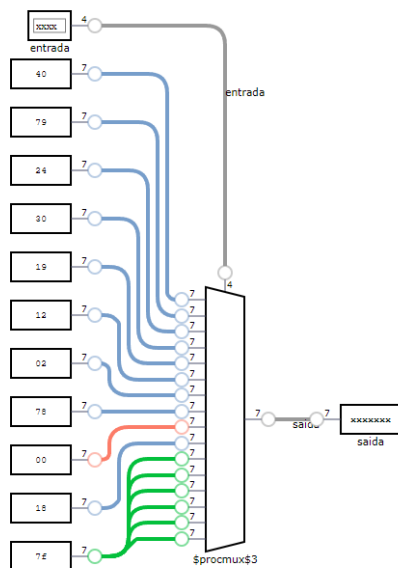
```

1 //Modulo do display de sete segmentos
2 module ssd (
3     input logic[3:0] entrada, //entrada logica de 4 bits
4     output logic [6:0] saida //saida logica de 7 bits
5 );
6
7 always_comb begin //bloco always combinacional que é sensível a todas as entradas
8     case (entrada) //bloco case que recebe a entrada como parametro e baseado no seu valor estipula uma saída
9         4'b0000 : saida <= 7'b1000000; // 0
10        4'b0001 : saida <= 7'b1111001; // 1
11        4'b0010 : saida <= 7'b0100100; // 2
12        4'b0011 : saida <= 7'b0110000; // 3
13        4'b0100 : saida <= 7'b0011001; // 4
14        4'b0101 : saida <= 7'b0010010; // 5
15        4'b0110 : saida <= 7'b0000010; // 6
16        4'b0111 : saida <= 7'b1111000; // 7
17        4'b1000 : saida <= 7'b0000000; // 8
18        4'b1001 : saida <= 7'b0011000; // 9
19        default : saida <= 7'b1111111; // em branco
20    endcase //finaliza o bloco case
21 end //finaliza o bloco always
22 endmodule //finaliza o modulo

```

3. Resultados

O resultado do código elaborado foi o circuito abaixo, testando cada uma das possíveis entradas conseguimos, comparando com a tabela verdade, concluir que o circuito está se comportando da maneira esperada, quando adicionado o número 1 em binário (0001) a saída do circuito mostra (1111001) ou seja apenas dois segmentos estão ligados formando assim o número referente a entrada.



4. Conclusão

Logo podemos dizer que o projeto da elaboração de um circuito para alimentar um display de 7 segmentos foi um pouco complexo pois envolvia métodos do system verilog que eu ainda não conhecia, mas no fim com muita pesquisa foi possível se chegar a uma conclusão aceitável do projeto.