

## דוח מסכם – ADC/DAC

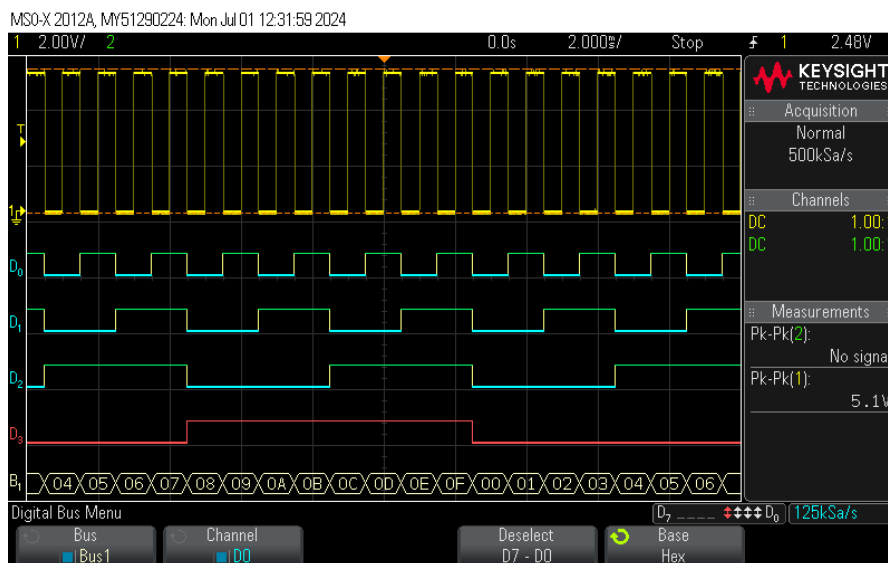
מגישים:

אור שאול

אריאל רנה

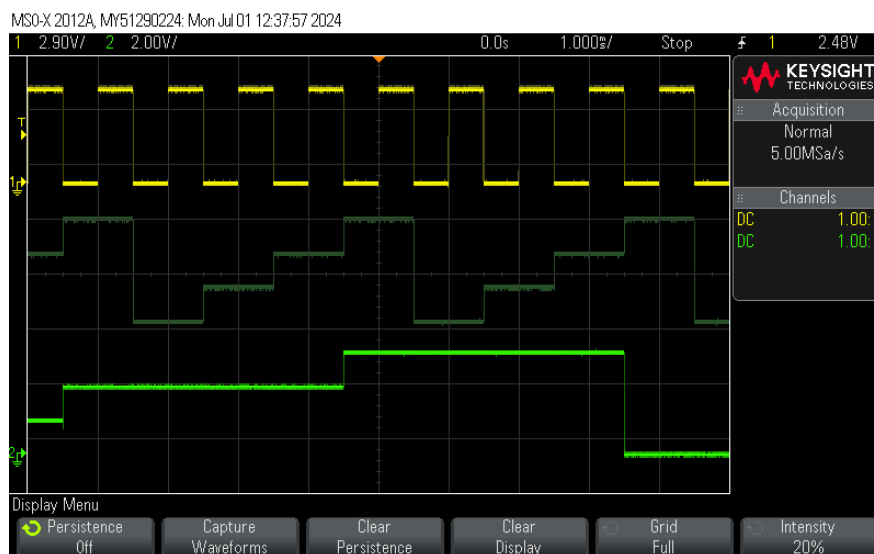
שאלה A:

1. להלן תצלום המציג את פעולת המונה:

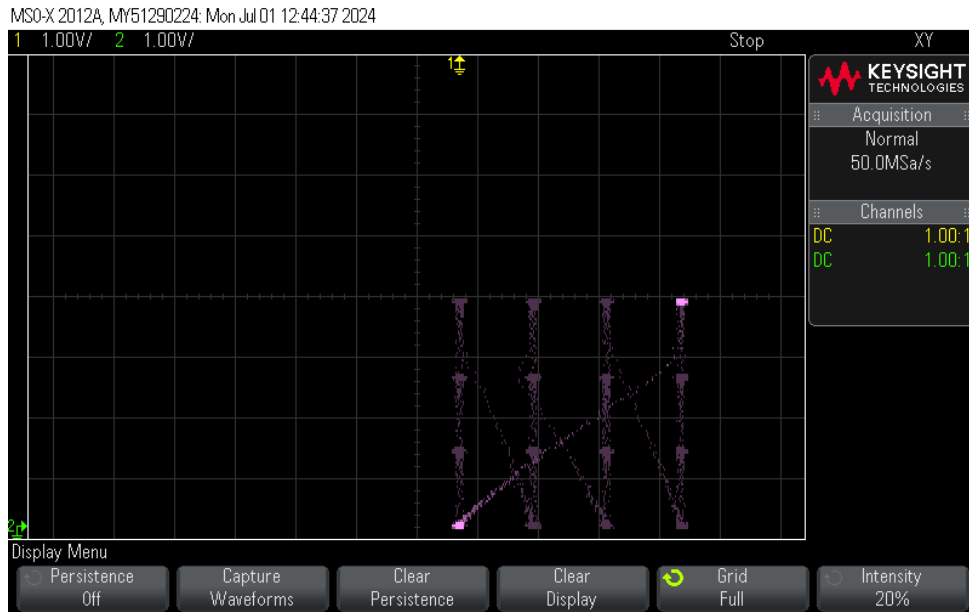


ניתן לראות כי המונה סופר מ-0 עד 15 בארבעה ביטים כאשר  $D_0$  הוא LSB ו  $D_3$  הוא MSB. הצירוף של ארבעת הביטים מתאר מילה שעולה ב1 בכל מחזור שעון.

2. כפי שראינו בדו"ח המכין, נרכיב את המעגל שיוצר תצוגה של 16 נקודות. האותות כפונקציה של הזמן:



### תוצאת 16 הנקודות שהתקבלה בהצגה של Horiz ב-XY:

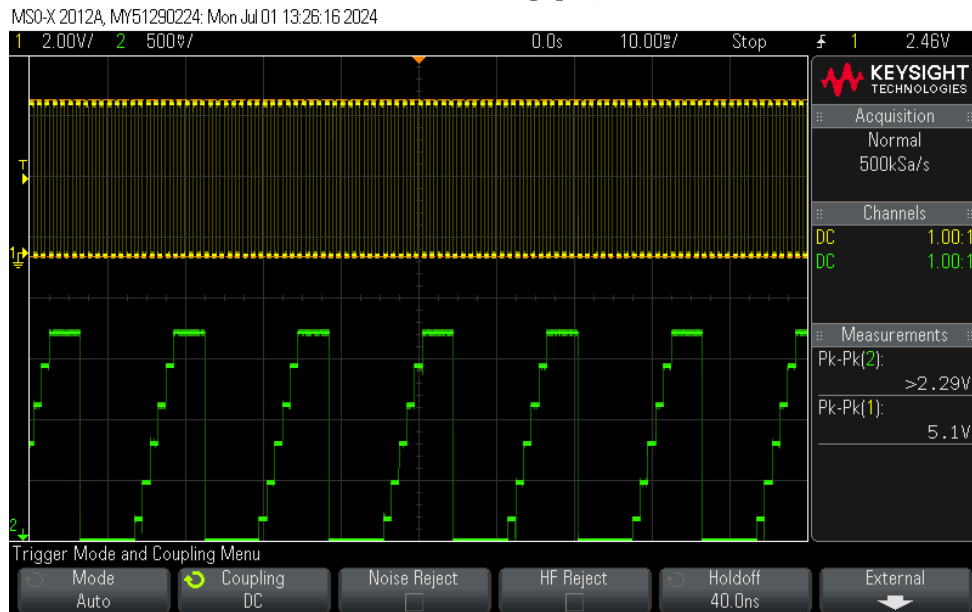


אכן קיבלנו תוצאה התואמת למה שציפינו לקבל בהתאם לדו"ח המכין.

3. כעת חיברנו את מעגל ה-DAC. להלן המתחים שנמדדו עבור 16 הכניסות השונות:

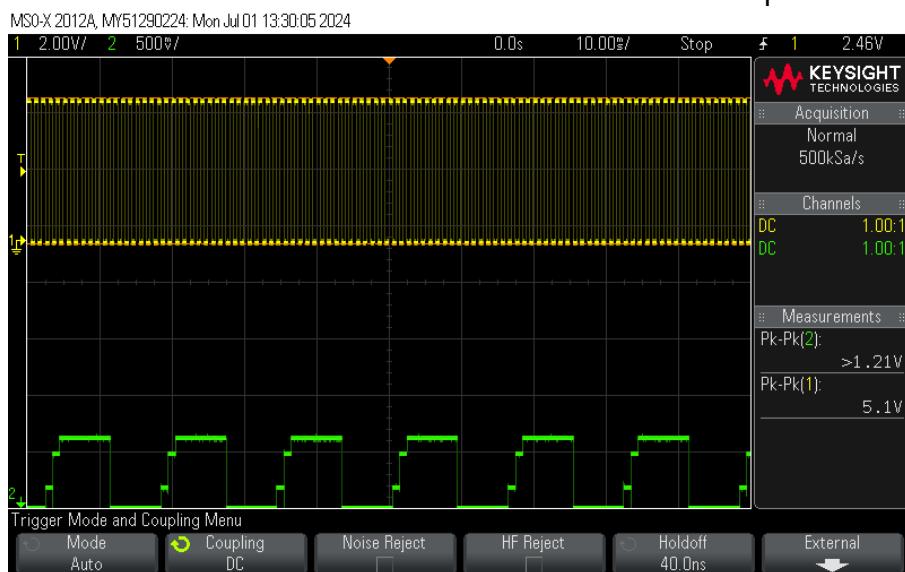
Digital Input	Measured Analog Voltage [V]
0	0
1	0.32
2	0.6
3	0.97
4	1.25
5	1.54
6	1.9
7	2.2
8	2.51
9	2.83
10	3.17
11	3.45
12	3.75
13	4.05
14	4.09
15	4.1

מתח המוצא של המעגל עבור מתח אספקה  $V_{cc} = 7 [V]$ :



נשים לב כי ההפרש בין ערכי המתח האנלוגיים הינם קבועים. מכאן נסיק כי מדובר בממיר לינארי, כפי שהזכרנו בדו"ח המכין.

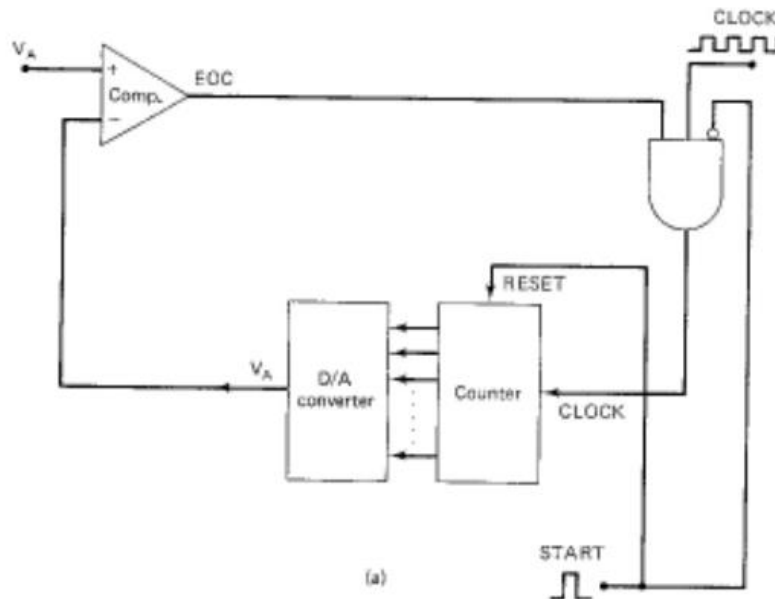
4. נוריד את מתח האספקה של מגבר השרת:



נשים לב כי במקרה זה, עבור מתח אספקה נמוך יותר, המונה של המעגל מפסיק לספור מוקדם יותר ולכן מתקבל מתח מוצא נמוך יותר. כפי שראינו בדו"ח המכין, על מנת לקבל פעולה תקינה של המעגל נצטרך להשתמש במתח אספקה  $V_{cc, Analog} > 6.079 [V]$  ממכיוון שהשתמשנו במתח אספקה שאינו מקיים את התנאי שלעיל, התקבלה קטימה של המתח האנלוגי ולא ניתן להגיע לערך המקסימלי במוצא המעגל.

שאלה B:

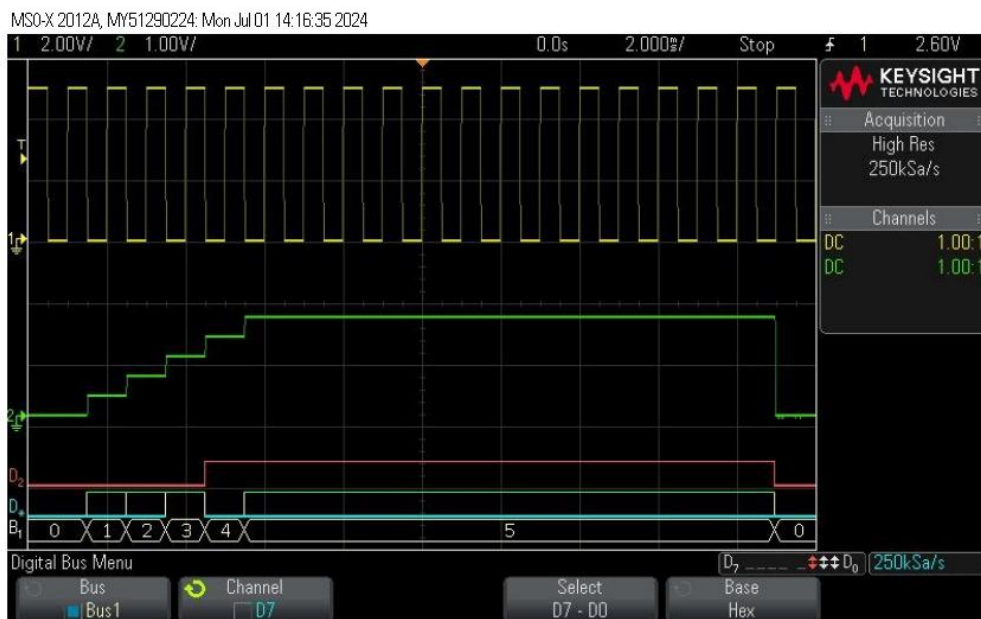
1. תוך שימוש במעגל DAC מהסעיף הקודם, נבנה מעגל ADC להלן:



נשתמש בפונקציית ה-BUS של הסקופ על מנת להציג את המוצא הדיגיטלי של המונה.

2. להלן תצלומים המציגים את מוצאי ה-DAC וה-ADC עבור מתחי כניסה שונים:

a. עבור  $V_{in} = 1.4 [V]$ :



לפי המתח האנלוגי בכניסה מתקבל מונה עד 5 ('0101' בייצוג בינארי).

b. עבור  $V_{in} = 2.6 [V]$ :



לפי המתח האנלוגי בכניסה מתקבל מונה עד 9 ('1001' בייצוג בינארי).

c. עבור  $V_{in} = 3.5 [V]$ :



לפי המתח האנלוגי בכניסה מתקבל מונה עד 12 ('C' בייצוג הקסה – דצמלי).

קיבלנו תוצאות דומות לתוצאות הדו"ח המכין כפי שציפינו לקבל.

יתרונות הממיר:

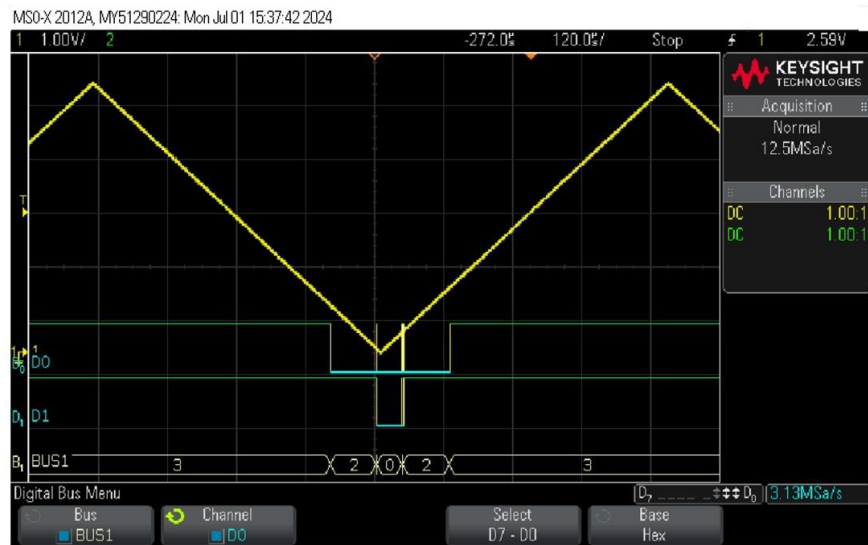
1. לממיר זה ישנה רזולוציה גבוהה יחסית.
2. ממיר זה הינו פשוט למימוש ומכיל מספר מצומצם של רכיבים.

חסרונות הממיר:

תדר העבודה של ממיר זה יהיה יחסית איטי, זאת משום שהזמן שלוקח לממיר להתייצב על הערך האנלוגי ארוך יחסית. הממיר סופר עד הערך שבכניסה, ולכן ישנו יחס ישר בין הערך האנלוגי שבכניסה לבין הזמן שייקח לממיר להתייצב. לכן נקבל שעבור קלט בעל הרבה ביטים, הממיר יעבוד יותר לאט.

## שאלה C:

בנינו מעגל כפי שמתואר ב-Figure-4. בתצלום הבא ניתן לראות כניסת רמפה, ואת מוצא המעגל:



נשים לב כי תוצאות המדידה זהות לאלו שהתקבלו בדו"ח המכין, לכן נסיק כי המעגל פועל כראוי.

המוצא  $D_2$  הוא קבוע על '0', זאת משום שמדובר ב-ADC של שני ביטים. המוצאים  $D_0, D_1$  תלויים בקלט ומשתנים כפי שציפינו מהם להשתנות. נשים לב כי הרכיב סופר עד 7, עבור כניסה נמוכה המוצא הוא 0, ועם עליית ערך כניסת הרמפה, עולה ערך המוצא בהתאמה.

יתרון הממיר – ממיר זה הינו מהיר יותר מהממיר שמימשנו בסעיפים הקודמים של המעבדה, זאת משום שזמן המיתוג של מגברי השרת הינו מהיר מאוד.

חסרון הממיר – ממיר זה מורכב יותר למימוש ומצריך הרבה מגברי שרת (מספר המשוונים שצריך על מנת לממש את המעגל הוא  $2^N - 1$  כשר N הוא מספר הביטים בכניסה). בנוסף, מעגל זה צורך יותר הספק ויותר שטח.

## שאלה D:

1. כפי שלמדנו בקורס "אותות ומערכות", תנאי ניקוויסט מדבר על תדירות דגימה עבור שחזור מדויק של אות נדגם. תדירות הדגימה המינימלית הנדרשת על פי תנאי זה הינה פי 2 מתדירות האות. אם כך, במקרה זה עבור אות בתדר של 20 קילו הרץ נצטרך לדגום בתדירות של 40 קילו הרץ. עבור ממיר DAC הממיר 12 ביטים הקצב הדרוש הינו:

$$2 \cdot 20K \cdot 12 = 480 [Kbps]$$

2. ממיר המבוסס (Pulse-Density Modulation) PDM הינו ממיר המבוסס על צורת אפנון היוצרת אות אנלוגי תוך שימוש באות בינארי. בניגוד לממיר PCM (אשר בו ערכי האות מקודדים למילות קוד של פולסים עם משקלים שונים) כאן הצפיפות היחסית של הפולסים מתאימה לאמפליטודות של האות האנלוגי. בנוסף ב double rate DSD קצב הדגימה הוא פי 128 לכן bpsn הדרוש הוא –

$$128 \cdot 40K \cdot 12 = 61.44 [Mbps]$$