

Министерство науки и высшего образования Российской Федерации

Федеральное государственное бюджетное образовательное учреждение  
высшего образования

«НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ  
МОРДОВСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ  
ИМ. Н.П. ОГАРЁВА»  
(ФГБОУ ВО «МГУ ИМ. Н.П. ОГАРЁВА»)

Институт наукоемких технологий и новых материалов


Кафедра физического материаловедения

ОТЧЁТ О ЛАБОРАТОРНОЙ РАБОТЕ №2

по дисциплине: Введение в цифровую схемотехнику

Суммирующие и вычитающие устройства


Автор отчёта

 05.04.23 А. Е. Конышев  
подпись, дата

Обозначение лабораторной работы: ЛР-02069964-02.03.02-08-23

Направление подготовки 02.03.02 Фундаментальная информатика и  
информационные технологии

Руководитель работы

 05.04.23 С.В. Ильин  
подпись, дата

Саранск 2023

### **Цель работы:**

1. Углубление и закрепление теоретических знаний по схемотехническому проектированию и применению наиболее распространённых суммирующих и вычитающих устройств.
2. Получение навыков компьютерного моделирования работы суммирующих и вычитающих устройств в среде Multisim.

### **Ход работы:**

1. Ознакомиться с теоретическим материалом
2. Выполнить задания
3. Ответить на контрольные вопросы

### **Задания:**

1. Выполнить по указанию преподавателя синтез и реализовать на логических элементах схему двоичного сумматора (вычитателя) согласно вариантам (вариант 2).

Вариант	1	2	3	4	5	6
Синтезируемая схема	Полусумматор	Однораз. сумматор	2-разряд. сумматор	4-разряд. сумматор	Полувывчитатель	Вычитатель

2. Осуществить моделирование спроектированного сумматора в среде Multisim:

– зарисовать временные диаграммы и заполнить таблицу функционирования разработанного устройства, изменяя состояние входов с помощью клавиш SPST SWITCH, которые должны быть подключены к источнику питания +5В (VCC) и общей шине заземления (GROUND). Контроль осуществлять светодиодными индикаторами PROBE или светодиодами LTD;

– по указанию преподавателя выполнить исследование одной из схем сумматора рис 3.10 в среде Multisim.

## Описание выполнения работы

1. Выполним синтез схемы полного одноразрядного двоичного сумматора. Он имеет три входа и два выхода. Состоит из двух полусумматоров, ЛЭ 2ИЛИ. Один полусумматор состоит из двух ЛЭ: 2Исключающее ИЛИ, 2И. Схема полного одноразрядного двоичного сумматора изображена на рисунке 2.1.

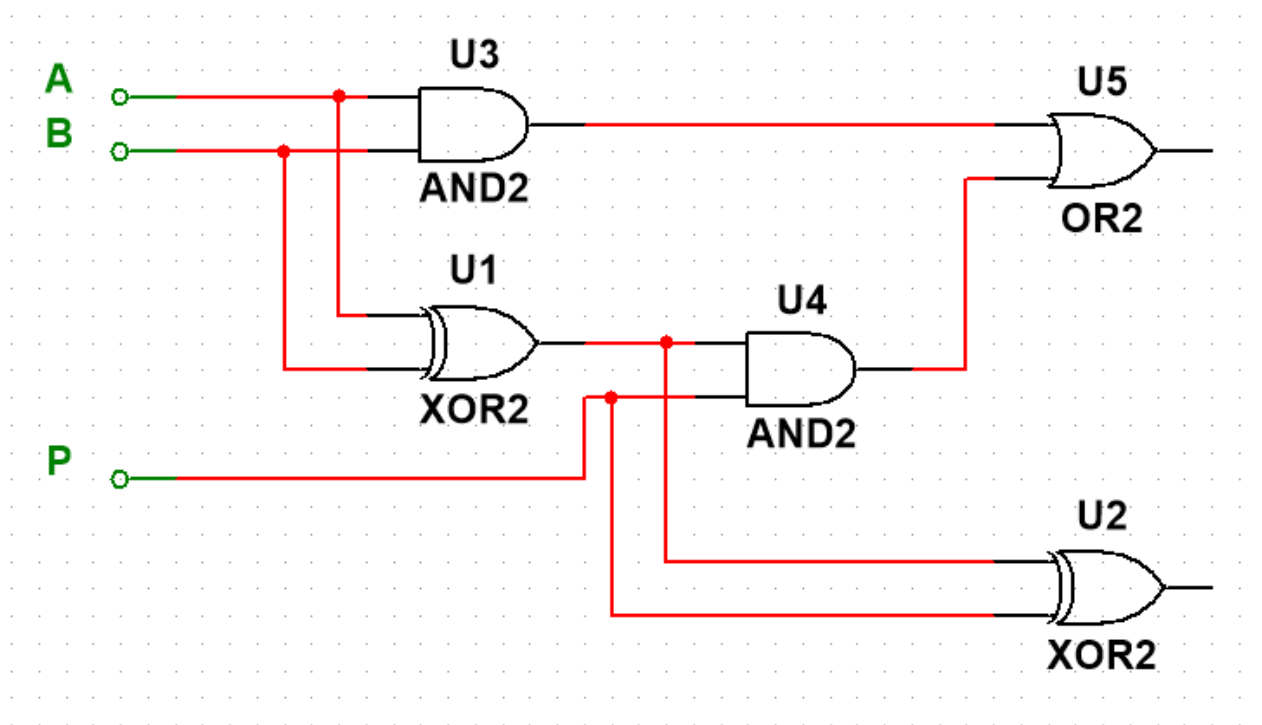


Рисунок 2.1 – Схема полного одноразрядного двоичного сумматора

Таблица истинности для полного одноразрядного двоичного сумматора

A	B	$P_i$	P	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Проверим правильность построенной схемы отдельно для двух выходов S и P, где P – результат переноса, S – сумма, с помощью Логического преобразователя.

Результаты проверки показаны на рисунке 2.2 для S и на рисунке 2.3 для P.

Logic converter-XLC1

Out ☐

	A	B	C	D	E	F	G	H
000	0	0	0					0
001	0	0	1					1
002	0	1	0					1
003	0	1	1					0
004	1	0	0					1
005	1	0	1					0
006	1	1	0					0
007	1	1	1					1

Conversions

☒  $\Rightarrow$   $\rightarrow$   $\overline{1}0\overline{1}$

$\overline{1}0\overline{1}$   $\rightarrow$  A/B

$\overline{1}0\overline{1}$   $\Rightarrow$  IMP A/B

A/B  $\rightarrow$   $\overline{1}0\overline{1}$

A/B  $\rightarrow$   $\Rightarrow$

A/B  $\rightarrow$  NAND

Рисунок 2.2 – Результат суммы

Logic converter-XLC1

Out ☐

	A	B	C	D	E	F	G	H
000	0	0	0					0
001	0	0	1					0
002	0	1	0					0
003	0	1	1					1
004	1	0	0					0
005	1	0	1					1
006	1	1	0					1
007	1	1	1					1

Conversions

☒  $\Rightarrow$   $\rightarrow$   $\overline{1}0\overline{1}$

$\overline{1}0\overline{1}$   $\rightarrow$  A/B

$\overline{1}0\overline{1}$   $\Rightarrow$  IMP A/B

A/B  $\rightarrow$   $\overline{1}0\overline{1}$

A/B  $\rightarrow$   $\Rightarrow$

A/B  $\rightarrow$  NAND

Рисунок 2.3 – Результат переноса

2. Добавим к полученной схеме элементы, для выполнения задания 2.  
Результатом будет схема, показанная на рисунке 2.4.

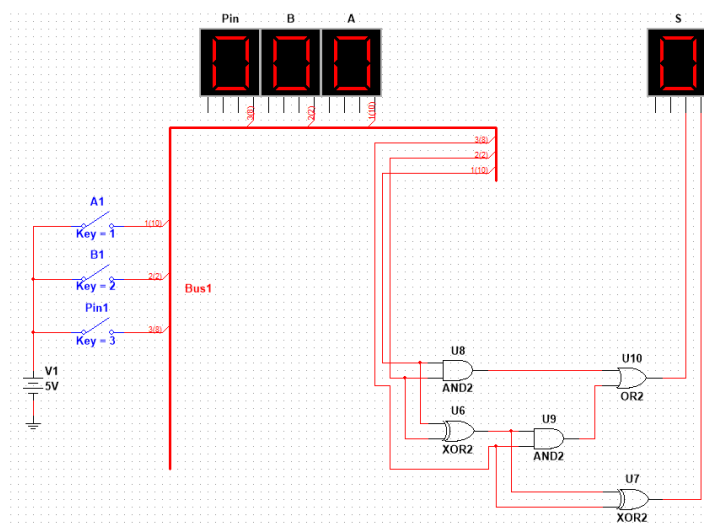


Рисунок 2.4 – Схема для выполнения второго задания.

Покажем работоспособность этой схемы. В качестве входных возьмем значения 0 1 1 для А, В. Pin соответственно. Результат показан на рисунке 2.5.

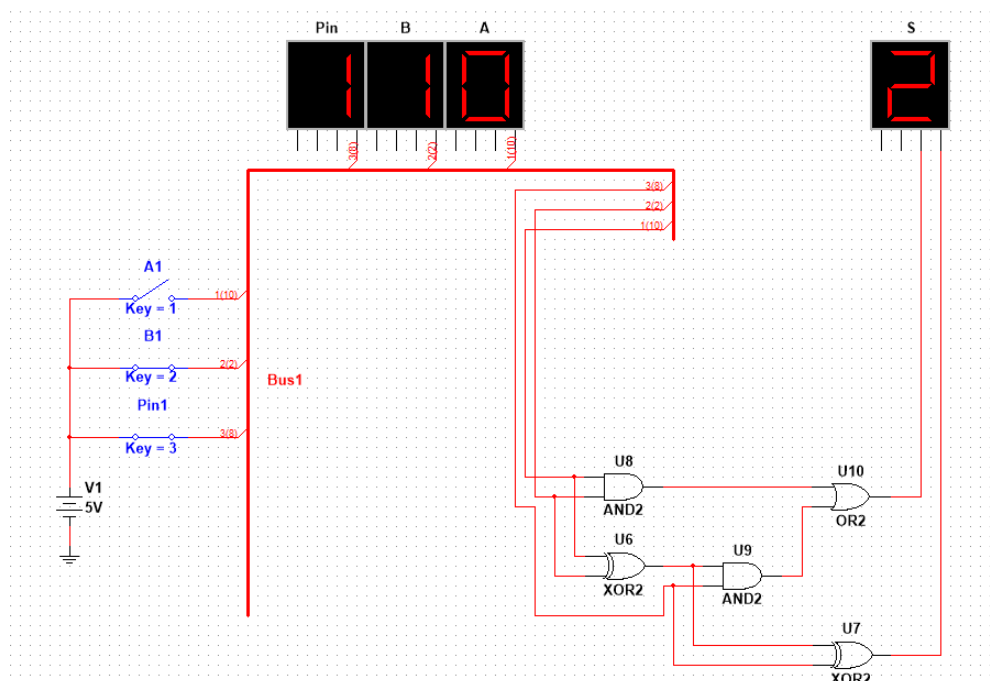


Рисунок 2.5 – Пример работы схемы.

Проведем исследование схемы 74LS183D в среде Multisim, для этого можем интегрировать ее в полученную раньше схему. Итоговый результат изображен на рисунке 2.6.

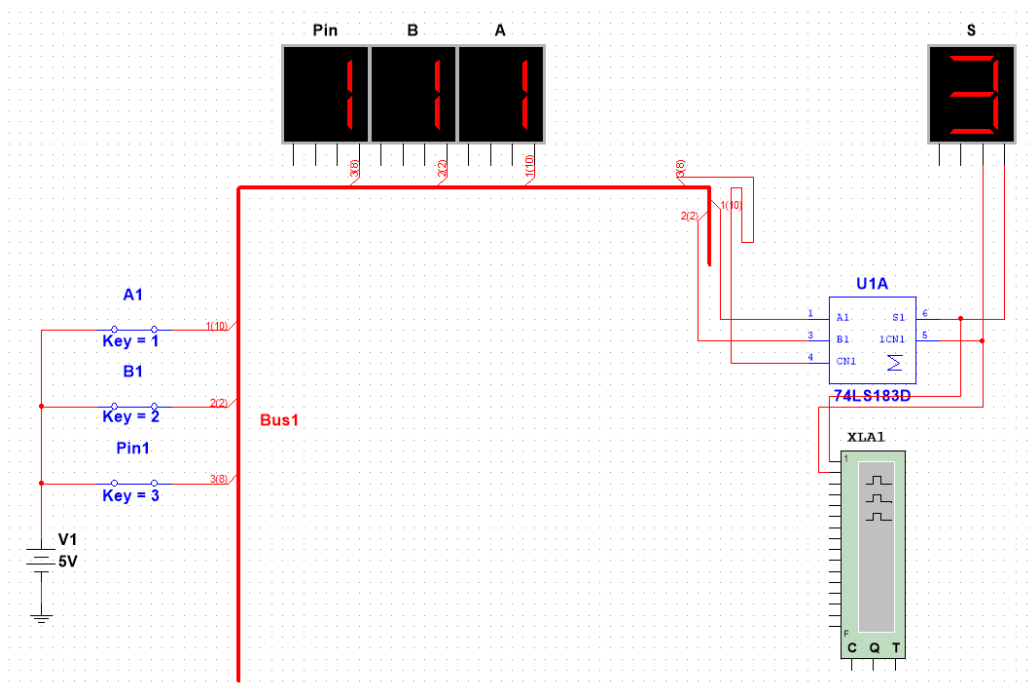


Рисунок 2.6 – Интеграция схемы 74LS183D

Анализ этой схемы изображен на рисунке 2.7

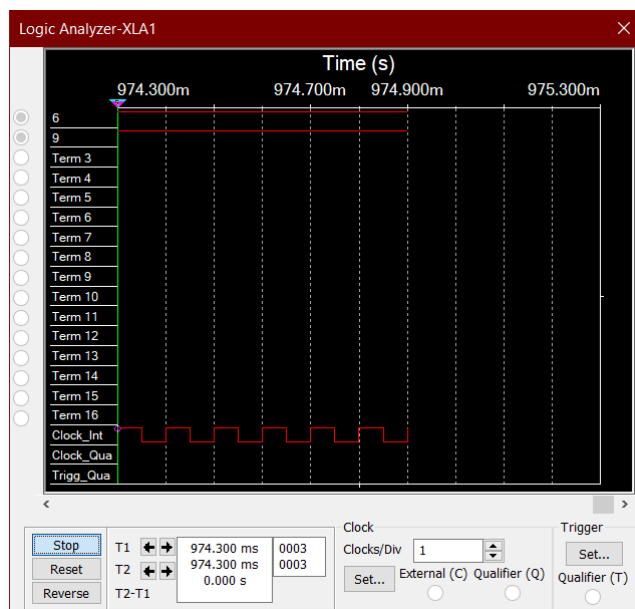


Рисунок 2.7 – анализ схемы 74LS183D