



ÇİP TASARIM YARIŞMASI ŞARTNAMESİ 2024

VERSİYONLAR

Versiyon	Tarih	Açıklama	Değişiklikler
1.0	07.12.2024	2024 İlk Versiyon	

İÇİNDEKİLER

ŞEKİLLER	4
TABLO LİSTESİ	5
KISALTMALAR	6
1. AMAÇ	8
2. YARIŞMA TAKVİMİ	8
3. YARIŞMA GENEL BİLGİLERİ	8
3.1 Yarışmaya Katılım Kuralları	9
3.2 Raporlar ve Sunum	10
3.2.1 Ön Tasarım Raporu (ÖTR)	11
3.2.2 Detay Tasarım Raporu (DTR)	11
3.2.3 Final Değerlendirme Sunumu ve Tasarım Çıktıları	11
3.3 Değerlendirme	12
3.3.1 Sayısal İşlemci Tasarım Kategorisi	12
3.3.2 Analog Tasarım Kategorisi	13
3.3.3 Mikrodenetleyici Tasarım Kategorisi	13
3.4 İletişim	13
4. TEKNİK KURALLAR	14
4.1 Tasarım Ortamı ve Teknolojisi	14
4.2 Tasarım İsterleri	15
4.2.1 Sayısal İşlemci Tasarım Kategorisi	15
4.2.2 Analog Tasarım Kategorisi	15
4.2.3 Mikrodenetleyici Tasarım Kategorisi	18
4.3 Tasarım Çıktıları	20
5. ÖDÜL	22
5.1 Sayısal İşlemci Tasarım Kategorisinde Ödül Sıralaması için Minimum Başarı Kriteri	23
5.2 Analog Tasarım Kategorisinde Ödül Sıralaması için Minimum Başarı Kriteri	23
5.3 Mikrodenetleyici Tasarım Kategorisinde Ödül Sıralaması için Minimum Başarı Kriteri	23
6. GENEL KURALLAR	24
7. ETİK KURALLARI	24
8. EKLER	25
EK-1 Desteklenmesi Gereken Buyruklar	25
EK-2 Çevre Birimi Detayları	28
EK-3 Verilog RTL Yazarken Uyulması Gereken Kurallar	31

ŞEKİLLER

Şekil 1: Batarya Deşarj Grafiği

16

Şekil 2: Bant-aralığı Referans, LDO Gerilim Düzenleyici ve Gerilim Kontrollü Salınıcı Devreleri Blok Diyagramı

16

TABLO LİSTESİ

Tablo 1: Yarışma Takvimi	08
Tablo 2: Sayısal İşlemci Kategorisi Ödül Miktarları	22
Tablo 3: Analog Kategorisi Ödül Miktarları	22
Tablo 4: Mikrodenetleyici Kategorisi Ödül Miktarları	22
Tablo 5: RV32I Temel Buyruk Seti	25
Tablo 6: RV32M Standart Buyruk Kümesi Uzantıları	26
Tablo 7: RV32A Standard Buyruk Kümesi Uzantıları	26
Tablo 8: RV32F Standard Buyruk Kümesi Uzantıları	26
Tablo 9: RV32B Standard Buyruk Kümesi Uzantıları	27
Tablo 10: UART Bellek Haritası	28
Tablo 11: UART Kontrol Yazmacı	29
Tablo 12: Örnek baud hızı hesaplama değerleri	29
Tablo 13: UART Durum Yazmacı	30
Tablo 14: UART Veri Okuma Yazmacı	30
Tablo 15: UART Veri Yazma Yazmacı	30

KISALTMALAR

ADC: Analog-to-Digital Converter

ALU: Arithmetic Logic Unit

BİLGEM: Bilişim ve Bilgi Güvenliği İleri Teknolojiler Araştırma Merkezi

BP: Band Pass

CNN: Convolutional Neural Network

DC: Direct Current

DCT: Direct Cosine Transform

DDK: Danışma ve Değerlendirme Kurulu

DEF: Design Exchange Format

DRC: Design Rule Check

DRV: Design Rule Violation

DSP: Digital Signal Processing

DTR: Detay Tasarım Raporu

EDA: Electronic Design Automatic

FPGA: Field Programmable Gate Array

GDS: Graphic Data System

GPS: Global Positioning System

HDL: Hardware Description Language

IIP3: Input Third Order Intercept Point

IPC: Instruction per Cycle

IRN: Input Referred Noise

ISA: Instruction Set Architecture

IP: Intellectual Property

KYS: Kurumsal Yönetim Sistemi

LDO: Low Drop-out

LNA: Low Noise Amplifier

LTE: Long Term Evolution

LVS: Layout versus Schematic

MCU: Microcontroller Unit

MPW: Multi Project Wafer

ÖTR: Ön Tasarım Raporu

PSRR: Power Supply Rejection Ratio

PTK: Proses Tasarım Kiti

QVGA: Quarter Video Graphics Array

RISC: Reduced Instruction Set Architecture

RF: Radio Frequency

RTL: Register Transfer Level

SDF: Standard Delay Format

SoC: System-on-Chip

SV: SystemVerilog

T3 Vakfı: Türkiye Teknoloji Takımı Vakfı

TT: Typical-Typical

TÜBİTAK: Türkiye Bilimsel ve Teknolojik Araştırma Kurumu

UART: Universal Asynchronous Receiver Transmitter

USB: Universal Serial Bus

UVM: Universal Verification Methodology

VCO: Voltage Controlled Oscillator

WIPO: World Intellectual Property Organization

1. AMAÇ

TEKNOFEST kapsamında ilk defa 2022 yılında üniversite öğrencilerinin başvurusuna açılmış olan Çip (Tümdevre) Tasarım Yarışması, ön lisans, lisans ve lisansüstü (yüksek lisans) öğrencilerinde mikroelettronik teknolojileri alanında farkındalık oluşturmayı ve öğrencilere tümdevre tasarımı konusunda bilgi birikimi kazandırmayı amaçlamaktadır. Yarışma aynı zamanda takım çalışmasını teşvik etmek ve mikroelettronik teknolojilerini pratik uygulamalarla geliştirerek bu alanda yetkin insan kaynağı oluşumuna öncülük etmek amacıyla düzenlenmektedir.

Bu doküman; TÜBİTAK BİLGEM Tümdevre Tasarım ve Eğitim Laboratuvarı (TÜTEL) ve Yongatek Mikroelettronik tarafından TEKNOFEST Havacılık, Uzay ve Teknoloji Festivali (TEKNOFEST) Teknoloji Yarışmaları kapsamında düzenlenen Çip Tasarım Yarışması'nın tüm kural ve gerekliliklerini tanımlamak için oluşturulmuştur. Yarışmanın analog ve sayısal işlemci tasarım kategorileri **TÜTEL** tarafından, mikrodenetleyici tasarım kategorisi ise **Yongatek Mikroelettronik** tarafından düzenlenmektedir.

2. YARIŞMA TAKVİMİ

Tablo 1: Yarışma Takvimi

AÇIKLAMA	TARİH
Yarışma Son Başvuru Tarihi	20.02.2024
Ön Tasarım Raporu (ÖTR) Son Teslim Tarihi	15.03.2024 17.00
ÖTR Sonuçlarına Göre Ön Elemeyi Geçen Takımların Açıklanması	22.03.2024
Soru-Cevap Oturumu	15.04.2024
Detay Tasarım Raporu (DTR) Son Teslim Tarihi	15.06.2024 17.00
Finalist Takımların Açıklanması	01.07.2024
Soru-Cevap Oturumu	08.07.2024
Tasarım Nihai Hale Getirilmesi	31.07.2024
Final Değerlendirme Sunumları ve Demolar	Henüz belirlenmedi

3. YARIŞMA GENEL BİLGİLERİ

Yarışma, analog, sayısal işlemci ve mikrodenetleyici olmak üzere üç kategoriden oluşur. TÜTEL tarafından düzenlenen sayısal işlemci tasarım kategorisinde RISC-V Buyruk Kümesi Mimarisi (ISA)'ne sahip özelleştirilmiş bir işlemci tasarlanması, analog tasarım kategorisinde ise bant aralığı referans devresi, LDO gerilim düzenleyici ve gerilim kontrollü osilatör (VCO) tasarımının gerçekleştirilmesi beklenmektedir. Yongatek Mikroelettronik tarafından düzenlenen mikrodenetleyici tasarım kategorisinde ise hazır olarak verilen bir işlemci çekirdeği kullanılarak çeşitli arayüz elemanları ve bellek birimlerine sahip bir mikrodenetleyici tasarımının ve doğrulamasının gerçekleştirilmesi beklenmektedir.

Yarışmaya katılacak olan takımlardan beklenen, bu dokümanda belirtilmiş olan tasarım kriterlerini sağlayan donanımların ön tasarım raporunu, detaylı tasarım raporunu hazırlamak, tasarımını tamamlamak, tasarım çıktılarını hazırlamak ve finalde bir sunum ile demo gerçekleştirmektir.

Başvurular 20 Şubat 2024 tarihine kadar TEKNOFEST Teknoloji Yarışmaları resmi web sitesi (www.teknofest.org) üzerinden yapılacaktır.

3.1 Yarışmaya Katılım Kuralları

- Yarışmaya, Türkiye’de ve yurtdışında öğrenim gören yükseköğretim (ön lisans, lisans ve yüksek lisans) öğrencileri katılabilir.
- Yarışmaya bireysel veya takım olarak katılım sağlanabilir. Takımlar en fazla 5 kişiden oluşmalıdır (danışman hariç).
- Takımlardaki yüksek lisans öğrenci sayısı 2’yi geçmemelidir.
- Bir yarışmacı, farklı kategorilerdeki takımlarda yer alabilir ama aynı kategorideki farklı takımlarda yer alamaz.
- Takımlar yalnızca 1 kişiyi danışman olarak alabilirler. Danışman alınması şart değildir. Bir danışman kişi her kategori için sadece tek bir takıma danışman olabilir.
- Başvuru alınırken, öğrenciler için onaylı öğrenci belgelerinin, danışmanlar için ise öğretim üyesi/görevlisi, araştırma görevlisi, doktora öğrencisi veya doktora mezunu olduklarını gösteren onaylı belgenin sunulması gerekmektedir.
- Takımlar, tek bir okuldan oluşturulabileceği gibi bir veya birden fazla yükseköğretim öğrencisinin bir araya gelmesi ile karma bir takım olarak da oluşturulabilir.
- Yarışmaya katılan her takım en fazla bir tasarım ile yarışmaya katılabilecektir.
- Takım oluşturma işlemini tamamlayan yarışmacıların projesine uygun yarışmaya başvuru yapması gerekmektedir.
- Başvuru tarihleri arasında takım kaptanı/danışman sistem üzerinden kayıt olup, varsa danışman ve/veya takım kaptanı/takım üyelerinin kaydını doğru ve eksiksiz olarak sisteme yapar ve varsa danışman ve üyelerin e-postalarına davet gönderir. Davet gönderilen üye Başvuru sistemine giriş yaparak “Takım bilgilerim” kısmından gelen daveti kabul eder ve kayıt tamamlanır. Aksi durumda kayıt tamamlanmış olmaz.
- Yarışma kapsamında gerekli tüm süreçler (Başvuru, Rapor Alımı, Rapor Sonuçları, Maddi Destek Başvurusu, İtiraz Süreçleri, Üye ekleme/çıkarma işlemleri vb.) KYS sistemi üzerinden yapılmaktadır. Takımların KYS sistemi üzerinden süreçlerini takip etmesi gerekmektedir.
- Üye ekleme/çıkarma işlemleri Detay Tasarım Raporu Teslim tarihine kadar yapılmaktadır.
- Yarışma süreci boyunca KYS üzerinden başvuru yapma, rapor yükleme, form doldurma işlemleri takım kaptanı ve/veya danışmanın yetkisi dâhilinde olup yarışma süreçleri bu kişiler üzerinden yönetilmektedir.

- Finale kalan takımlara sağlanacak ulaşım ve konaklama desteği sınırlıdır. Destek verilecek kişi sayısı takım başı 3 kişi (danışman dahil) olup TEKNOFEST Yarışmalar Komitesi tarafından değişiklik yapma hakkı bulunmaktadır.
- TEKNOFEST Yarışmalar Komitesi festival alanında bulunacak üye sayısını sınırlandırma yetkisine sahiptir. Sınırlandırma yapılması durumunda komite tarafından bilgilendirme yapılacaktır.
- Yarışma süreci boyunca, yarışmacıların başvuru yaptığı dönemdeki eğitim seviyesi dikkate alınacaktır.
- TÜTEL ve Yongatek Mikroelektronik çalışanlarının başvuruları değerlendirmeye alınmayacaktır.

3.2 Raporlar ve Sunum

- Referans vermek için eğer geçmiş yıl raporlarından referans verilecekse **GENEL KURALLAR** başlığındaki formata uyulmalıdır. Bunun dışında diğer kaynaklardan referans vermek için IEEE formatı takip edilmelidir.
- Ön tasarım ve detay tasarım raporu olmak üzere iki adet rapor teslim edilecektir. Raporlarda ilgili başlıklarda istenen teknik bilgiler ayrıntılı olarak aktarılmalıdır.
- Rapor şablonları [yarışma web sayfasında](#) yayımlanır.
- Raporlar, Türkçe veya İngilizce olarak hazırlanabilir. Tüm rapor içeriğinde tek bir dil kullanılması zorunludur.
- Raporlar, belirtilen son teslim tarihlerinde saat 17.00'a kadar, en fazla 60 MB büyüklüğünde ve PDF formatında başvuru sistemine yüklenir. Aksi durumda takım, yarışlardan elenir.
- Raporlar, A4 formatında, 11 punto, Calibri fontunda, satır aralığı 1.15 ve alt-üst ve yan kenarları 2.5 cm olacak şekilde hazırlanmalıdır. Ön tasarım raporu en fazla 9, detay tasarım raporu en fazla 30 sayfa olmalıdır (kapak sayfası, resimler, tablolar, referanslar dâhil).
- Rapor, alanlarında uzman DDK üyelerince belirtilen bilimsel ve teknik kriterler kapsamında değerlendirilir. DDK tarafından belirlenecek puanın altında alan takımlar yarışmadan elenir.
- Raporları başarılı olan takımlar, www.teknofest.org sayfasından duyurulur.
- Raporlarda intihal, kopyalama vb. etik ihlalinin tespiti durumunda, rapor değerlendirilmeye alınmaz ve takım yarışmadan elenir. Aynı üniversite/kulüp/topluluk vb. kurum başvurularında bu kural kategori/yarış gözetmeksizin uygulanır.

3.2.1 Ön Tasarım Raporu (ÖTR)

Ön tasarım raporunun aşağıdaki bölümleri içermesi beklenmektedir:

Genel tasarımın blok diyagramı, hedef performans özet tablosu, hedeflenen performans ölçülerinin sistem seviyesinde önemi, olası kritik devre çekirdeğinin şemaları, doğrulama planı ve yöntemleri, devrenin kısa bir açıklaması ve kullanılacak tasarım teknikleri, uygulanabilir referanslar (örneğin, tasarımınıza ilham veren bir makale, yeniden kullanacağınız tüm açık kaynaklı bloklar, vb.). ÖTR’de belirtilen tasarım yapısı daha sonra nedenleri belirtilmek şartıyla değiştirilebilecektir.

Güncel rapor şablonu [yarışma web sayfasında](#) paylaşılabilecektir.

İşbu yarışma kapsamında bir sonraki aşamaya geçebilmek için ön tasarım raporunun teslim edilmiş ve başarılı görülmüş olması gerekmektedir.

3.2.2 Detay Tasarım Raporu (DTR)

Sayısal işlemci tasarım kategorisi detay tasarım raporunda gerçekleştirilen tasarımın detayları, şartnamede sunulan problemlerin nasıl gerçekleştirildiği, blok diyagramlar, benzetim ve çip tasarım akışı sonuçları gibi konulara yer verilmelidir.

Analog tasarım kategorisi detay tasarım raporunda, şematik seviye tasarımın tamamlanmış olması ve sonuçlarıyla birlikte raporlanması beklenmektedir.

Mikrodenetleyici (İng. Microcontroller Unit, MCU) kategorisi detay tasarım raporunda, şartnamede sunulan gereksinimlerin nasıl gerçekleştirildiği, blok diyagramlar, benzetim ve sentez sonuçları gibi konulara yer verilmelidir. MCU içerisindeki işlemci çekirdeğinin ve “Spike” RISC-V buyruk kümesi benzetim aracının DDK tarafından verilecek olan programların sonuçlarının karşılaştırılarak doğrulanması gerekmektedir. Ayrıca SystemVerilog/UVM ile doğrulanması istenilen UART çevre biriminin (İng. Peripheral) test sonuçlarının, coverage raporlarının detaylandırılması beklenmektedir. Diğer çevre birimleri için doğru çalıştığı gösterilmek zorundayken SV/UVM doğrulaması zorunlu tutulmamış, sadece UART için SV/UVM zorunlu tutulmuştur.

Güncel rapor şablonu [yarışma web sayfasında](#) paylaşılabilecektir.

DTR aşamasına geçen takımlar, raporlarını Tablo 1’de belirtilen tarihte teslim etmekle yükümlüdür.

DTR sonuçlarına göre final değerlendirmesine katılacak takımlar Tablo 1’de belirtilen tarihte ilan edilecektir.

3.2.3 Final Değerlendirme Sunumu ve Tasarım Çıktıları

Final değerlendirme sunumu ve tasarım çıktıları (şematik, RTL, GDSII vs.) Tablo 1’de belirtilen “Tasarımın Nihai Hale Getirilmesi” tarihine kadar teslim edilmelidir. İlgili tarihte saat 23.59’dan sonra GitHub depolarında yapılan değişiklikler dikkate alınmayacaktır. Sunumlar en geç aynı tarihte saat 17.00’a kadar sisteme yüklenmelidir. Yarışma alanındaki sunumlar sisteme yüklenen sunum dosyaları üzerinden gerçekleştirilecektir. Tasarım çıktıları kullanılarak sunumdaki sonuçlar doğrulanacak ve uyumsuz olan gruplar elenecektir. Bu sebeple tasarım çıktılarının güncel ve sunum ile uyumlu olması gereklidir. Tasarım çıktıları detayları Tasarım Çıktıları bölümünde verilmiştir.

3.3 Değerlendirme

Ön Tasarım Raporu aşamasını geçen takımlar Detay Tasarım Raporu aşamasına katılmaya hak kazanacaklardır. Ön tasarım ve detay tasarım raporları [yarışma web sayfasında](#) ilan edilecek şablona uygun olarak değerlendirilecektir. DTR aşamasını geçen takımlar sunum ve demo değerlendirmesine katılmaya hak kazanacaklardır. Sunum değerlendirmesi sözlü sunum ve değerlendircilerin sorularına verilecek cevaplara göre yarışma jürisi tarafından yapılacaktır. Sunum değerlendirmesine katılmaya hak kazanmasına rağmen yarışma alanında bulunmayan takımlar yarışmadan geri çekilmiş olarak değerlendirilir. Birinci, ikinci ve üçüncü yarışmacılar tüm aşamaların ağırlıklı puanlanmasına göre belirlenecektir.

3.3.1 Sayısal İşlemci Tasarım Kategorisi

Değerlendirme birkaç aşamadan oluşmaktadır. İlk olarak, yarışmacılardan istenen işlemci (RV32IMAFB_Zicsr (yalnızca machine mode) komut setli işlemci, UART çevre birimi) hazır bir test ortamına konulacaktır. Testin gerçekleştirilebilmesi için tasarımlar, yarışmacılarla paylaşılacak üst modüldeki (wrapper) giriş ve çıkışlara uygun olmalıdır. İşlemcide çalıştırılacak test kodları üst modüldeki ana hafızaya yüklenecektir. Bu test ortamında yarışmacının komut setini doğru şekilde uygulayıp uygulamadığı test edilecektir. Testler sırasında bazı sınır durumlar da test edilebilecektir. UART bloğunun testi için, EK-3'te verilen yazmaç adres alanına uygun şekilde bu bloklara çevre veri yolu üzerinden komutlar yollanacaktır. Daha sonrasında bu bloklar işlemci ile birlikte ilk olarak benzetim ortamında, daha sonra FPGA üzerinde test edilecektir.

Yapılan testlerle minimum isterleri sağladığı tespit edilen projeler, performans analizine tabi tutulacaktır. Bu analizde çeşitli performans testleri (örn. CoreMark), işlemci üzerinde koşturulacaktır. Sunum ve demolardan sonra yarışmacıların tasarımları üzerinden çip akışı, tasarım değerlendirme ve doğrulama çalışmaları gerçekleştirilecektir. Yarışma sonunda elde edilebilecek toplam puan maksimum 100 puan olacak olup hesaplaması aşağıdaki gibi yapılacaktır.

Toplam Puan = (0.1 * ÖTR Puanı) + (0.2 * DTR Puanı) + (0.2 * Sunum Puanı) + (0.1* Demo Puanı) + (0.25 * Çip Akışı Puanı) + (0.15 * Tasarım ve Doğrulama Puanı)

Puanlandırmada beklenenler ve kriterler daha sonra paylaşılacaktır. GitHub repo'sunu daha sonra duyurulacak olan en geç paylaşma tarihini takip eden 20 günlük aralıkların en az birinde güncelleme yapmamış olanlar Tasarım ve Doğrulama değerlendirmesinden puan kaybına uğrayacaktır. Eşitlik olması durumunda Çip Akışı ile Tasarım ve Doğrulama puanlarının toplamı en çok olan takım sıralamada öne geçecektir.

3.3.2 Analog Tasarım Kategorisi

Puanlama 100 üzerinden yapılacak olup toplam puanın tamamını raporlar, sunum ve demo oluşturacaktır. Toplam puanın %40'ını raporlar kalan %60'ını sunum ve başarımlar kriterleri oluşturacaktır. Analog tasarım kategorisinde serim sonrası benzetimler üzerinden değerlendirme yapılacaktır.

Yarışma sonunda elde edilebilecek toplam puan maksimum 100 puan olacak olup hesaplaması aşağıdaki gibi yapılacaktır.

$$\text{Toplam Puan} = (0.15 * \text{ÖTR Puanı}) + (0.25 * \text{DTR Puanı}) + (0.40 * \text{Sunum}) + (0.20 * \text{Başarımlar Kriterleri Puanı})$$

Başarımlar Kriterleri Puanları, bant aralığı referans gerilim devresi, LDO gerilim düzenleyici devresi ve gerilim kontrollü salınıcı (VCO) devresinin performansları, alan ve güç tüketimleri dikkate alınarak belirlenecektir.

3.3.3 Mikrodenetleyici Tasarım Kategorisi

Mikrodenetleyici tasarım kategorisi kapsamında tasarlanacak olan modül, FPGA ve fiziksel tasarım gerçekleştirilmesi olarak iki ayrı bölümden oluşacaktır. Yarışmacılar ilk olarak bir FPGA geliştirme kartı üzerinde **Tasarım İsterleri** başlığı altındaki Mikrodenetleyici Tasarım Kategorisi Mikrodenetleyici bölümünde verilen görevleri yerine getirecek bir tasarım gerçekleştirecekler ve bu tasarımı FPGA kartı üzerinde gerçek-zamanlı (İng. Real-time) olarak çalıştıracaklardır. Sonraki aşamada ise fiziksel tasarım için sağlanacak olan IC tasarım yazılımı ile üretime gönderilecek formda GDSII çıktıları oluşturacaklardır. IC fiziksel tasarım hakkında detaylı bilgi ilerleyen zamanda netleştirilecektir.

FPGA ve Fiziksel Tasarım aşamaları için yapılması gerekenler ile ilgili teknik bilgiler **TEKNİK KURALLAR** başlığı altındaki Mikrodenetleyici Tasarım Kategorisi başlığında tanımlanmıştır.

Yarışma sonunda elde edilebilecek toplam puan maksimum 100 puan olacak olup hesaplaması aşağıdaki gibi yapılacaktır.

$$\text{Toplam Puan} = (0.1 * \text{ÖTR Puanı}) + (0.2 * \text{DTR Puanı}) + (0.2 * \text{Sunum Puanı}) + (0.1 * \text{Demo Puanı}) + (0.25 * \text{Çip Akışı Puanı}) + (0.15 * \text{Doğrulama Puanı})$$

3.4 İletişim

Yarışma hakkındaki teknik sorular için iletişim daha sonra belirlenecek mesajlaşma grubu üzerinden yapılacaktır. Bu grubun aktif olarak takip edilmesi ve her takımdan en az 1 kişinin üye olarak bu gruptaki duyuruları ve soru & cevapları takip etmesi yarışmacı takım sorumluluğundadır. Belirtilen mail grubunun takip edilmemesi sonucunda doğacak takımların güncel bilgilendirmelere ulaşamama durumundan hakem ve jüri heyetleri sorumlu değildir.

Yarışmanın organizasyonel bölümleri ile ilgili soruların iletisim@teknofest.org mail adresi üzerinden iletilmesi gereklidir.

Teknik sorularınızı ve organizasyonel sorularınızın doğru kanallar üzerinden iletilmesi, sorulan sorulara hızlı dönüş yapılabilmesi açısından önem arz etmektedir.

4. TEKNİK KURALLAR

4.1 Tasarım Ortamı ve Teknolojisi

Sayısal işlemci tasarım kategorisinde geliştirilecek olan donanım için Verilog veya SystemVerilog donanım tasarım dili (HDL) kullanılması gerekmektedir. Kod yazılırken EK-3'te verilen kurallara uyulmalıdır. Tasarım yarışma değerlendirme kurulu ile paylaşılmış, GitHub'da açılan özel bir depoya en seyrek 20 günlük periyotlarla güncellenmelidir. Github'a yüklenecek tasarım içerikleri DDK tarafından belirlenecektir. Çip tasarım aşamasında açık kaynak (OpenLane) veya ticari bir EDA aracı (Synopsys, Cadence, Siemens gibi) ve bu araçlara uygun PDK kullanılacaktır. Detayları ileri bir tarihte DDK tarafından paylaşılacaktır. Çip akışı değerlendirmeleri TT (Typical-Typical) - 25°C - 1.80V köşesinde yapılacaktır. Minimum çalışma frekansı 100 MHz olmalıdır.

Analog tasarım kategorisinde ticari bir EDA aracı (Synopsys, Cadence, Siemens gibi) ve ona uygun PDK kullanılacaktır. PDK ve kullanılan araçlar için sürüm bilgisi daha sonra yapılacak duyuruda paylaşılacaktır. Takımların belirtilen sürümleri kullanarak tasarım yapması gerekmektedir. Yapılan tasarımlar, detay tasarım raporu ve final sunumu teslimi öncesi GitHub'da açılan ve DDK ile paylaşılan özel bir depoda güncellenmelidir.

Mikrodenetleyici tasarım kategorisinde geliştirilecek donanım için Verilog veya SystemVerilog donanım tasarım dili (HDL) kullanılması gerekmektedir. Tasarım yarışma değerlendirme kurulu ile paylaşılmış, GitHub'da açılan özel bir depoya en seyrek 20 günlük periyotlarla güncellenmelidir. Github'a yüklenecek tasarım içerikleri DDK tarafından belirlenecektir. Çip tasarım aşamasında açık kaynak (OpenLane) veya ticari bir EDA aracı (Synopsys, Cadence, Siemens gibi) ve bu araçlara uygun PDK kullanılacaktır. Detayları ileri bir tarihte DDK tarafından paylaşılacaktır. UART çevre birimi doğrulaması için UVM kütüphanesi ve SystemVerilog HDL kullanılmalıdır. SoC'de kullanılacak olan ve şartnamede tanımlanan işlemci çekirdeği doğrulanırken Spike ISS sonuçları ile karşılaştırılarak test programlarının doğru çalıştığı gösterilmelidir.

Katılımcı takımlara ait GitHub depoları sayısal işlemci tasarım ve analog tasarım kategorisi için "TUTEL-TUBITAK" hesabıyla, mikrodenetleyici tasarım kategorisi için "yongatek-teknofest" hesabıyla paylaşılmalıdır. Yarışmacıların daha sonra belirlenecek tarihten itibaren GitHub depolarını ilgili hesaplarla paylaşmaları gerekmektedir. Aksi takdirde puanlama kısmında belirtildiği üzere puan kaybına uğrayacaklardır. Deponun hangi tarihten itibaren paylaşılmaya başlanması gerektiği daha sonra duyurulacaktır.

4.2 Tasarım İsterleri

4.2.1 Sayısal İşlemci Tasarım Kategorisi

Yarışmanın sayısal işlemci tasarım kategorisinde RV32IMAFB_Zicsr Buyruk Kümesi Mimarisine sahip bir işlemci tasarlanması beklenmektedir. İşlemci tasarımı aşamasında **Tasarım Ortamı ve Teknolojisi** bölümünde belirtilen kısıtlara uyulması gerekmektedir. Katılımcılar, açık kaynak tasarım topluluğu içinde mevcut olan devreleri yeniden kullanabilir (uygun referanslar sağlanmalıdır).

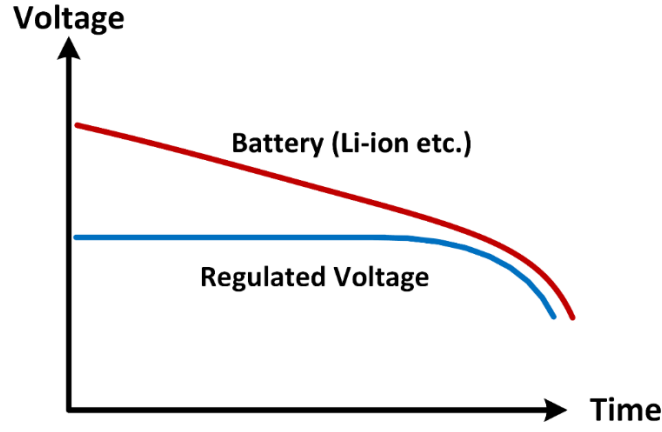
Söz konusu işlemcinin sahip olması gereken özellikler aşağıda listelenmiştir.

- EK-1'de verilen buyrukları desteklemesi
- Detayları EK-2'te verilen UART çevre birimini desteklemesi
- Toplam 4 KB boyutunda, buyruk ve verileri tutacak 1. seviye önbellek (L1 Cache) bulunması.
- 1. seviye önbellekte olmayan veriler için tasarımın çip dışına çıkacak veri genişliği 128-bit olan bir arayüz bulundurması (Arayüzün sinyalleri ve transferlerin nasıl olacağı yarışma komitesi tarafından paylaşılacak üst modülde (wrapper) belirlenecektir.)
- Bu arayüz, çevre birimlerin bitiş adresinden ana hafıza bitiş adresine kadar olan veriler için kullanılmalı ve ana hafıza dışındaki bölgeler önbelleğe yazılmadan işlemciye iletilmeli
- Önbelleklere sadece 0x80000000 adresinden başlayan ana hafıza bölgesindeki verilerin kaydedilmesi
- İşlemcinin açılıştaki (boot) program sayaç değerinin ana hafıza başlangıç adresi olması

4.2.2 Analog Tasarım Kategorisi

Günümüzde taşınabilir cihazlara olan yönelim birçok elektronik sistemin bataryalı çalışacak şekilde tasarlanmasını gerektirmektedir. Bu doğrultuda tasarlanan güç yönetim devreleri de artan performans, düşük güç tüketimi ve alan talebini karşılayabilmek için ayırık elemanlar yerine tümleşik devrelerde (tümdevre, çip) gerçekleştirilmektedir.

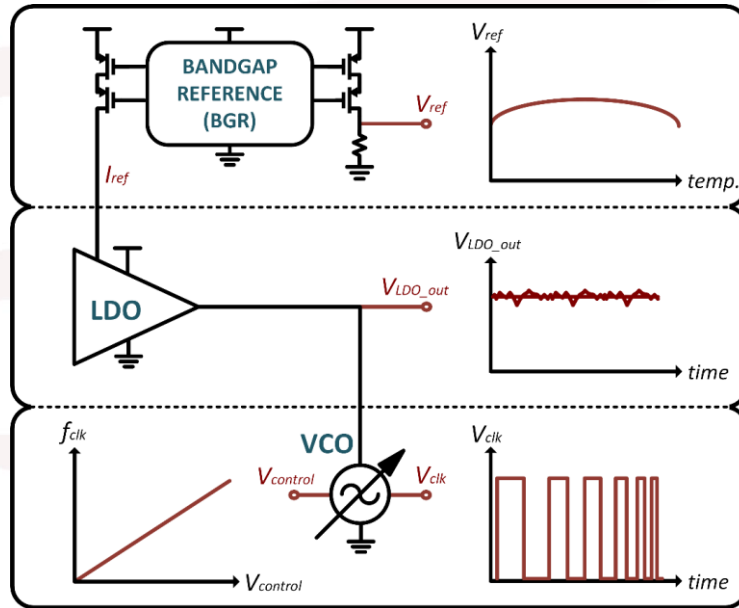
Şekil 1'de bir bataryanın temsili zaman-gerilim grafiği gösterilmektedir. Bazı bataryalar karakteristiği itibari ile devreye güç verirken neredeyse doğrusal bir şekilde deşarj olmaktadır. Devreler direk batarya ile beslendiğinde, zamanla değişen besleme gerilimi sonucu devrenin performansı da zamanla değişmekte ve optimum performanstan sapmaktadır. Bu sorunun önüne geçmek için batarya gerilimini sabit bir gerilime dönüştürüp devreye sağlayan güç dönüştürücüleri kullanılmaktadır.



Şekil 1: Batarya Deşarj Grafiđi

LDO (Low-Dropout) gerilim düzenleyici devresi bataryalı sistemlerde sabit ve gürültüsüz bir gerilim elde etmek için yaygın olarak kullanılan güç dönüştürücü çeşitlerinden birisidir. Diğer dönüştürücü türlerine göre daha basit yapısı ve maliyet olarak daha uygun olması nedeniyle tercih edilmektedir. Özellikle otomotiv, cep telefonları, dizüstü bilgisayar gibi bataryalı sistemlerde sıkça kullanılmaktadır. Bu devrenin özelliđi girişte aldığı deđişken veya gürültü gerilimi çıkışta sabit bir gerilim olarak vermesidir.

Tasarımcılardan bir LDO (Low-Dropout) gerilim düzenleyici ve bu düzenleyicinin kutuplayacağı bir gerilim kontrollü salınıcı (VCO) tasarlanması istenmektedir. VCO, L1 ve L2 GPS sistemlerinde kullanılabilecek teknik gereklere sahip olacaktır. Ayrıca LDO gerilim düzenleyicinin referans gerilimini üretmesi için bant aralığı referans (bandgap reference) devresinin de tasarlanması beklenmektedir. Şekil 2’de yarışma kapsamında tasarlanacak bloklar görselleştirilmiştir.



Şekil 2: Bant-aralığı Referans, LDO Gerilim Düzenleyici ve Gerilim Kontrollü Salınıcı Devreleri Blok Diyagramı

Blok seviyesi ve genel tasarım isterleri ayrıntılı olarak aşağıda verilmiştir.

Genel İsterler:

- Tasarım Ortamı ve Teknolojisi bölümünde belirlenen tasarım ortamı ve teknolojisine uyulmalıdır.
- Bant-aralığı referans ve LDO gerilim düzenleyici devreleri yalnızca bir adet 1.8 V'luk ideal gerilim kaynağı ile beslenmelidir.
- Bütün devre elemanları proses kütüphanesinden kullanılmalıdır, ideal elemanlar kullanılmamalıdır.
- Benzetimler TT (Typical-Typical) proses köşesinde (corner) ve 27°C sıcaklıkta yapılmalıdır. 27°C sıcaklık bütün tasarımın çalışacağı nominal sıcaklıktır. Sadece bant aralığı referans gerilimi devresinin benzetimleri -40°C ila 125°C sıcaklık aralığını kapsamalıdır.
- Aşağıdaki isterlerin serim sonrası benzetimlerle sağlandığı doğrulanmalıdır.
- Şematik ve serim sonrası benzetim sonuçları karşılaştırmalı olarak sunulmalıdır.
- Başlatıcı (start-up) devreleri hariç bütün MOS transistörler doyum bölgesinde çalışmalıdır. (Bant-aralığı referans ve LDO gerilim düzenleyici devreleri için geçerli)
- Gerekli olduğu durumlarda kararlılık analizi yapılmalıdır.

LDO gerilim düzenleyici isterleri:

- Giriş gerilimi 1.8V, çıkış gerilimi 1.2V olmalıdır.
- Çıkış gerilimi, 0 mA'den 50 mA'e kadar çıkan %50 darbe-periyot oranına sahip akım darbelerine karşı maksimum 300 mV değişim göstermelidir. (Akım darbe frekansı 500 kHz olmalı ve akım darbe kaynağı düzenleyici çıkışından toprağa akım çekecek şekilde bağlanmalıdır.)
- Çevrim kazancı (loop gain) ve çevrim faz marjini (loop phase margin) değerleri minimum 45 dB ve 50° olmalıdır.
- Yukarıdaki isterler çıkışa ideal 500 pF kapasitör bağlanarak test edilmelidir. Bu kapasitör test düzeneği için olup devreye dahil edilmemelidir.
- Çıkışında herhangi bir yük olmaması durumunda LDO gerilim düzenleyicinin güç tüketimi azami 1.8 mW olmalıdır.
- Giriş gerilimi 2.5V yapılarak hat düzenlemesine (line regulation) bakılmalıdır.
- Çıkıştan sabit 10mA ve 20mA akım çekilerek yük düzenlemesine (load regulation) bakılmalıdır.

Gerilim kontrollü salıncı (VCO) isterleri:

- VCO, LDO gerilim düzenleyici ile beslenmeli ve besleme gerilimi 1.2 V olmalıdır.
- VCO besleme girişine deküplaj (decoupling) kapasitörü bağlanabilir. (Bağlandığı takdirde serimde bulunmalıdır.)
- VCO çıkışında sürülecek yük en az 0.4pF olmalıdır. Bu kapasite sadece test şematiğinde bağlanmalıdır. VCO bloğunda olmamalıdır. Dolayısıyla VCO seriminde bulunmasına gerek yoktur.
- VCO bu yükü 0 ile 1.2 V arasında (rail-to-rail) kare dalga şeklinde sürebilmelidir.

- VCO çalışma frekansı 1200 – 1600 MHz arasında olmalıdır.
- K_{vco} değeri 800 MHz/V değerinden büyük olmamalıdır.
- Faz Gürültüsü değeri 1 MHz offset için 75 dBc değerinden iyi olmalıdır.
- VCO kontrol voltaj aralığı 0 - 1.2V aralığında olmalıdır.
- VCO yükü sürerken elde edilen kare dalga için darbe-periyot oranı (duty cycle) değeri %40-%60 arasında olmalıdır.
- VCO 1600 MHz frekansta 0.4pF'lık yükü sürerken elde edilen kare dalga için "yükselme süresi"+"iniş süresi" ("rise time"+"fall time") toplamı 0.2ns'den küçük olmalıdır. (Yükselme süresi için kare dalganın genliğinin %10'dan %90'a çıktığı süreye, iniş süresi için kare dalganın genliğinin %90'dan %10'a indiği süreye bakılmalıdır.)

Bant aralığı referans gerilim devresi isterleri:

- Devrenin doğrulanması amacıyla 500 mV referans gerilimi Şekil 2'de gösterildiği gibi üretilmelidir.
- Referans gerilimi -40°C ila 125°C sıcaklık aralığını kapsayacak şekilde maksimum 20 ppm/°C değişim göstermelidir.
- $1.8 \pm \%10$ besleme gerilimi için 500mV referans gerilimi değişmemelidir ve transistörler nominaldeki çalışma bölgelerini (operation region) korumalıdır.
- Devrenin açılış problemlerini önlemek için bir başlatıcı (start-up) devre kurulmalıdır.
- PSRR değeri, 1 Hz-10 GHz aralığında 0 dB'nin altında olmalıdır.

4.2.3 Mikrodenetleyici Tasarım Kategorisi

Mikrodenetleyici kategorisi altında 2 adet çözüm gerçekleştirilecektir: Birincisi FPGA üzerinde çalışacak şekilde (FPGA prototyping), ikincisi ise fiziksel tasarım aracı ile üretim dosyaları oluşturacak şekilde (IC Design).

Yarışmacılar tarafından tasarlanacak olan mikrodenetleyicide "OpenHW Group" tarafından sürdürülen (İng. maintain) ve github ortamında açık-kaynak olarak bulunan tek çekirdekli, 32-bit 4 aşamalı boruhattına sahip CV32E40P RISC-V çekirdek IP kullanılacaktır. İlgili işlemci çekirdeğinin github repo linki aşağıda verilmiştir:

<https://github.com/openhwgroup/cv32e40p>

CV32E40P işlemci çekirdeği ile ilgili dokümantasyon linki aşağıda verilmiştir:

<https://docs.openhwgroup.org/projects/cv32e40p-user-manual/en/latest/index.html>

Yarışma kapsamında IP'nin hangi release ve commit versiyonunun ayrıca hangi konfigürasyonunun kullanılacağı, yani hangi buyrukları destekleyip desteklemeyeceği ilerleyen tarihlerde DDK tarafından netleştirilecektir.

Mikrodenetleyicide aşağıdaki çevre birimleri bulunacaktır:

1x UART

1x I2C Master

1x QSPI Master

1x Timer

1x GPIO (32 pin I/O)

1x USB Full-Speed Device (12 Mbps)

1x JTAG (Opsiyonel)

Çevre birimi tasarımlarını yarışmacılar kendileri tasarlayabilecekleri gibi referans göstererek açık-kaynak projeleri de kullanabilirler.

USB Device çevre birimi tasarımı için DDK tarafından aşağıdaki açık-kaynak repolar örnek olarak verilmiştir:

<https://github.com/WangXuan95/FPGA-USB-Device>

https://github.com/ulixxe/usb_cdc

USB Device tasarımında yarışmacılardan USB Communication Device Class (USB-CDC) fonksiyonlitesini gerçekleştirmeleri beklenmektedir. Diğer device class fonksiyonları (audio, HID, mass storage, video vs.) opsiyonel olacaktır ve ek puan sağlayacaktır.

CV32E40P RISC-V işlemci çekirdeğinin doğrulanmasının bir buyruk kümesi benzetim aracı (ISS) ile (Örn. Spike ISS) yapılması beklenmektedir. Spike ISS github repo linki:

<https://github.com/riscv-software-src/riscv-isa-sim>

Mikrodenetleyici doğrulaması kapsamında UART çevre biriminin SystemVerilog HDL ve Universal Verification Methodology (UVM) kullanılarak yapılması beklenecektir. UVM ile yapılan doğrulamada regression ve coverage sonuçlarının raporlanması gerekmektedir. UVM'in hangi ortamda kullanılacağı (Synopsys, Cadence, Mentor) ileri bir tarihte DDK tarafından netleştirilecektir.

UART dışındaki diğer çevre birimleri ve MCU top modül doğrulaması için UVM/SV kullanılması şart değildir. Başka yöntemler ve metodolojiler ile de doğrulama gerçekleştirilebilir. Fakat çevre birimlerinin hepsinin ve MCU top modülün mutlaka doğrulanması gerekmektedir.

MCU 8 kB buyruk (İng. instruction) ve 8 kB veri (İng. Data) bellek içerecektir.

Çevre birimlerinin ve belleklerin adreslemesi (İng. Memory Map) yarışmacılar tarafından tanımlanacak ve tasarlanacaktır.

Sisteme güç verildiğinde QSPI master arayüzünden non-volatile bir bellekten (QSPI Flash Memory) boot işlemi gerçekleşecektir. Bootloader kodu küçük bir ROM içerisinde (Örn. 512 Byte ya da 1 kB) değiştirilemeyecek bir kod parçası olarak bulunacaktır.

Sisteme güç verildiğinde ilk olarak Bootloader kodu çalıştırılacaktır. Bu kod parçası QSPI Master arayüzü üzerinden Flash bellekten çalıştırılacak olan programı okuyacak ve buyruk belleğine yazacaktır. Sonrasında yürütmeyi (İng. execution) buyruk belleğine devredecektir.

Opsiyonel olarak JTAG arayüzüne bağlı bir debug modülü tasarlanacaktır. Debug modülü, CV32E40P işlemci çekirdeğinin “debug” portuna bağlanacak ve bu debug modülü aracılığıyla MUC’da çalışan program debug edilebilecektir.

4.3 Tasarım Çıktıları

Sayısal işlemci tasarım kategorisi için beklenen tasarım çıktıları aşağıda sıralanmaktadır. Dosyaların hepsi standart ticari EDA aracı üzerinden temin edilebilmektedir.

- GDSII (.gds): Tasarımın üretime gönderilmesi için kullanılan endüstri standardı serim dosya formatıdır. GDSII (Graphic Design System) kullanılacak araç tarafından okutulurak DRC (Design Rule Check) gerçekleştirilecektir. LVS (Layout versus Schematic) işlemi de bu çıktı kullanılarak yapılacaktır.
- Serim sonrası kapı seviyesi netlist (.v): Kapı seviyesi netlist çip akışı sonrası elde edilen tasarımdaki standart hücreleri ve bağlantılarını göstermektedir. Kapı seviyesi benzetim sırasında kullanılarak tasarımın çip akışından sonra da verilen girdilere karşı doğru çıktıları verdiği doğrulanacaktır.
- SDF (Standard Delay Format): SDF, standart hücrelerin ve bunların arasındaki bağlantıların gecikme bilgilerini ifade etmektedir.
- DEF (.def): DEF (Design Exchange Format) dosyası kapı seviyesi netlist’e ilave olarak standart hücrelerin yerlerini de içermektedir. Gerekli EDA aracı üzerinden okunarak tasarımla ilgili genel incelemelerde bulunulacaktır ve alan bilgisi elde edilecektir.
- Raporlar: Tasarımın zamanlama (setup, hold), DRV (maksimum kapasitans, maksimum slew) ve fiziksel doğrulama (DRC, LVS) açısından temiz olması gerekmektedir. Bu amaçla yapılan test/analiz raporları verilmelidir.

Kapı seviyesi benzetim minimum başarımlar kriterlerinden sayılmayacaktır ama değerlendirmede puan karşılığı olacaktır. Bu sebeple ilgili dosyanın teslim edilmesi gerekmektedir.

Analog tasarım kategorisi için LDO, VCO ve bant aralığı referans gerilim devrelerinden beklenen tasarım çıktıları aşağıda belirtilmiştir:

- GDSII (.gds) (GDS: Graphic Design System): Tasarımın üretime gönderilmesi için kullanılan endüstri standardı serim dosya formatıdır. Serim değerlendirmesi ve fiziksel doğrulamalar (DRC/LVS) için kullanılacaktır.
- Tasarım ve test ortamı şematikleri: EDA aracı tarafından oluşturulan, içerisinde transistör seviyesinde tasarımları ve bu tasarımlarla ilgili test ortamı barındıran dosyalardır. Tasarımların doğrulanması için projede kullanılan bütün şematik dosyaları çıktılarına dâhil edilmelidir.

- Şematik ve serim sonrası transistör seviyesi netlist (.spice/.scs/.l): Transistör seviyesi netlist, tasarımdaki PDK elemanlarını ve bunların birbirleri ile bağlantılarını gösteren dosyadır. Serim sonrası netlist'te, parazitik elemanlar da bu dosyaya dâhil edilir. Serim öncesi ve sonrası başarımlar doğrulamalarında bu dosyadan faydalanılacaktır.
- Layout çıktı dosyaları: EDA serim aracı çıktı dosyasıdır. Serimin kontrolü için istenmektedir.
- Fiziksel Doğrulama Raporları: Fiziksel doğrulama testleri (DRC/LVS) sonuçlarını içeren raporlardan oluşmaktadır.

Takımların daha sonra belirtilecek bir tarihe kadar çalışmalarını DDK'nın belirleyeceği uzak depo ya da sunucu konumuna yüklemeleri gerekmektedir. Yükleme formatıyla ilgili duyuru takımlarla paylaşılacaktır.

Mikrodenetleyici tasarım kategorisi için FPGA ve fiziksel tasarım akışları için farklı çıktılar beklenmektedir. Çıktıların, takımların mikrodenetleyici tasarım kategorisi düzenleyici firma ile paylaşacağı GitHub hesabında olması beklenmektedir.

FPGA Akışı

- Bütün tasarım RTL Verilog/SystemVerilog kodları
- Bütün testbench Verilog/SystemVerilog kodları
- Başarılı (error free) sentez sonuç raporu
- Başarılı (error free) durağan zaman analizi (STA) raporu
- Başarılı (error free) implementasyon (Place & Route) sonuç raporu
- FPGA'ya yüklenebilecek bitstream

Fiziksel Tasarım Akışı

- Bütün tasarım RTL Verilog/SystemVerilog kodları
- Bütün testbench Verilog/SystemVerilog kodları
- Fiziksel tasarım akışının başarılı bir şekilde tamamlanmış olması
- Tasarımın üretime hazır LEF, DEF, GDSII dosya çıktıları
- Fiziksel tasarım signoff testlerinin (LVS, DRC, ERC, etc.) başarıyla sonuçlanması

5. ÖDÜL

Yarışmada değerlendirme neticesinde rapor aşamalarını geçerek kendi kategorisinde finale kalan, ödül kriterlerini sağlayan ve final değerlendirmesinde dereceye giren takımlara Tablo 2, Tablo 3 ve Tablo 4'te belirtildiği şekilde para ödülü verilecektir. **Kategoriler ayrı ayrı değerlendirilip ödüllendirilecektir.** Birincilik, ikincilik ve üçüncülük ödülleri, takım üyeleri (sistemde kayıtlı tüm üyelere) toplam sayısına göre eşit miktarda bölünerek her şahsın belirteceği banka hesabına yatırılacaktır. Yarışma kategorilerinde ödül sıralaması için minimum başarı kriterlerini sağlayamayan takımların mansiyon ödülü alabilmesi veya ne kadar ödül alabilecekleri ilgili kategori düzenleyicisi tarafından belirlenecektir.

Aşağıdaki tabloda belirtilen ödüller, ödül almaya hak kazanan takımlara verilecek toplam tutarı göstermektedir, bireysel ödüllendirme yapılmayacaktır. Birincilik, ikincilik ve üçüncülük ödülleri, takım üyeleri toplam sayısına (danışman hariç) göre eşit miktarda bölünerek her şahsın belirteceği banka hesabına yatırılacaktır. Ödül almaya hak kazanan takım danışmanları aşağıdaki birincilik, ikincilik, üçüncülük ödül tutarlarından faydalanamaz, danışmanlara verilecek ödüller aşağıdaki tabloda ayrıca belirtilmiştir.

Tablo 2: Sayısal İşlemci Kategorisi Ödül Miktarları

DERECE	ÖDÜL MİKTARI	DANIŞMAN
Birinci	150.000,00 ₺	9.000,00 ₺
İkinci	120.000,00 ₺	7.500,00 ₺
Üçüncü	100.000,00 ₺	6.000,00 ₺

Tablo 3: Analog Kategorisi Ödül Miktarları

DERECE	ÖDÜL MİKTARI	DANIŞMAN
Birinci	150.000,00 ₺	9.000,00 ₺
İkinci	120.000,00 ₺	7.500,00 ₺
Üçüncü	100.000,00 ₺	6.000,00 ₺

Tablo 4: Mikrodenetleyici Kategorisi Ödül Miktarları

DERECE	ÖDÜL MİKTARI	DANIŞMAN
Birinci	150.000,00 ₺	9.000,00 ₺
İkinci	120.000,00 ₺	7.500,00 ₺
Üçüncü	100.000,00 ₺	6.000,00 ₺

5.1 Sayısal İşlemci Tasarım Kategorisinde Ödül Sıralaması için Minimum Başarı Kriteri

Yarışmacıların ödül sıralamasına girebilmesi için sağlaması gereken minimum başarı kriterleri şunlardır:

- İşlemci, bu belgedeki tüm 32-bit buyrukları desteklemelidir.
- İşlemci Tasarım İsterleri bölümü altındaki Sayısal İşlemci Tasarım Kategorisi'nde verilen isterleri sağlamalıdır.
- Tasarım Çıktıları bölümünde belirtilen kontroller yapılarak hiçbir ihlal olmadığı gösterilmelidir.
- İşlemci, isterler doğrultusunda hazırlanan test yazılımlarını başarıyla çalıştırmalıdır.

Ayrıca yarışmacı sunum aşamasına geçmiş olmalı ve etkinlik günü festival alanında bulunmalıdır.

5.2 Analog Tasarım Kategorisinde Ödül Sıralaması için Minimum Başarı Kriteri

Yarışmacıların ödül sıralamasına girebilmesi için alttaki isterleri serim sonrası sağlamalıdır.

- Bütün devrelerin fonksiyonel olarak çalışması
- LDO çevrim kazancı (loop gain) ve çevrim faz marjini
- VCO çalışma frekansı ve darbe-periyot oranı
- Bant aralığı referans devresinin sıcaklık katsayısı (temperature coefficient) ve PSRR değeri

Ayrıca yarışmacı sunum aşamasına geçmiş olmalı ve etkinlik günü festival alanında bulunmalıdır.

5.3 Mikrodenetleyici Tasarım Kategorisinde Ödül Sıralaması için Minimum Başarı Kriteri

Yarışmacıların ödül almaya hak kazanabilmesi için gereken asgari başarı kriterleri aşağıda verilmiştir.

- Mikrodenetleyici'nin FPGA geliştirme kartında, kurul tarafından verilecek olan test senaryolarını başarılı bir şekilde gerçekleştirdiğinin gösterilmesi.
- Mikrodenetleyici'de bulunan UART çevre biriminin UVM/SV ile doğrulanması ve bu kapsamda regression ve coverage test raporlarının oluşturulması.
- Fiziksel tasarım akışını başarılı bir şekilde tamamlayarak üretime hazır halde GDSII çıktılarının hazırlanması.

6. GENEL KURALLAR

Yarışma kapsamında geçerli olan [Genel Kurallar kitapçığına ulaşmak için tıklayınız.](#)

7. ETİK KURALLARI

Yarışma kapsamında geçerli olan [Etik Kurallar kitapçığına ulaşmak için tıklayınız.](#)

Sorumluluk Beyanı

T3 Vakfı ve TEKNOFEST, yarışmacıların teslim etmiş olduğu herhangi bir üründen veya yarışmacıdan kaynaklanan herhangi bir yaralanma veya hasardan hiçbir şekilde sorumlu değildir. Yarışmacıların 3. kişilere verdiği zararlardan T3 Vakfı ve organizasyon yetkilileri sorumlu değildir. T3 Vakfı ve TEKNOFEST, takımların kendi sistemlerini Türkiye Cumhuriyeti yasaları çerçevesinde hazırlamalarını ve uygulamalarını sağlamaktan sorumlu değildir.

Türkiye Teknoloji Takımı Vakfı işbu şartnamede her türlü değişiklik yapma hakkını saklı tutar.

8. EKLER

EK-1 Desteklenmesi Gereken Buyruklar

Tablo 5: RV32I Temel Buyruk Seti

imm[31:12]				rd	0110111	LUI
imm[31:12]				rd	0010111	AUIPC
imm[20:10:1 11 19:12]				rd	1101111	JAL
imm[11:0]		rs1	000	rd	1100111	JALR
imm[12:10:5]	rs2	rs1	000	imm[4:1 11]	1100011	BEQ
imm[12:10:5]	rs2	rs1	001	imm[4:1 11]	1100011	BNE
imm[12:10:5]	rs2	rs1	100	imm[4:1 11]	1100011	BLT
imm[12:10:5]	rs2	rs1	101	imm[4:1 11]	1100011	BGE
imm[12:10:5]	rs2	rs1	110	imm[4:1 11]	1100011	BLTU
imm[12:10:5]	rs2	rs1	111	imm[4:1 11]	1100011	BGEU
imm[11:0]		rs1	000	rd	0000011	LB
imm[11:0]		rs1	001	rd	0000011	LH
imm[11:0]		rs1	010	rd	0000011	LW
imm[11:0]		rs1	100	rd	0000011	LBU
imm[11:0]		rs1	101	rd	0000011	LHU
imm[11:5]	rs2	rs1	000	imm[4:0]	0100011	SB
imm[11:5]	rs2	rs1	001	imm[4:0]	0100011	SH
imm[11:5]	rs2	rs1	010	imm[4:0]	0100011	SW
imm[11:0]		rs1	000	rd	0010011	ADDI
imm[11:0]		rs1	010	rd	0010011	SLTI
imm[11:0]		rs1	011	rd	0010011	SLTIU
imm[11:0]		rs1	100	rd	0010011	XORI
imm[11:0]		rs1	110	rd	0010011	ORI
imm[11:0]		rs1	111	rd	0010011	ANDI
0000000	shamt	rs1	001	rd	0010011	SLLI
0000000	shamt	rs1	101	rd	0010011	SRLI
0100000	shamt	rs1	101	rd	0010011	SRAI
0000000	rs2	rs1	000	rd	0110011	ADD
0100000	rs2	rs1	000	rd	0110011	SUB
0000000	rs2	rs1	001	rd	0110011	SLL
0000000	rs2	rs1	010	rd	0110011	SLT
0000000	rs2	rs1	011	rd	0110011	SLTU
0000000	rs2	rs1	100	rd	0110011	XOR
0000000	rs2	rs1	101	rd	0110011	SRL
0100000	rs2	rs1	101	rd	0110011	SRA
0000000	rs2	rs1	110	rd	0110011	OR
0000000	rs2	rs1	111	rd	0110011	AND

Tablo 6: RV32M Standart Buyruk Kümesi Uzantıları

0000001	rs2	rs1	000	rd	0110011	MUL
0000001	rs2	rs1	001	rd	0110011	MULH
0000001	rs2	rs1	010	rd	0110011	MULHSU
0000001	rs2	rs1	011	rd	0110011	MULHU
0000001	rs2	rs1	100	rd	0110011	DIV
0000001	rs2	rs1	101	rd	0110011	DIVU
0000001	rs2	rs1	110	rd	0110011	REM
0000001	rs2	rs1	111	rd	0110011	REMU

Tablo 7: RV32A Standard Buyruk Kümesi Uzantıları

00010	aq	rl	00000	rs1	010	rd	0101111	LR.W
00011	aq	rl	rs2	rs1	010	rd	0101111	SC.W
00001	aq	rl	rs2	rs1	010	rd	0101111	AMOSWAP.W
00000	aq	rl	rs2	rs1	010	rd	0101111	AMOADD.W
00100	aq	rl	rs2	rs1	010	rd	0101111	AMOXOR.W
01100	aq	rl	rs2	rs1	010	rd	0101111	AMOAND.W
01000	aq	rl	rs2	rs1	010	rd	0101111	AMOOOR.W
10000	aq	rl	rs2	rs1	010	rd	0101111	AMOMIN.W
10100	aq	rl	rs2	rs1	010	rd	0101111	AMOMAX.W
11000	aq	rl	rs2	rs1	010	rd	0101111	AMOMINU.W
11100	aq	rl	rs2	rs1	010	rd	0101111	AMOMAXU.W

Tablo 8: RV32F Standard Buyruk Kümesi Uzantıları

RV32F Standard Extension							
imm[11:0]			rs1	010	rd	0000111	FLW
imm[11:5]		rs2	rs1	010	imm[4:0]	0100111	FSW
rs3	00	rs2	rs1	rm	rd	1000011	FMADD.S
rs3	00	rs2	rs1	rm	rd	1000111	FMSUB.S
rs3	00	rs2	rs1	rm	rd	1001011	FNMSUB.S
rs3	00	rs2	rs1	rm	rd	1001111	FNMADD.S
0000000		rs2	rs1	rm	rd	1010011	FADD.S
0000100		rs2	rs1	rm	rd	1010011	FSUB.S
0001000		rs2	rs1	rm	rd	1010011	FMUL.S
0001100		rs2	rs1	rm	rd	1010011	FDIV.S
0101100		00000	rs1	rm	rd	1010011	FSQRT.S
0010000		rs2	rs1	000	rd	1010011	FSGNJ.S
0010000		rs2	rs1	001	rd	1010011	FSGNJN.S
0010000		rs2	rs1	010	rd	1010011	FSGNJX.S
0010100		rs2	rs1	000	rd	1010011	FMIN.S
0010100		rs2	rs1	001	rd	1010011	FMAX.S
1100000		00000	rs1	rm	rd	1010011	FCVT.W.S
1100000		00001	rs1	rm	rd	1010011	FCVT.WU.S
1110000		00000	rs1	000	rd	1010011	FMV.X.W
1010000		rs2	rs1	010	rd	1010011	FEQ.S
1010000		rs2	rs1	001	rd	1010011	FLT.S
1010000		rs2	rs1	000	rd	1010011	FLE.S
1110000		00000	rs1	001	rd	1010011	FCLASS.S
1101000		00000	rs1	rm	rd	1010011	FCVT.S.W
1101000		00001	rs1	rm	rd	1010011	FCVT.S.WU
1111000		00000	rs1	000	rd	1010011	FMV.W.X

Tablo 9: RV32B Standard Buyruk Kümesi Uzantıları

Tasarlanan işlemci tabloda RV32'nin işaretli olduğu buyrukları desteklemelidir.

RV32	RV64	Mnemonic	Instruction	Zba	Zbb	Zbc	Zbs
	✓	add.uw rd, rs1, rs2	Add unsigned word	✓			
✓	✓	andn rd, rs1, rs2	AND with inverted operand		✓		
✓	✓	clmul rd, rs1, rs2	Carry-less multiply (low-part)			✓	
✓	✓	clmulh rd, rs1, rs2	Carry-less multiply (high-part)			✓	
✓	✓	clmulr rd, rs1, rs2	Carry-less multiply (reversed)			✓	
✓	✓	clz rd, rs	Count leading zero bits		✓		
	✓	clzw rd, rs	Count leading zero bits in word		✓		
✓	✓	cpop rd, rs	Count set bits		✓		
	✓	cpopw rd, rs	Count set bits in word		✓		
✓	✓	ctz rd, rs	Count trailing zero bits		✓		
	✓	ctzw rd, rs	Count trailing zero bits in word		✓		
✓	✓	max rd, rs1, rs2	Maximum		✓		
✓	✓	maxu rd, rs1, rs2	Unsigned maximum		✓		
✓	✓	min rd, rs1, rs2	Minimum		✓		
✓	✓	minu rd, rs1, rs2	Unsigned minimum		✓		
✓	✓	orc.b rd, rs1, rs2	Bitwise OR-Combine, byte granule		✓		
✓	✓	orn rd, rs1, rs2	OR with inverted operand		✓		
✓	✓	rev8 rd, rs	Byte-reverse register		✓		
✓	✓	rol rd, rs1, rs2	Rotate left (Register)		✓		
	✓	rolw rd, rs1, rs2	Rotate Left Word (Register)		✓		
✓	✓	ror rd, rs1, rs2	Rotate right (Register)		✓		
✓	✓	rori rd, rs1, shamt	Rotate right (Immediate)		✓		
	✓	roriw rd, rs1, shamt	Rotate right Word (Immediate)		✓		
	✓	rorw rd, rs1, rs2	Rotate right Word (Register)		✓		

RV32	RV64	Mnemonic	Instruction	Zba	Zbb	Zbc	Zbs
✓	✓	bclr rd, rs1, rs2	Single-Bit Clear (Register)				✓
✓	✓	bclri rd, rs1, imm	Single-Bit Clear (Immediate)				✓
✓	✓	bext rd, rs1, rs2	Single-Bit Extract (Register)				✓
✓	✓	bexti rd, rs1, imm	Single-Bit Extract (Immediate)				✓
✓	✓	binv rd, rs1, rs2	Single-Bit Invert (Register)				✓
✓	✓	binvi rd, rs1, imm	Single-Bit Invert (Immediate)				✓
✓	✓	bset rd, rs1, rs2	Single-Bit Set (Register)				✓
✓	✓	bseti rd, rs1, imm	Single-Bit Set (Immediate)				✓
✓	✓	sext.b rd, rs	Sign-extend byte		✓		
✓	✓	sext.h rd, rs	Sign-extend halfword		✓		
✓	✓	sh1add rd, rs1, rs2	Shift left by 1 and add	✓			
	✓	sh1add.uw rd, rs1, rs2	Shift unsigned word left by 1 and add	✓			
✓	✓	sh2add rd, rs1, rs2	Shift left by 2 and add	✓			
	✓	sh2add.uw rd, rs1, rs2	Shift unsigned word left by 2 and add	✓			
✓	✓	sh3add rd, rs2, rs2	Shift left by 3 and add	✓			
	✓	sh3add.uw rd, rs1, rs2	Shift unsigned word left by 3 and add	✓			
	✓	slli.uw rd, rs1, imm	Shift-left unsigned word (Immediate)	✓			
✓	✓	xnor rd, rs1, rs2	Exclusive NOR		✓		
✓	✓	zext.h rd, rs	Zero-extend halfword		✓		

EK-2 Çevre Birimi Detayları

Çevre birimler, çevresel veri yolu (peripheral bus) ve çevresel veri yolu protokolünü destekleyen cihazlar ile birlikte oluşturulmalıdır. Çevresel veri yolu protokolü olarak Wishbone, AXI4-Lite ve TileLink Uncached Lightweight (TL-UL) protokollerinden biri seçilmelidir. Bir çevre birim yöneticisi ve üç çevre birim cihazı desteklenmelidir.

Universal Asynchronous Receiver / Transmitter (UART) çevre biriminin tasarlanması istenmektedir. Çevre birimi kontrollerinin gerçekleştirileceği bellek haritası oluşturulmalıdır. Bellek haritaları yalnızca 32-bit bellek erişimleri gerektirecek şekilde tasarlanmalıdır. Tasarımların test sistemleri ile sorunsuz bir şekilde entegre olabilmesi için verilen çevre birim özelliklerinin tamamını desteklemesi gerekmektedir.

UART (Universal Asynchronous Receiver Transmitter)

Bu bölümde tasarlanması istenilen UART cihazının temel özellikleri belirtilmektedir.

UART modülü, tipik olarak terminal tarzı iletişim için bir dış cihazla iletişim kurmayı amaçlayan bir seriden paralele alma (rx) ve paralelden seriye iletme (tx) tam çift yönlü tasarım olmalıdır. Programlanabilir baud hızının 1 Mbps'ye kadar karşılanacağı garanti edilmelidir.

Özellikler:

- 1 start bit, 8 veri bit, parity bit yok, 1 stop bit
- Programlanabilir baud rate
- 32 x 8-bit rx buffer
- 32 x 8-bit tx buffer
- rx giriş portu
- tx çıkış portu

Bellek Haritası:

UART çevre birimi kontrol yazmaçları için bellek haritası Tablo 10'da gösterilmektedir.

Tablo 10: UART Bellek Haritası

Adres	İsim	Açıklama
0x20000000	uart_ctrl	Kontrol yazmacı
0x20000004	uart_status	Durum yazmacı
0x20000008	uart_rdata	Veri okuma yazmacı
0x2000000c	uart_wdata	Veri yazma yazmacı

UART Kontrol Yazmacı

tx ve rx kanallarının çalışması kontrol edilir.

Tablo 11: UART Kontrol Yazmacı

uart_ctrl varsayılan sıfırlama: 0x0, maske: 0xFFFF0003			
Bitler	Tip	İsim	Açıklama
0	Okuma / Yazma	tx_en	tx kanalını etkinleştir
1	Okuma / Yazma	rx_en	rx kanalını etkinleştir
15:2			Kullanılmayan alan
31:16	Okuma / Yazma	baud_div v	Baud rate kontrol

tx_en, tx kanalının etkinleştirilip etkinleştirilmeyeceğini kontrol etmelidir. Etkinleştirildiğinde tx bufferda veri olması durumunda iletim gerçekleştirilmelidir.

rx_en, rx kanalının etkinleştirip etkinleştirilmeyeceğini kontrol etmelidir. Etkinleştirildiğinde gelen veriler okuma işlemi gerçekleşinceye kadar rx bufferda tutulmalıdır.

Hem tx hem de rx kanalları için baud hızı **baud_div** ile belirtilmelidir. Giriş saat frekansı ile baud arasındaki ilişki aşağıdaki formül ile oluşturulmalıdır.

$$f_{baud} = \frac{f_{clk}}{baud_div + 1}$$

Tablo 12’de belirli bir saat frekansında belirli bir baud hızı elde etmek için bölme değerlerinin örnekleri verilmiştir.

Tablo 12: Örnek baud hızı hesaplama değerleri

Saat (MHz)	Hedef Baud (Hz)	baud_div v	Gerçek Baud (Hz)
500	31250	16000	31250
500	115200	4340	115207
500	250000	2000	250000
500	1843200	271	1845018

UART Durum Yazmacı

Bu yazmaç ile rx ve tx buffer durumları hakkında bilgiler alınır.

Tablo 13: UART Durum Yazmacı

uart_status varsayılan sıfırlama: 0xA, maske: 0xF			
Bitler	Tip	İsim	Açıklama
0	Sadece Okuma	tx_full	tx buffer dolu
1	Sadece Okuma	tx_empty	tx buffer boş
2	Sadece Okuma	rx_full	rx buffer dolu
3	Sadece Okuma	rx_empty	rx buffer boş

UART Veri Okuma Yazmacı

rx kanalından seri olarak alınan veriler paralel olarak bu yazmaç ile okunur. rx_en etkinleştirildikten sonra veriler bu yazmaçtan okunana kadar rx bufferda depolanmalıdır.

Tablo 14: UART Veri Okuma Yazmacı

uart_rdata varsayılan sıfırlama: 0x0, maske: 0xFF			
Bitler	Tip	İsim	Açıklama
7:0	Sadece Okuma	rdata	Okunan veriler

UART Veri Yazma Yazmacı

tx kanalından iletilecek veriler bu yazmaca yazılır ve seri olarak iletim gerçekleştirilir. tx_en etkin olmadığı durumlarda data yazma istekleri tx bufferda depolanmalıdır ve kanal aktif olduğunda veriler iletilmelidir.

Tablo 15: UART Veri Yazma Yazmacı

uart_wdata varsayılan sıfırlama: 0x0, maske: 0xFF			
Bitler	Tip	İsim	Açıklama
7:0	Sadece Yazma	wdata	Yazılan veriler

EK-3 Verilog RTL Yazarken Uyulması Gereken Kurallar

Yarışmada kodun okunmasını ve anlaşılmasını kolaylaştırmak için aşağıdaki kurallara uyulması gerekmektedir.

- Her .v dosyası bir modülden oluşmalı ve dosyanın ismi ile modülün ismi aynı olmalıdır.
- always, if, else gibi ifadeler begin ile başlayıp end ile bitmelidir.
- Girintiler 3 boşluktan oluşmalıdır.
- Clocklar clk ile başlamalıdır. İsteğe göre sonrasına ek eklenebilir. Örn; clk_memory.
- Resetler rst ile başlamalıdır. İsteğe göre sonrasına ek eklenebilir. Örn; rst_memory.
- begin / end, module / endmodule, case / endcase içinde kalan bölüm önceki bölümden bir girinti içeride olmalıdır. Örnek kod aşağıda verilmiştir.

```
always @(posedge clk or negedge
rst) begin

    if (!rsti) begin

        valid1 <= 1'b0;
```

- Modül inputları “_i”, outputları “_o”, inoutlar “_io” ile bitmelidir.
- Modül ifadeleri Verilog-2001 şeklinde olmalıdır. Bu “module” ifadesinden sonra modül ismi, input/output , signal isminin parantezlin içerisinde olup sonradan modülün mantık kısmının yazılmış halidir. Örnek kod aşağıda verilmiştir.

```
module modul_ismi #(
    parameter int Size = 8
) (
    input          clk_i,
    input          rst_i,
    input [0:Size-1] data0;
```

- Modül çağrılırken tek satırda çağırılmamalı, parametrelerin ve sinyal isimlerinin açık bir şekilde alt alta yazılıp çağrılmalıdır. Bağlı olmayan boş giriş sinyali toprağa bağlı olmalı ve bağlı olmayan boş çıkış sinyali boş bırakılmalıdır. Örnek kod aşağıda verilmiştir.

```
...

modul_ismi #(
    .Size(16)
) örnek_isim (
    .clk_i (clk),
```

- İki sinyal/port birbirine atanırken sinyal/port uzunluğu aynı olmalıdır. Otomatik atama yapılmamalıdır.

```
wire [3:0] ornek_sinyal;  
wire [6:0] ornek_sinyal2;
```

- Kombinasyonel bloklar engellenmiş şekilde (=) atanmalıdır.
- Ardışıl bloklar engellenmemiş şekilde (<=) atanmalıdır.
- Sinyal isimleri anlamlı olmalıdır. Uzun olup anlamlı olması kısa olmasına tercih edilmelidir.
- Kodun anlaşılması için gerekli yerlere yorum satırları eklenmelidir.

