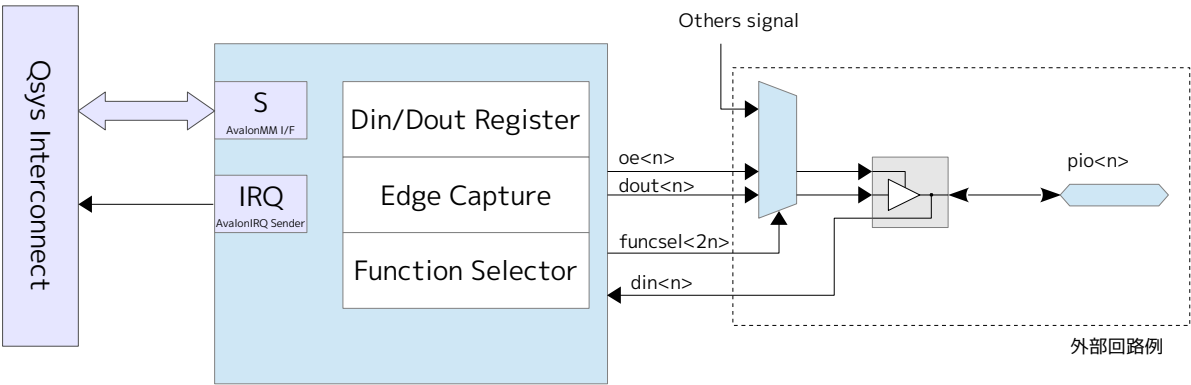


●全体ブロック図



●レジスタマップ

	31	16 15	0
+0	n/a		DIN/DOUT
+4	n/a		DIR
+8	n/a		IRQENA
+12	n/a		CAPTURE
+16	n/a		DOSET
+20	n/a		DOCLR
+24	TRIG		
+28	FUNC		

## ・PIO入出力レジスタ

**DIN** - ピン入力レジスタ（読み出しのみ）

各ピン入力のスナップショットが格納される。ビット幅は生成時のポート数により制限される。

```

bit0    din[0]
bit1    din[1]
:
bit15   din[15]

```

ピンがLレベル状態の時'0'、Hレベル状態の時は'1'が返される。

このレジスタには常にピンの状態がモニタされるため、入力が必要な場合は該当のFUNCレジスタでPIOを指定した後、DIRレジスタで入力（Hi-Z）を選択しておく。

**DOUT** - ピン出力レジスタ（書き込みのみ）

各ピンへの出力を設定する。ビット幅は生成時のポート数により制限される。

```

bit0    dout[0]
bit1    dout[1]
:
bit15   dout[15]

```

ピンのLレベル出力は'0'、Hレベル出力は'1'をセットする。

このレジスタの読み出しはできないため、任意のビットのセット/クリアを行う場合は、DOSETレジスタ、DOCLRレジスタを使用する。また、出力が必要な場合は該当のFUNCレジスタでPIOを指定した後、DIRレジスタで出力を選択しておく。

## ・PIO方向レジスタ

**DIR** - 入出力方向レジスタ

各ピンの入出力方向を設定する。ビット幅は生成時のポート数により制限される。

```

bit0    oe[0]
bit1    oe[1]
:
bit15   oe[15]

```

入出力方向はoe<n>信号として出力され、'1'の場合に出力、'0'の場合は入力（Hi-Z）を示す。

ピン入出力機能を使う場合は該当のFUNCレジスタでPIOを指定する。

## ・ 割り込みイネーブルレジスタ

**IRQENA** - 割り込みイネーブルレジスタ

各ピン入力の割り込みを許可する。ビット幅は生成時のポート数により制限される。

bit0	capture[0]の割り込みを許可
bit1	capture[1]の割り込みを許可
:	
bit15	capture[15]の割り込みを許可

各ビットに'1'を設定すると該当するCAPTUREレジスタのアサートで割り込みが発行される。リセット時は各ビット'0'となる。

CAPTUREレジスタはFUNCレジスタの設定にかかわらずピンの状態をモニタするため、ピン入力を使わないポートの割り込みはディセーブルにしなければならない。

## ・ 入力キャプチャーレジスタ

**CAPTURE** - DINキャプチャーレジスタ

各ピン入力の変化を検出する。ビット幅は生成時のポート数により制限される。

bit0	DIN[0]の変化を検出
bit1	DIN[1]の変化を検出
:	
bit15	DIN[15]の変化を検出

各DINの状態を監視し、TRIGレジスタで指定された変化を検出すると該当のビットをアサート（'1'をセット）する。該当ビットに'0'を書き込むとクリアされる。

## ・ 出力ビットセットレジスタ

**DOSET** - DOUTセットレジスタ（書き込みのみ）

DOUTの任意のビットをセットする。ビット幅は生成時のポート数により制限される。

bit0	DOUT[0]に'1'をセット
bit1	DOUT[1]に'1'をセット
:	
bit15	DOUT[15]に'1'をセット

このレジスタに'1'を書き込むと、DOUTレジスタの対応するビットに対して'1'をセットする。'0'を書き込んだ場合はDOUTレジスタの値は変化しない。

## ・出力ビットクリアレジスタ

		31		15		0
+20	R	n/a			n/a	
	W				DOCLR	

**DOCLR** - DOUTクリアレジスタ（書き込みのみ）

DOUTの任意のビットをクリアする。ビット幅は生成時のポート数により制限される。

bit0 DOUT[0]に'0'にクリア  
bit1 DOUT[1]に'0'にクリア  
:  
bit15 DOUT[15]に'0'にクリア

このレジスタに'1'を書き込むと、DOUTレジスタの対応するビットを'0'にクリアする。'0'を書き込んだ場合はDOUTレジスタの値は変化しない。

## ・入力変化トリガレジスタ

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
+24	R	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR	TR
	W	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG	IG
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																

**TRIGn** - 入力変化トリガ

CAPTUREをアサートするトリガ条件を指定する。ビット幅は生成時のポート数により制限される。

00 : 変化を検出しない ※初期値  
01 : 立ち上がりエッジ (L→H) を検出  
10 : 立ち下がりエッジ (H→L) を検出  
11 : 両エッジ (L→H,H→L) を検出

DINの変化がこのレジスタで指定したパターンに合致した時に、CAPTUREレジスタの該当ビットがアサートされる。

## ・機能選択レジスタ

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
+28	R	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU	FU
	W	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																

**FUNCn** - ファンクション選択レジスタ

各ピンに割り当てる機能を選択する。ビット幅は生成時のポート数により制限される。

00 : PIO ※初期値  
01 : 外部信号1  
10 : 外部信号2  
11 : 外部信号3

このレジスタで設定した値が funcsel[2n+1:2n] としてペリフェラル外部に出力される。  
ピン機能の選択を行う場合は、ペリフェラル外部に他のファンクションの信号と切り替えるセレクト回路を実装しなければならない。

# CERASITE PIO仕様書

2019/07/24 Rev.1  
J-7SYSTEM WORKS LIMITED

## ●変更履歴

2019/07/24

Rev.1リリース / s.osafune