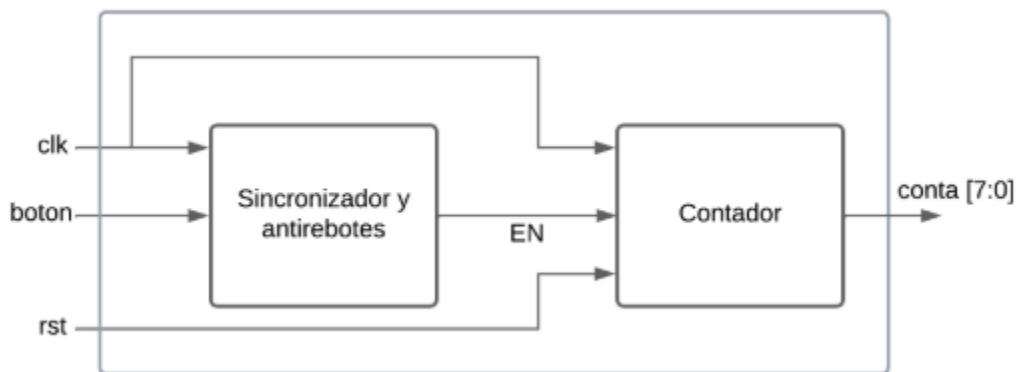


Documentación Ejercicio 2: Diseño antirebotes y sincronizador

Para el diseño de este ejercicio se diseñó un diagrama de bloques indicando como trabaja el sincronizador y el contador juntos con la misma señal de reloj que proviene del ejercicio 1.



En este ejercicio se desarrollaron varios módulos, siendo el principal uno llamado “top”, el cual agrupa e interconecta tres submódulos. Su función es instanciar estos submódulos y establecer las conexiones necesarias mediante señales (cables).

Uno de estos submódulos es un **IP core** que genera una señal de reloj de 10 MHz a partir de una señal de entrada de 100 MHz. Este módulo proporciona dos salidas: clk_10MHz, que es la señal de reloj resultante, y locked, que indica el estado de bloqueo del reloj.

Otro submódulo es el **DebouncerSync**, encargado de eliminar los rebotes generados por un pulsador. Para lograrlo, implementa un mecanismo que verifica si la señal se mantiene estable durante dos ciclos consecutivos del reloj; solo entonces se considera válida. Luego, la señal pasa por dos flip-flops para sincronizarla con el flanco positivo del reloj de la FPGA.

El tercer submódulo, **Contador_prueba**, incrementa el valor del contador en uno cada vez que se activa la señal de habilitación. Además, incorpora una señal de reinicio activa en bajo (reset), que permite reiniciar el contador cuando sea necesario.

El módulo principal, “top”, se encarga de distribuir la señal de reloj a los submódulos **DebouncerSync** y **Contador_prueba**. Estos se conectan entre sí mediante la señal btn_sync, que corresponde a la señal btn_raw ya estabilizada y sincronizada por el Debouncer. Esta señal es la que activa el contador.

El funcionamiento completo del sistema puede observarse en el testbench proporcionado a continuación.

