

Documentación Parte 2: UART

Para la implementación del bloque UART, se diseñaron 2 FSM para controlar la comunicación de la transmisión y recepción de datos.

Una FSM nombrada FSM_Tx se encarga de la transmisión de datos, la otra FSM_Rx se encarga de la recepción de datos.

Mediante un modulo “top” se conectan estas FSM con la UART que nos fue proporcionada.

FSM de Transmisión.

El módulo fsm_tx implementa una máquina de estados finitos encargada de controlar el proceso de transmisión de datos desde una FIFO hacia un módulo UART. La FSM gestiona cuándo leer de la FIFO y cuándo iniciar la transmisión por UART, de forma secuencial y controlada, garantizando que los datos se envíen correctamente cuando el sistema esté listo.

Estados de la FSM.

1. idle (reposo):
 - Estado inicial tras el reset.
 - La FSM se mantiene en espera hasta que se reciba un pulso en la señal enviar_cmd.
 - No se activa ninguna salida.
 - Transición: si enviar_cmd = 1, pasa a check_fifo.
2. check_fifo:
 - Verifica si la FIFO de transmisión contiene datos (fifo_tx_empty = 0) y si el módulo UART está listo (uart_tx_rdy = 1).
 - La señal enviar_bit_clear se activa para borrar el pulso de enviar_cmd una vez detectado.
 - Transiciones:
 - Si la FIFO está vacía (fifo_tx_empty = 1): vuelve a idle (no hay más datos que enviar).
 - Si la FIFO no está vacía y UART está lista (fifo_tx_empty = 0, uart_tx_rdy = 1): pasa a read_fifo.

- Si UART no está lista: se mantiene en este estado esperando.

3. read_fifo:

- Se activa la señal fifo_tx_rd para leer un byte de la FIFO.
- Transición automática al estado send_uart.

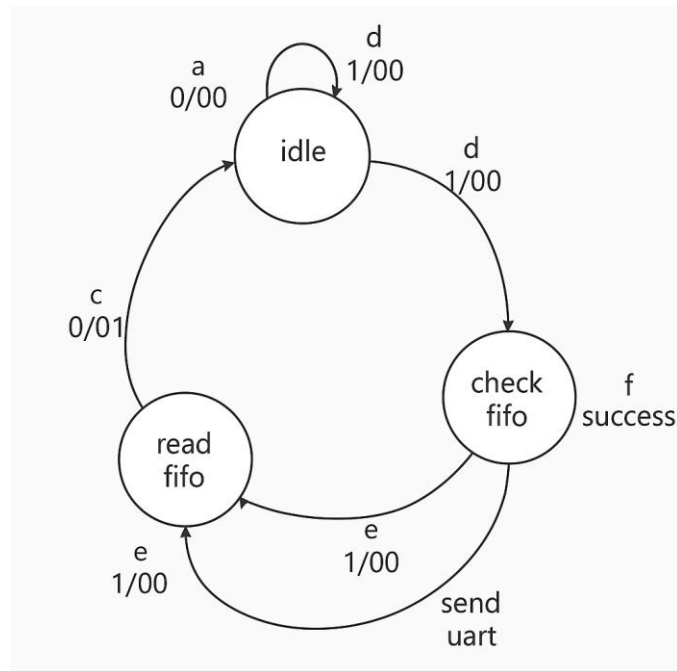
4. send_uart:

- Se activa un pulso en la señal uart_tx_start, indicando al UART que inicie la transmisión del byte leído.
- Transición automática al estado check_fifo, para verificar si hay más datos por transmitir.

Ciclo completo de transmisión:

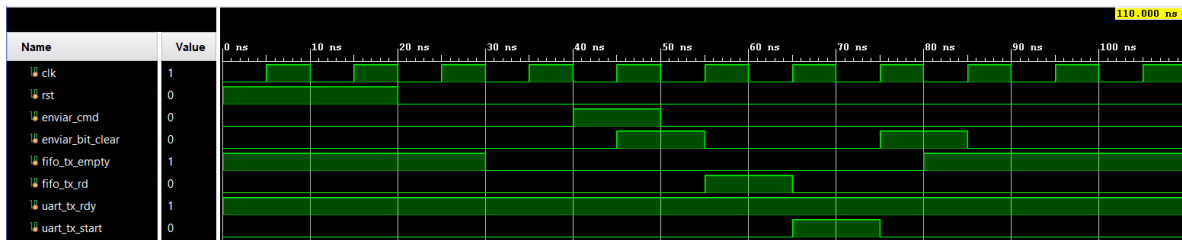
Una vez activado enviar_cmd, la FSM entra en un ciclo donde:

- Extrae un dato de la FIFO,
- Lo envía por UART (si esta está lista),
- Y repite el proceso hasta que no queden más datos por transmitir (FIFO vacía),
- Finalmente, regresa a idle.



Testbench.

En la siguiente imagen se muestra el testbench realizado para ver el funcionamiento de la FSM.



FSM de Recepción.

El módulo fsm_rx implementa una máquina de estados finitos encargada de controlar el proceso de lectura desde una FIFO de recepción (FIFO RX). Esta FSM permite iniciar una lectura únicamente cuando se recibe un comando (leer_cmd) y se asegura de limpiar el bit de control al finalizar la operación, evitando lecturas no deseadas.

Estados de la FSM.

Estados de la FSM:

1. idle (reposo):

- Estado inicial después del reset.
- La FSM permanece en espera hasta que se reciba un pulso en la señal leer_cmd.
- No se activa ninguna señal de salida.
- Transición: si leer_cmd = 1, pasa al estado read_fifo.

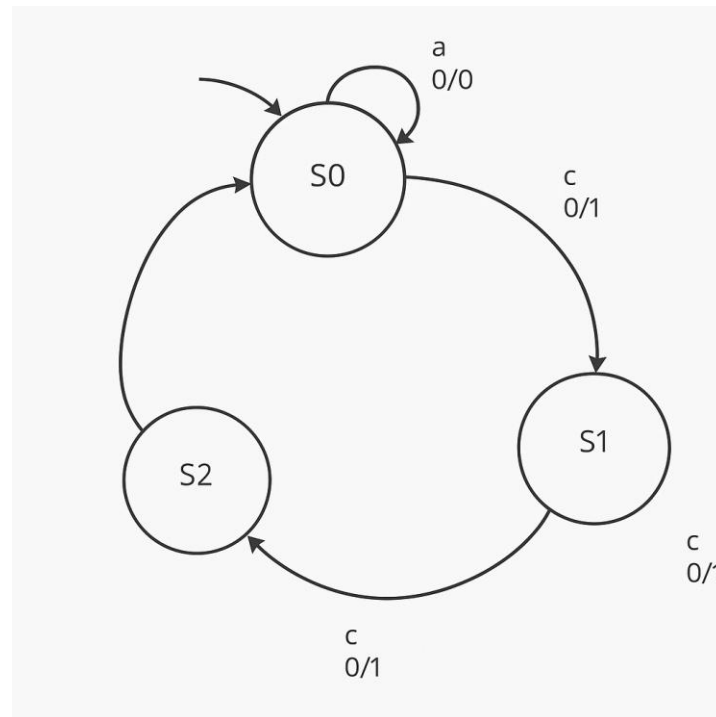
2. read_fifo (lectura de datos):

- Si la FIFO no está vacía (fifo_rx_empty = 0), se habilita la lectura activando la señal fifo_rx_rd = 1.
- Si la FIFO está vacía, no se activa la lectura, pero de igual forma se avanza al siguiente estado.
- Transición: siempre pasa al estado clean_bit en el siguiente ciclo.

3. clean_bit (limpieza del bit de lectura):

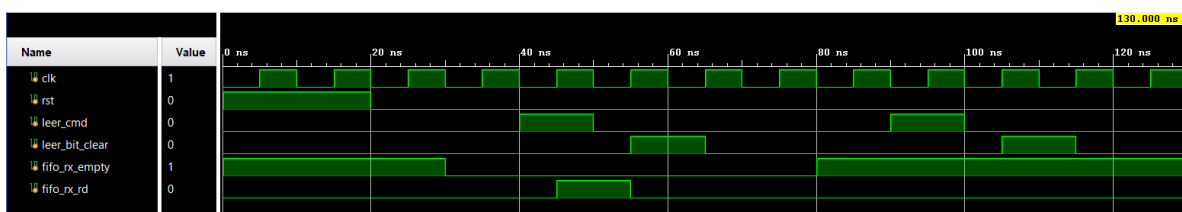
- Se activa la señal leer_bit_clear = 1, que indica al sistema que debe limpiar el bit leer del registro de control.

- Este paso es esencial para evitar múltiples lecturas a partir de un solo pulso de comando.
- Transición: regresa al estado idle para esperar un nuevo comando de lectura.



Testbench.

En la siguiente imagen se muestra el testbench realizado para ver el funcionamiento de la FSM.



UART – FSM

En la siguiente imagen se muestra el testbench donde se pueden ver las señales de entrada y salida de las maquinas de estado conectadas con la UART que nos fue proporcionada, las señales de las FIFO no muestran comportamiento puesto que no están conectadas a la FIFO.

