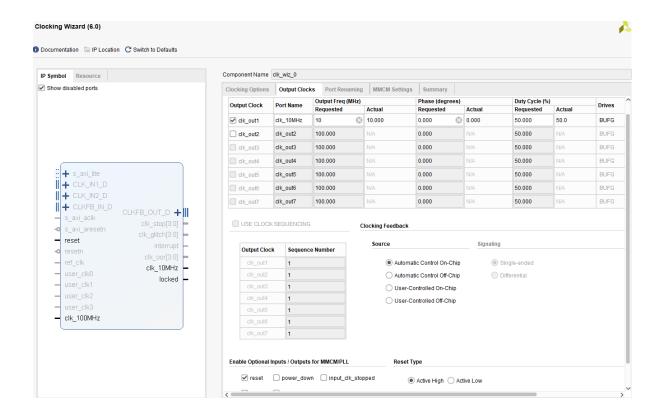
Documentación Ejercicio 1: Uso de PLL IP – core

Se investigó el uso de IP-Cores en Vivado, enfocándose en el **Clocking Wizard**, una herramienta que permite generar señales de reloj con distintas frecuencias a partir del reloj principal del sistema. Además, se determinó la **frecuencia del reloj de entrada** de la tarjeta FPGA para configurar correctamente este módulo.

En la siguiente imagen se muestra la configuración del bloque Clocking Wizard que permite generar un reloj interno de 10 MHz a partir de un reloj externo de 100 MHz.



La siguiente imagen muestra la interfaz de configuración del IP.



Para la comprobación del IP, se crea un testbench que instancie el modulo bajo prueba y que genere ciertas condiciones de entrada que permiten evidenciar que se está obteniendo la salida esperada, el resultado del testbench se muestra en la siguiente figura.

