

Documentación Ejercicio 1: Uso de PLL IP – core

Se investigó el uso de IP-Cores en Vivado, enfocándose en el **Clocking Wizard**, una herramienta que permite generar señales de reloj con distintas frecuencias a partir del reloj principal del sistema. Además, se determinó la **frecuencia del reloj de entrada** de la tarjeta FPGA para configurar correctamente este módulo.

En la siguiente imagen se muestra la configuración del bloque Clocking Wizard que permite generar un reloj interno de 10 MHz a partir de un reloj externo de 100 MHz.



La siguiente imagen muestra la interfaz de configuración del IP.

Clocking Wizard (6.0)

Documentation IP Location Switch to Defaults

IP Symbol Resource

☒ Show disabled ports

Component Name: clk_wiz_0

Output Clocks		Port Renaming	MMCM Settings		Summary		Duty Cycle (%)		Drives
Output Clock	Port Name	Output Freq (MHz)	Requested	Actual	Requested	Actual	Requested	Actual	
<input checked="" type="checkbox"/> clk_out1	clk_10MHz	10	10.000	10.000	0.000	0.000	50.000	50.0	BUFG
<input type="checkbox"/> clk_out2	clk_out2	100.000	N/A	N/A	0.000	N/A	50.000	N/A	BUFG
<input type="checkbox"/> clk_out3	clk_out3	100.000	N/A	N/A	0.000	N/A	50.000	N/A	BUFG
<input type="checkbox"/> clk_out4	clk_out4	100.000	N/A	N/A	0.000	N/A	50.000	N/A	BUFG
<input type="checkbox"/> clk_out5	clk_out5	100.000	N/A	N/A	0.000	N/A	50.000	N/A	BUFG
<input type="checkbox"/> clk_out6	clk_out6	100.000	N/A	N/A	0.000	N/A	50.000	N/A	BUFG
<input type="checkbox"/> clk_out7	clk_out7	100.000	N/A	N/A	0.000	N/A	50.000	N/A	BUFG

☐ USE CLOCK SEQUENCING

Clocking Feedback

Output Clock	Sequence Number
clk_out1	1
clk_out2	1
clk_out3	1
clk_out4	1
clk_out5	1
clk_out6	1
clk_out7	1

Source

☒ Automatic Control On-Chip
☐ Automatic Control Off-Chip
☐ User-Controlled On-Chip
☐ User-Controlled Off-Chip

Signaling

☒ Single-ended
☐ Differential

Enable Optional Inputs / Outputs for MMCM/PLL

☒ reset ☐ power_down ☐ input_clk_stopped

Reset Type

☒ Active High ☐ Active Low

Para la comprobación del IP, se crea un testbench que instancie el modulo bajo prueba y que genere ciertas condiciones de entrada que permiten evidenciar que se está obteniendo la salida esperada, el resultado del testbench se muestra en la siguiente figura.

