



**Curso: Taller de Diseño Digital**

**Laboratorio 1: Cuestionario Previo**

PROFESOR

Roberto Carlos Molina Robles

Grupo #1

ESTUDIANTES

Oscar David Conejo Cantón 2020234423  
Katherine Daniela Salazar Martinez 2014160591  
Juan Pablo Solano Solano 2020425831

I semestre 2025

## Cuestionario Previo:

1. Explique qué es el modelado de comportamiento y de estructura en diseño digital. Brinde un ejemplo de cada uno empleando SystemVerilog.

### **Modelado de Comportamiento**

Describe cómo funciona un sistema digital en lugar de cómo está estructurado. Se centra en lo que hace el sistema, utilizando construcciones de programación como if-else, case, loops, etc., para modelar el comportamiento lógico

Por ejemplo:

Sumador:

```
Module sumador(  
input logic [ 3:0] a, b,  
output logic [4:0] suma  
);  
always_comb begin  
suma=a+b;  
end  
endmodule
```

### **Modelado de Estructura**

Este modelo de estructura se centra en cómo se conectan las partes del sistema. Describe la interconexión de varios componentes utilizando instancias de módulos. Es como describir el diagrama de bloques del diseño.

Por ejemplo:

Sumador Completo:

```
module sumador_completo(  
input logic [3:0] a,b,  
input cin,  
output logic [3:0] suma,  
Output logic cout  
);
```

Logiv c1, c2, c3;

```
sumador_1bit U0 (a[0], b[0], cin, suma[0], c1);
sumador_1bit U1 (a[1], b[1], c1, suma[1], c2);
sumador_1bit U2 (a[2], b[2], c2, suma[2], c3);
sumador_1bit U3 (a[3], b[3], c3, suma[3], cout);
```

```
module                                sumador_1bit(
    input                             a,      b,      cin,
    output                            logic     suma,      cout
);
    assign {cout, suma} = a + b + cin;
endmodule
```

2. Explique el proceso de síntesis lógica en el diseño de circuitos digitales, tanto para el desarrollo de un ASIC como para una FPGA.

El desarrollo del proceso lógico en el diseño de circuitos digitales es un proceso que parte desde un planteamiento teórico del producto hasta el empaquetado y pruebas del circuito digital. A mayores rasgos el proceso o las etapas enfocadas para el desarrollo de un ASIC y de FPGA son las siguientes.

- **Especificaciones:** En esta etapa se hace la definición de los requerimientos del sistema en función del producto deseado, incluyendo funcionalidad, consumo de energía, frecuencia de operación, etc.
- **Arquitectura:** Se realiza un planteamiento en módulos para subdividir funciones con el fin de organizar y comprender mejor el flujo lógico de la tarea.
- **Diseño RDL:** Se realiza el diseño en un Hardware Description Language describiendo el comportamiento y la estructura del circuito a nivel de registros y operaciones asegurándonos de que sea sintetizable, es decir, que sea plasmable en hardware.
- **Síntesis:** Haciendo uso de una herramienta de sinterización se procede a realizar una descripción estructural basada en compuertas lógicas, adaptándose a la tecnología de destino.
- **Layout y Fabricación:** Entra ahora a una parte de la creación física del circuito. Desde la creación de una máscara de fabricación que consiste

en una plantilla utilizada para transferir patrones del circuito al silicio, hasta el enviar el diseño a su manufacturación.

- ***Empaquetado:*** Una vez la fabricación esté lista se procede con un encapsulado adecuado. Uno de los encapsulados más comunes es el tipo DIP.
- ***Ensamble y Pruebas:*** Haciendo uso de distintos métodos de testing, se realizan pruebas al circuito para corroborar que cumple con la función esperada y los requerimientos solicitados.

- 

3. Investigue sobre la tecnología de FPGAs. Describa el funcionamiento de la lógica programable en general, así como los componentes básicos de un chip de FPGAs.

- Un FPGA es un conjunto de circuitos integrados que este diseño de forma que puede ser reconfigurado y programado después de su fabricación. Debido a esto los FPGA tienen gran cantidad de usos en varios entornos. Ya que se pueden personalizar para funcionar en la tarea específica. La lógica programable es el principio que se usa en los dispositivos como los FPGAs. Esto funciona mediante una combinación de bloques lógicos interconectables. Esta lógica sigue un orden específico. Primero se diseña el circuito mediante un lenguaje de descripción de hardware (HDL). Luego se pasa a la síntesis la cual traduce lo descrito a una conexión de compuertas lógicas que se pueden implementar a la FPGA. Seguidamente se hace la asignación de recursos y ruteo donde se configuran la interconexión de las rutas. Ahora se carga la configuración al dispositivo como un FPGA y al final se prueba y se ejecuta la tarea.
- Los componentes básicos de un chip FPGA son los bloques lógicos configurables (CLBs), los están conformados por Look-up Tables, Flip-Flops y Multiplexores y operadores lógicos. Matriz de interconexión programable, es la ruta de comunicación entre los diferentes bloques. I/O Blockes, son los pines para comunicación con el exterior del FPGA. Memoria configurable, memoria interna para almacenamiento de datos temporales. PLLs y DLLs, circuitos especializados para modificar señales de reloj. Unidad de configuración, controla la forma en la que el FPGA se configura al encenderse.