

NIOS II usando a placa DE0 nano Cyclone IV

Prof. Dr. Oscar Eduardo Anacona Mosquera

oscar.mosquera@ufmt.br

20 de março de 2024

Conteúdo

Objetivos

Introdução

Configuração do NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Generate VHDL ou verilog

Compilação

Programação

Eclipse

1 Objetivos

2 Introdução

3 Configuração do NIOS II

- Qsys
- NIOS II Processor
- JTAG UART
- On-Chip Memory
- System ID
- PIOs
- Interconexões
- Generate VHDL ou verilog
- Compilação
- Programação

4 Eclipse

Objetivos

Objetivos

Introdução

Configuração do
NIOS II

Qsys
NIOS II Processor
JTAG UART

On-Chip Memory
System ID

PIOs
Interconexões
Generate VHDL ou verilog

Compilação
Programação

Eclipse

● NIOS II:

- ▶ Compreender os conceitos e características do processador NIOS II.
- ▶ Aprender a configurar e personalizar o NIOS II para atender às necessidades específicas do projeto.

● Qsys:

- ▶ Entender o papel e a funcionalidade do Qsys como ferramenta de integração de sistemas em FPGAs.
- ▶ Aprender a utilizar o Qsys para criar e interconectar diferentes componentes de hardware em um projeto.
- ▶ Explorar as opções de configuração e personalização oferecidas pelo Qsys para otimizar o design do sistema.
- ▶ Integrar o processador NIOS II criado anteriormente utilizando o Qsys em um projeto FPGA.

● Eclipse:

- ▶ Introdução ao ambiente de desenvolvimento Eclipse e sua integração com o NIOS II.
- ▶ Aprender a configurar o Eclipse para desenvolvimento de software embarcado para o NIOS II.
- ▶ Explorar as ferramentas e recursos disponíveis no Eclipse para programação, depuração e análise de sistemas embarcados.
- ▶ Desenvolver e depurar aplicações simples para o processador NIOS II utilizando o Eclipse.

Conteúdo

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Generate VHDL ou verilog

Compilação

Programação

Eclipse

1 Objetivos

2 Introdução

3 Configuração do NIOS II

- Qsys
- NIOS II Processor
- JTAG UART
- On-Chip Memory
- System ID
- PIOs
- Interconexões
- Generate VHDL ou verilog
- Compilação
- Programação

4 Eclipse

Processador NIOS II

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Generate VHDL ou verilog

Compilação

Programação

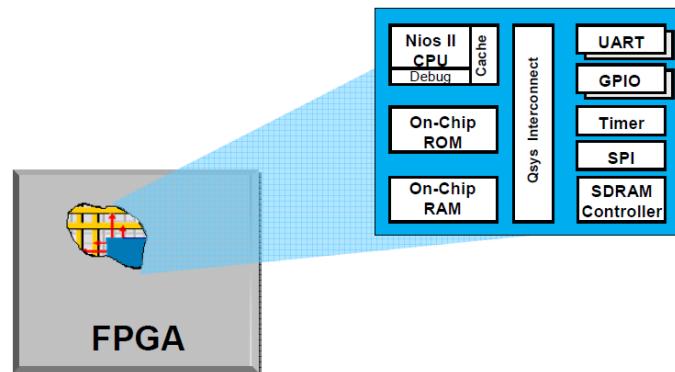
Eclipse

Processador Soft-Core

O Nios II é um processador soft-core, o que significa que ele é projetado para ser configurado em um FPGA, em vez de ser um componente físico fixo. Isso oferece flexibilidade e adaptabilidade para integrar o processador em uma variedade de sistemas.

Microprocessador RISC de 32 bits de segunda geração de núcleo flexível:

- Desenvolvido internamente pela Altera
- Isento de royalties
- Arquitetura Harvard
- Processador Nios II + todos os periféricos escritos em HDL
- Pode ser direcionado para todos os FPGAs da Altera
- Síntese utilizando o motor de síntese integrado Quartus II



FPGA Hardware Design Flow

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

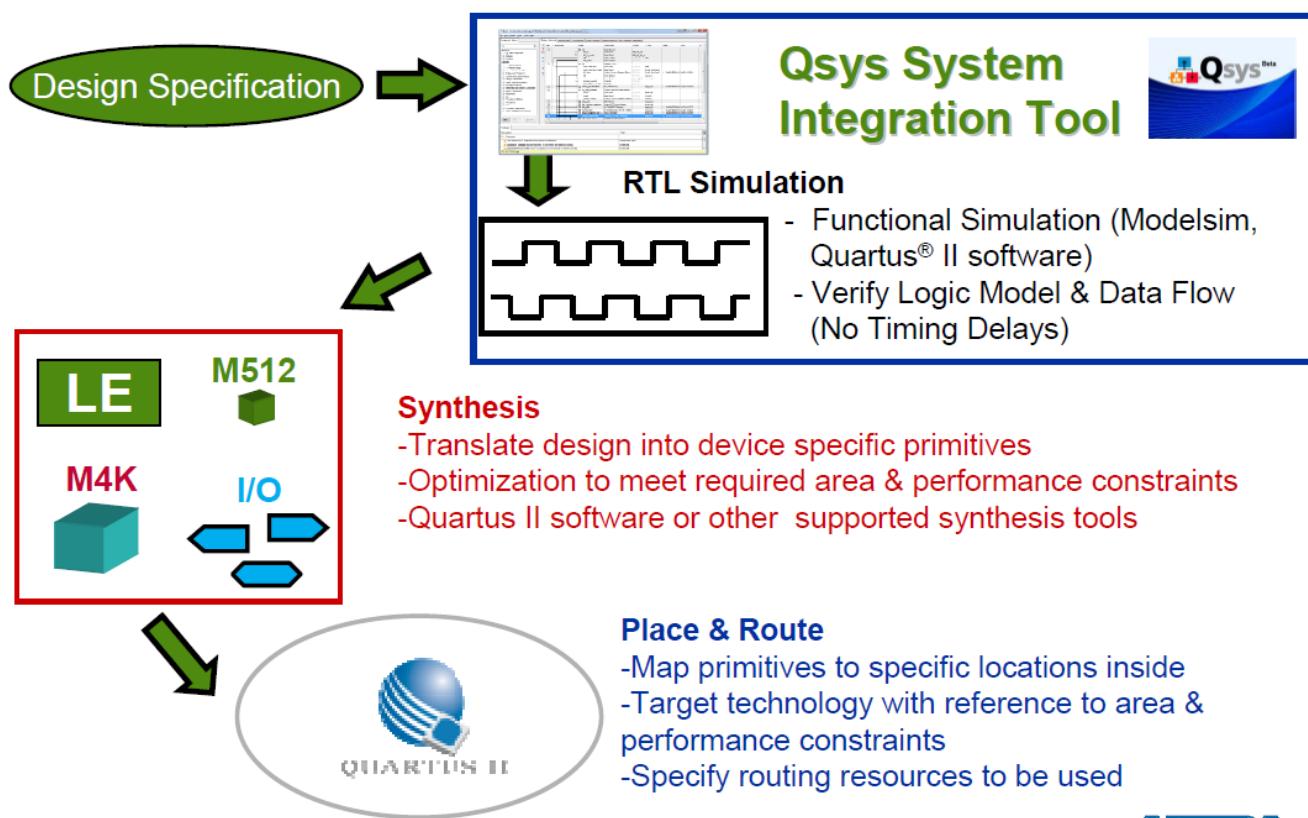
Interconexões

Generate VHDL ou verilog

Compilação

Programação

Eclipse

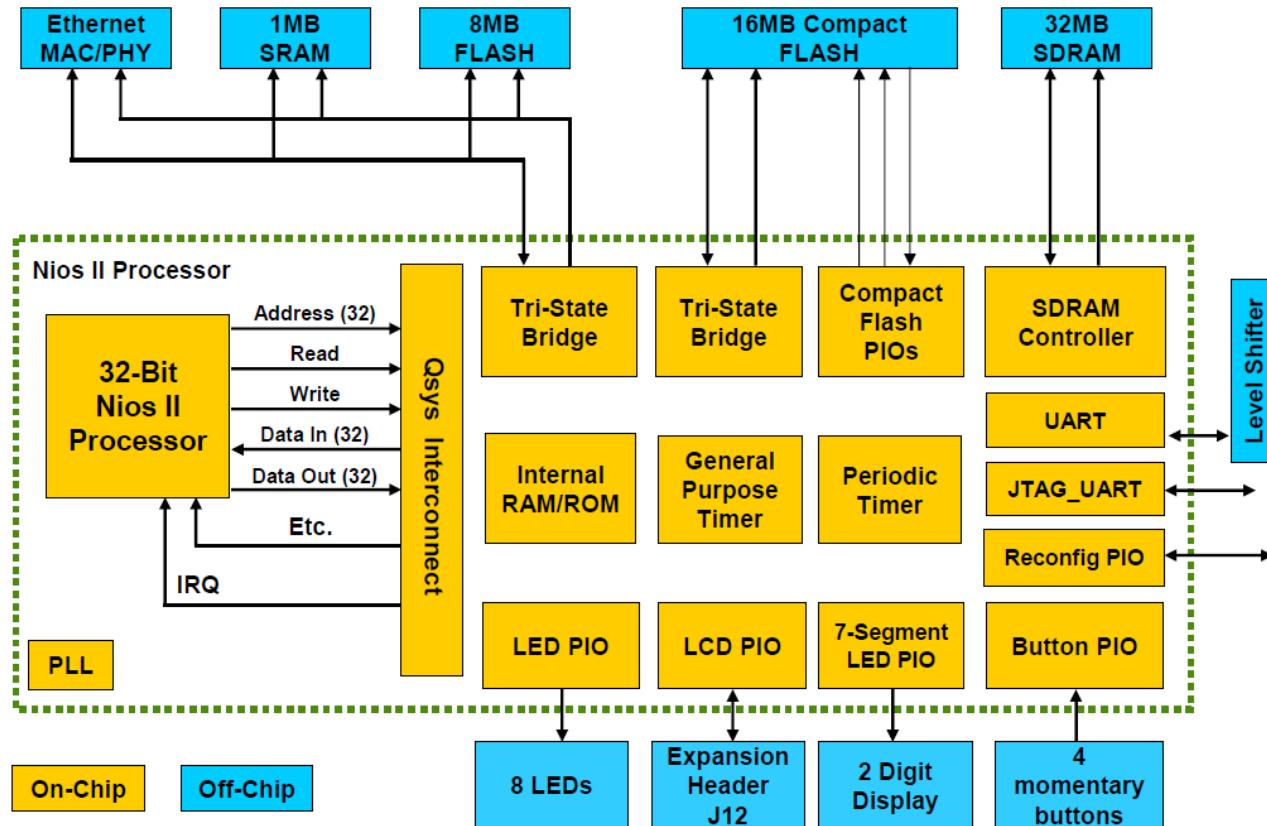


© 2011 Altera Corporation—Confidential

ALTERA.

“Standard” Reference Design Block Diagram

Objetivos
 Introdução
 Configuração do NIOS II
 Qsys
 NIOS II Processor
 JTAG UART
 On-Chip Memory
 System ID
 PIOs
 Interconexões
 Generate VHDL ou verilog
 Compilação
 Programação
 Eclipse



Sistema de diagrama de blocos

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Generate VHDL ou verilog

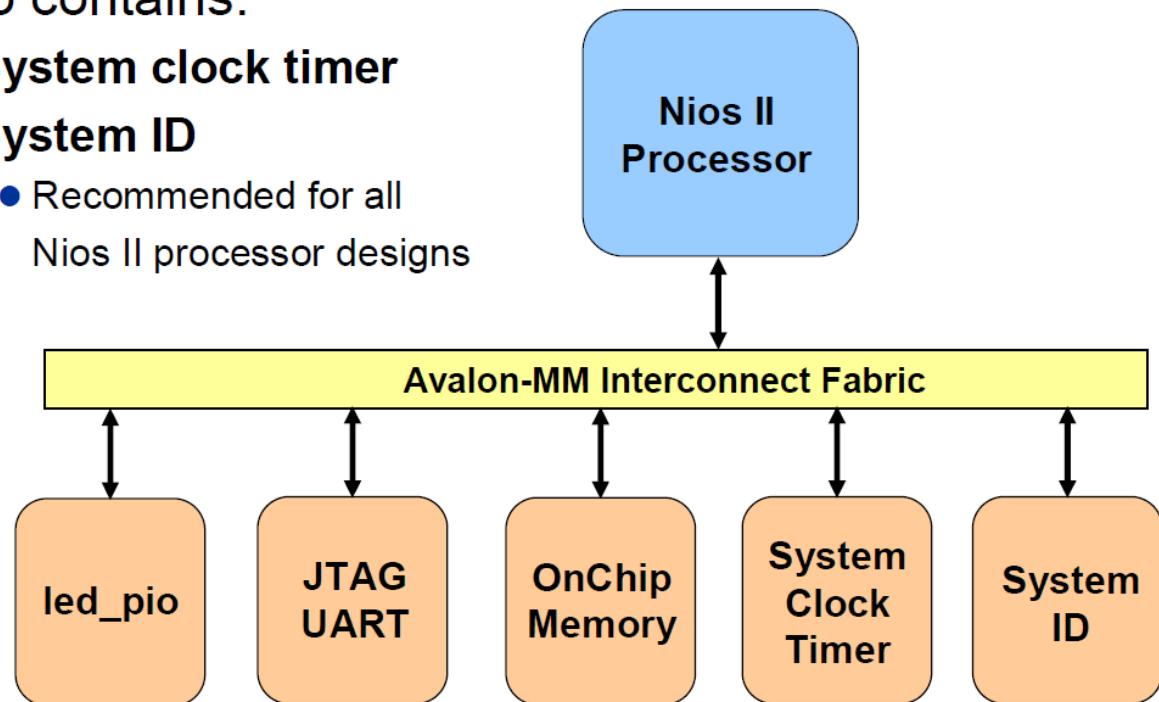
Compilação

Programação

Eclipse

■ Also contains:

- System clock timer
- System ID
 - Recommended for all Nios II processor designs



Conteúdo

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Generate VHDL ou verilog

Compilação

Programação

Eclipse

1 Objetivos

2 Introdução

3 Configuração do NIOS II

- Qsys
- NIOS II Processor
- JTAG UART
- On-Chip Memory
- System ID
- PIOs
- Interconexões
- Generate VHDL ou verilog
- Compilação
- Programação

4 Eclipse

Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

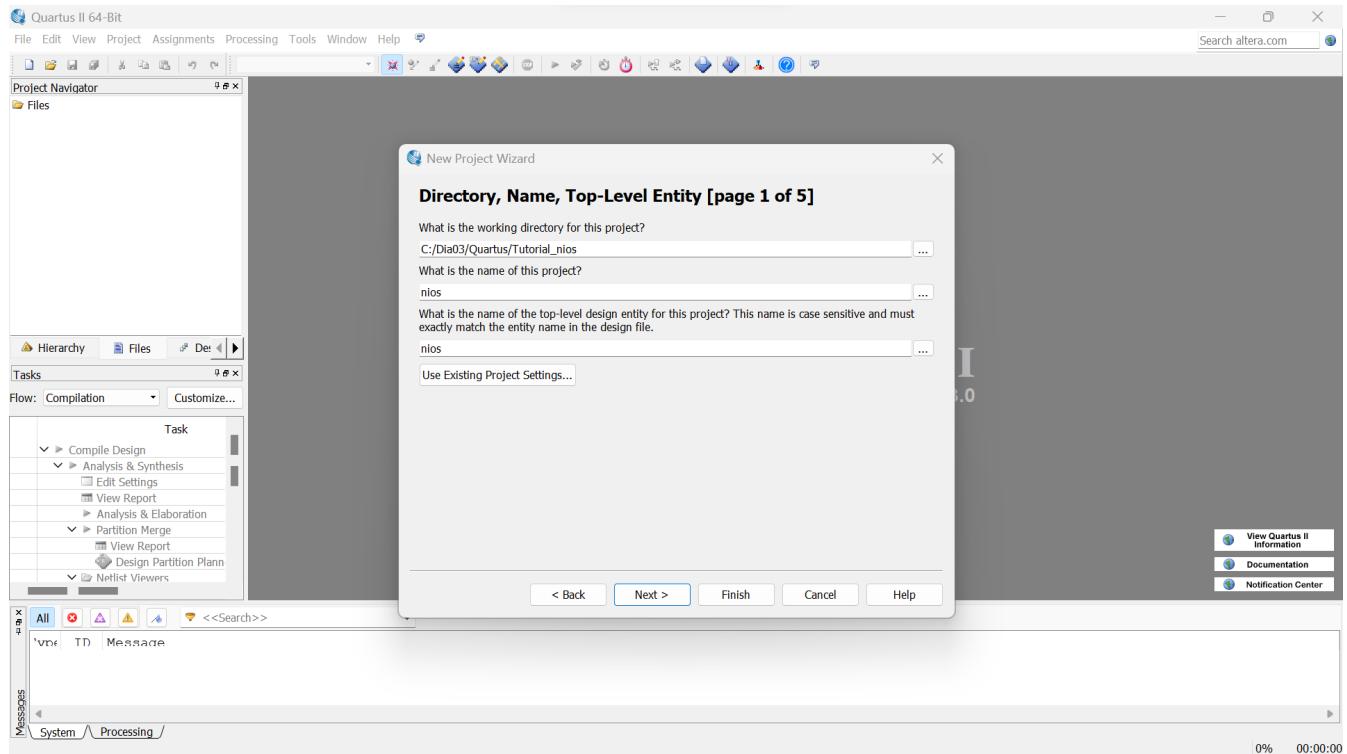
Interconexões

Generate VHDL ou verilog

Compilação

Programação

Eclipse



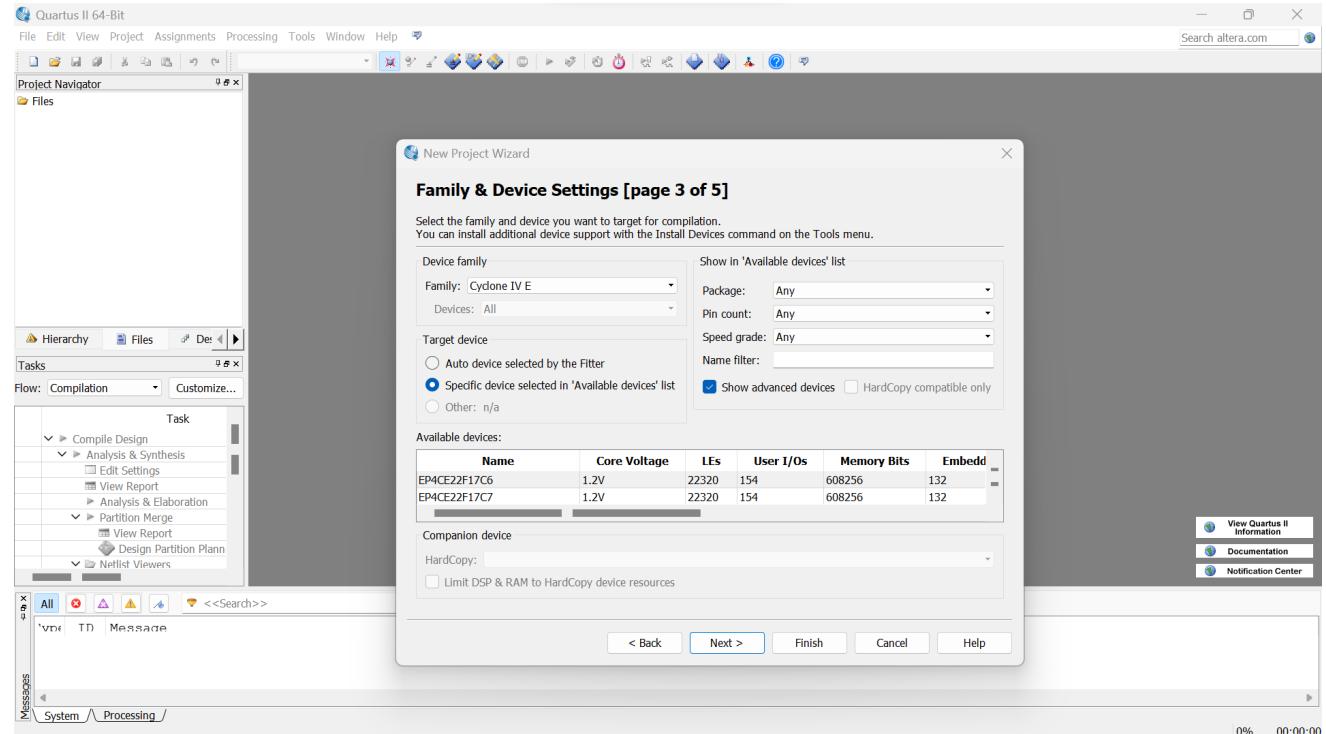
Objetivos

Introdução

Configuração do
NIOS II

- Qsys
- NIOS II Processor
- JTAG UART
- On-Chip Memory
- System ID
- PIOs
- Interconexões
- Generate VHDL ou verilog
- Compilação
- Programação

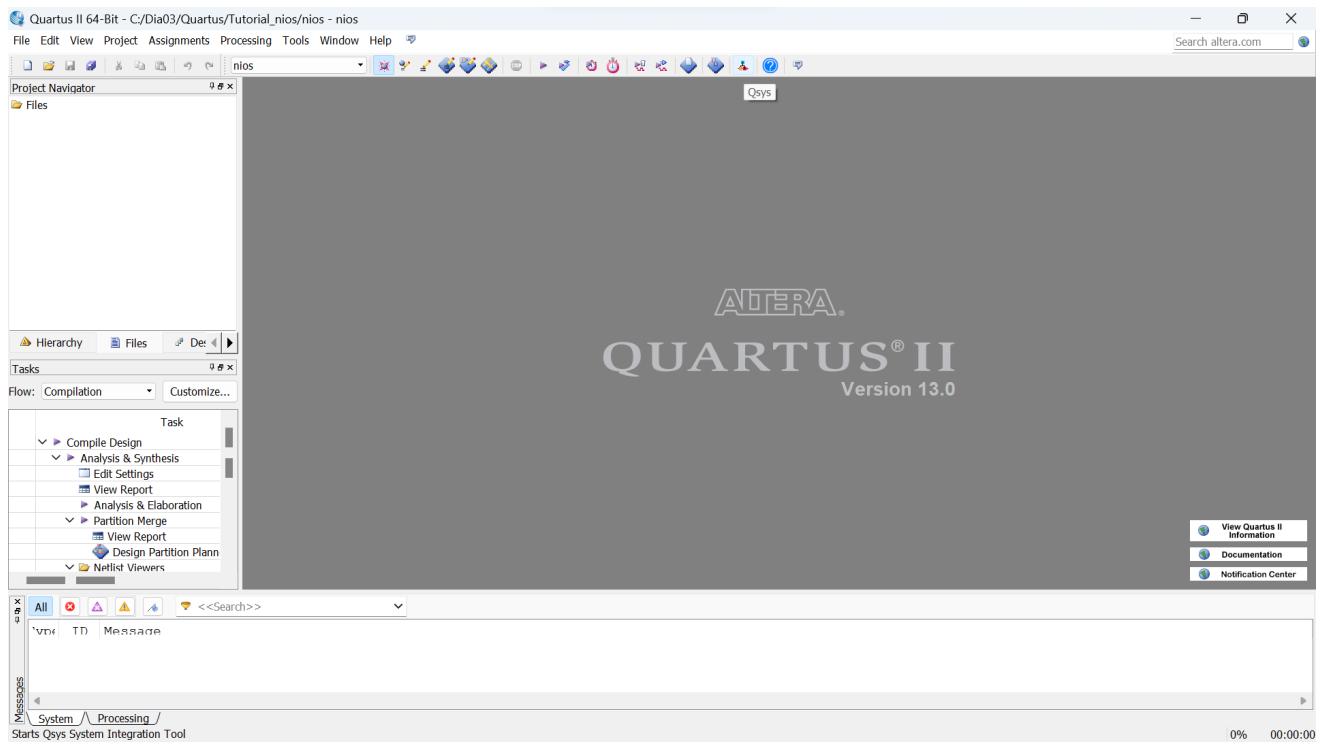
Eclipse



Criação do sistema hardware

● Passo 1: Tools

● Passo 2: Qsys



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

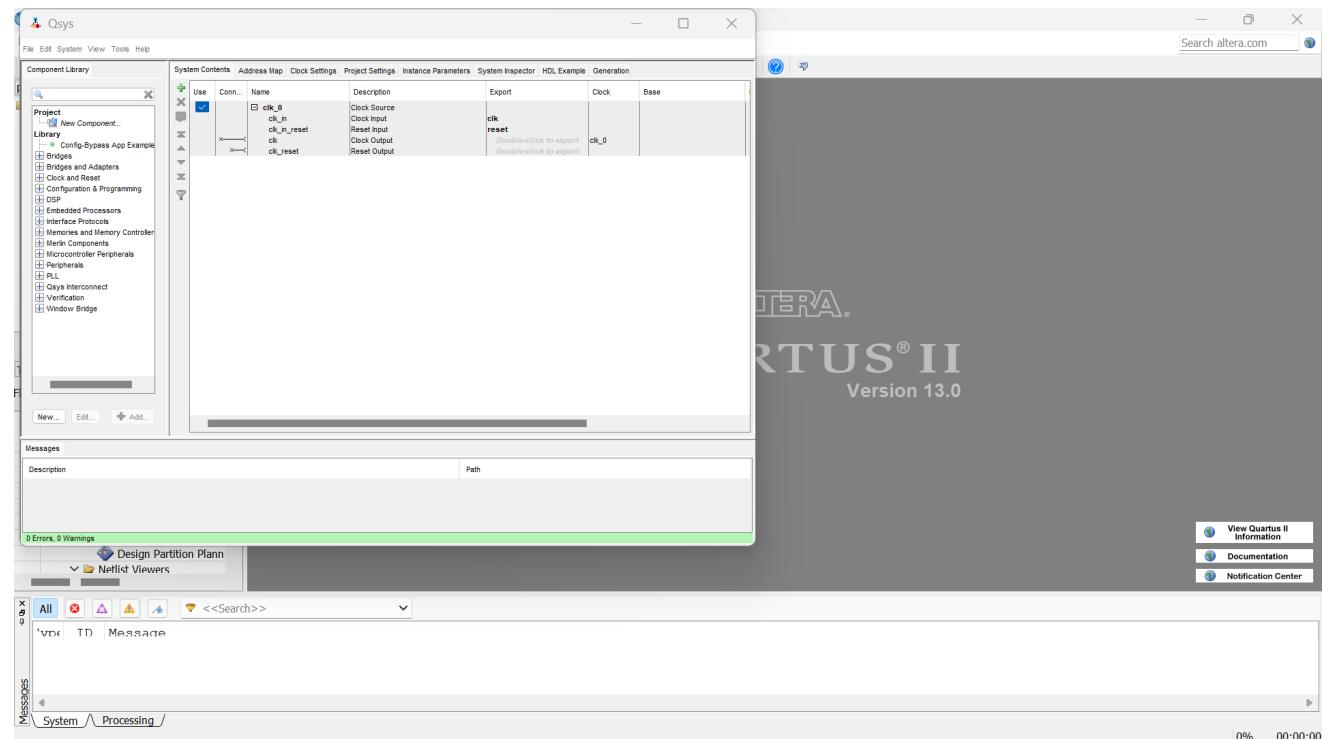
Interconexões

Generate VHDL ou verilog

Compilação

Programação

Eclipse



Criação do sistema hardware

- **Passo 1:** Embedded Processors
- **Passo 2:** NIOS II Processor

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

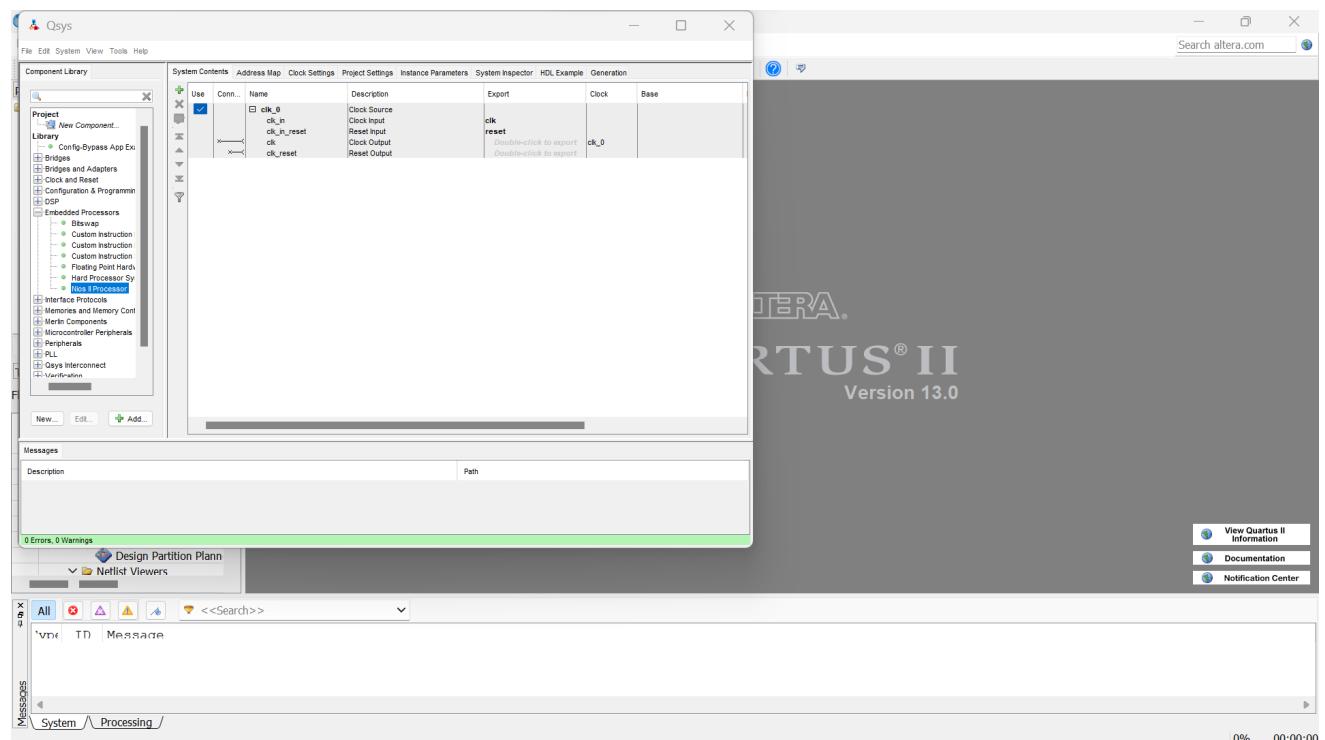
Interconexões

Generate VHDL ou verilog

Compilação

Programação

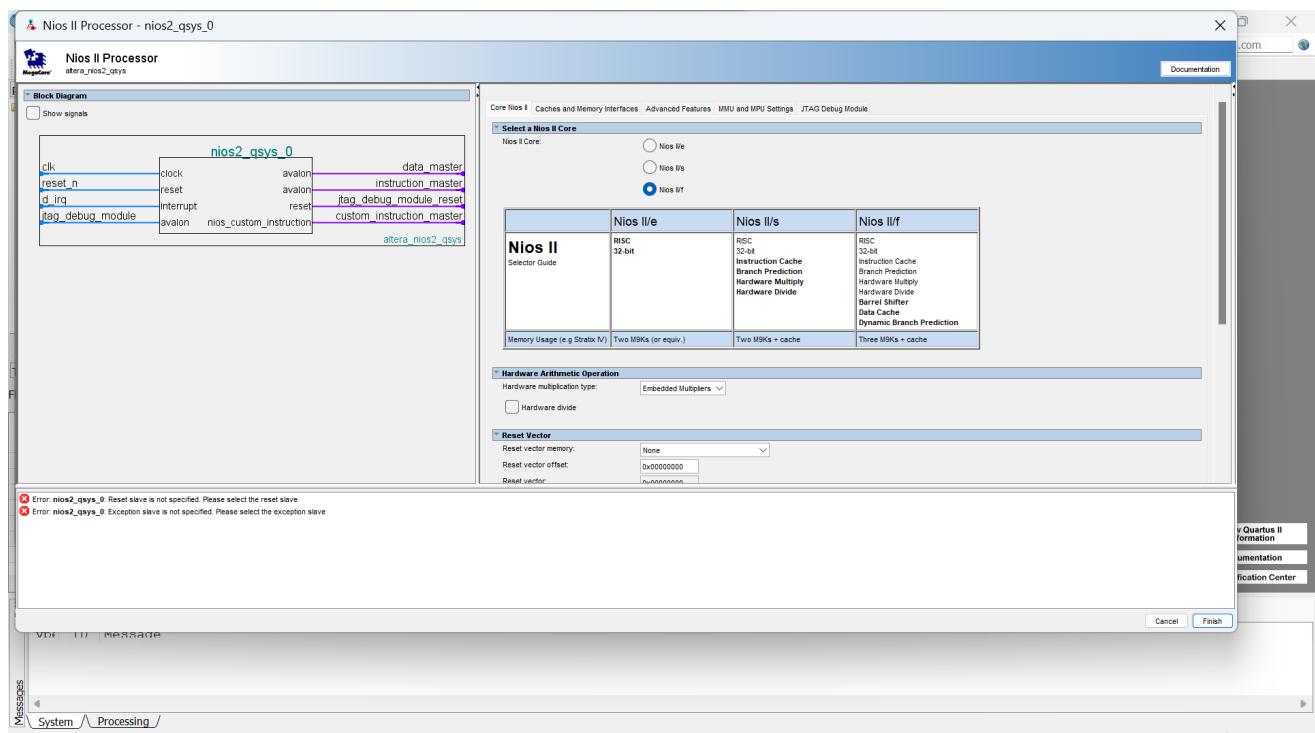
Eclipse



Criação do sistema hardware

- **Passo 1:** Nios II/e
- **Passo 2:** Finish

Objetivos
 Introdução
 Configuração do
 NIOS II
 Qsys
 NIOS II Processor
 JTAG UART
 On-Chip Memory
 System ID
 PIOs
 Interconexões
 Generate VHDL ou verilog
 Compilação
 Programação
 Eclipse



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

JTAG UART

On-Chip Memory

System ID

PIOs

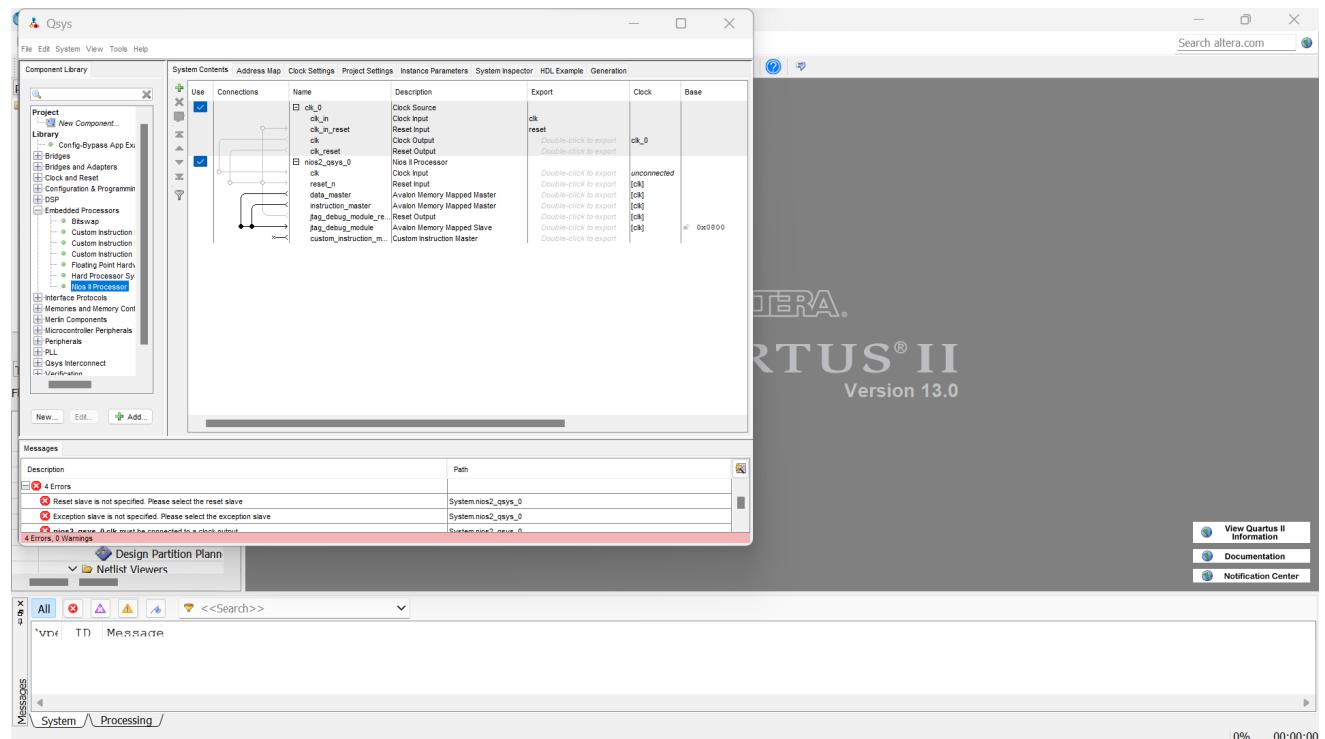
Interconexões

Generate VHDL ou verilog

Compilação

Programação

Eclipse



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

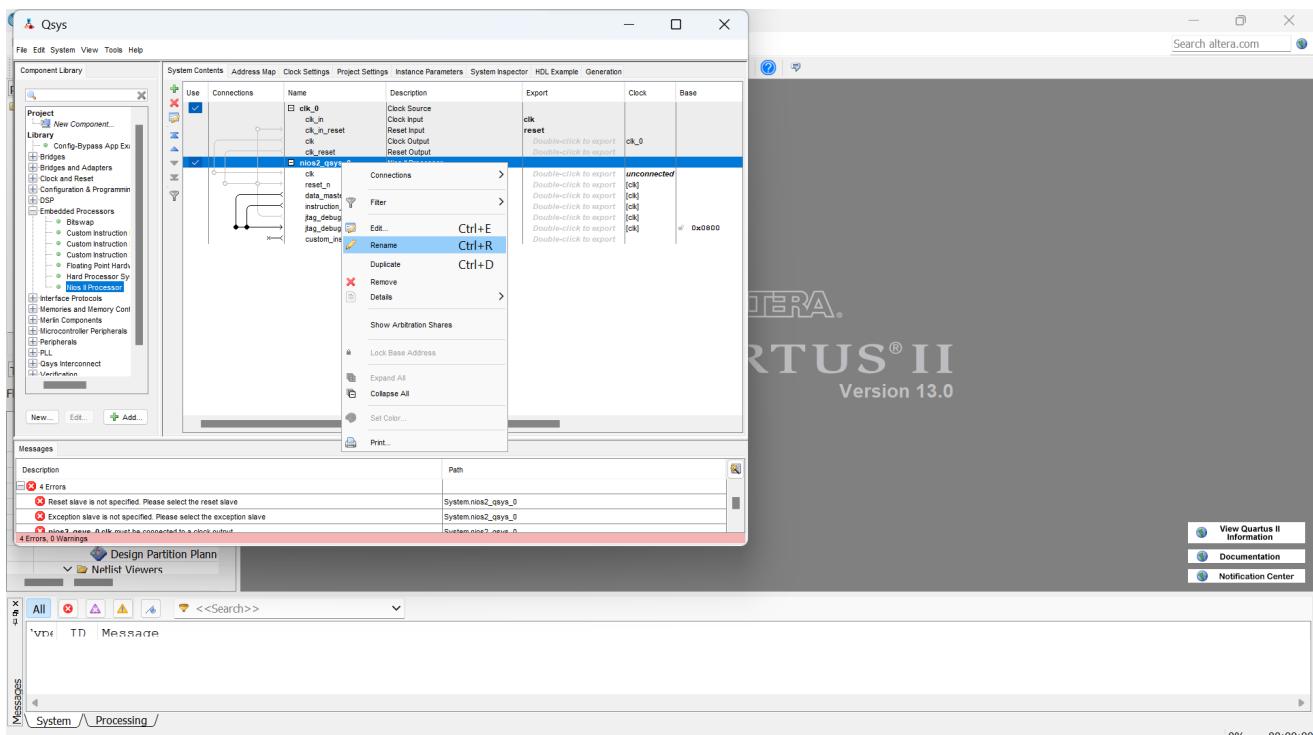
Interconexões

Generate VHDL ou verilog

Compilação

Programação

Eclipse



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

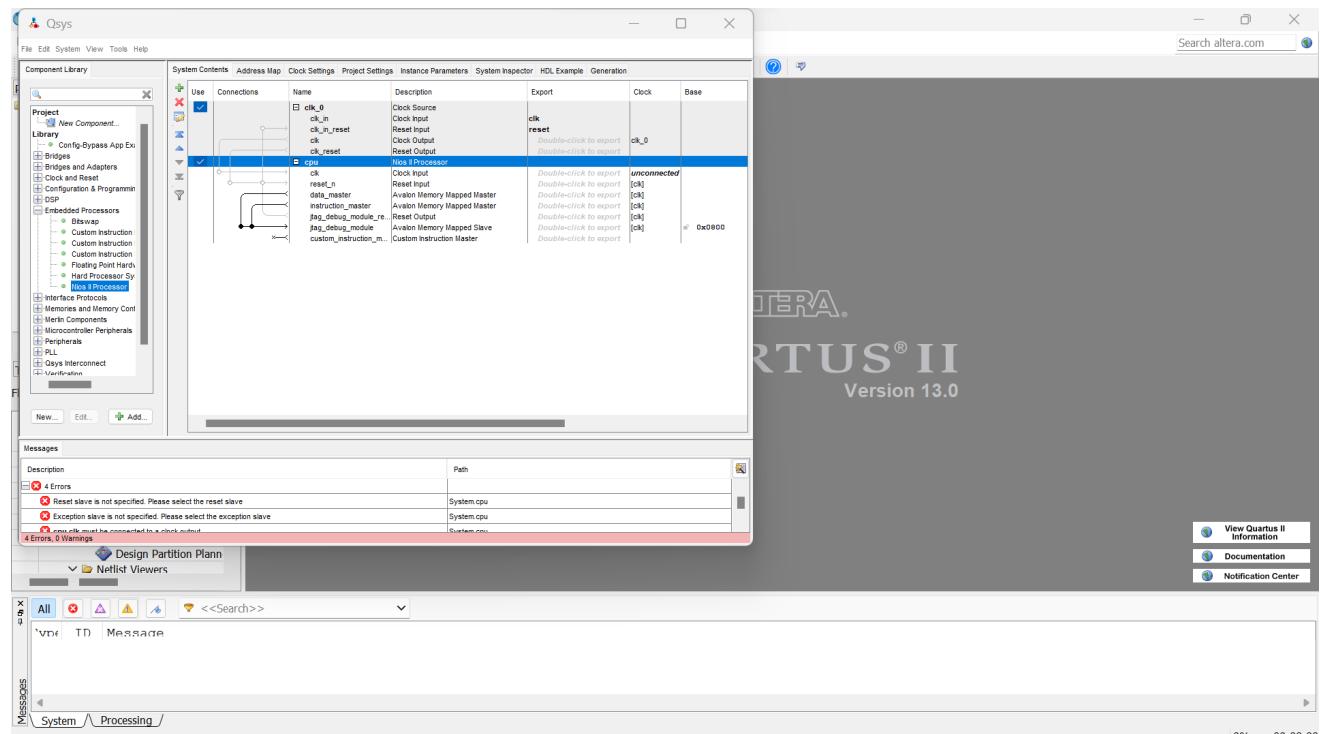
Interconexões

Generate VHDL ou verilog

Compilação

Programação

Eclipse



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Generate VHDL ou verilog

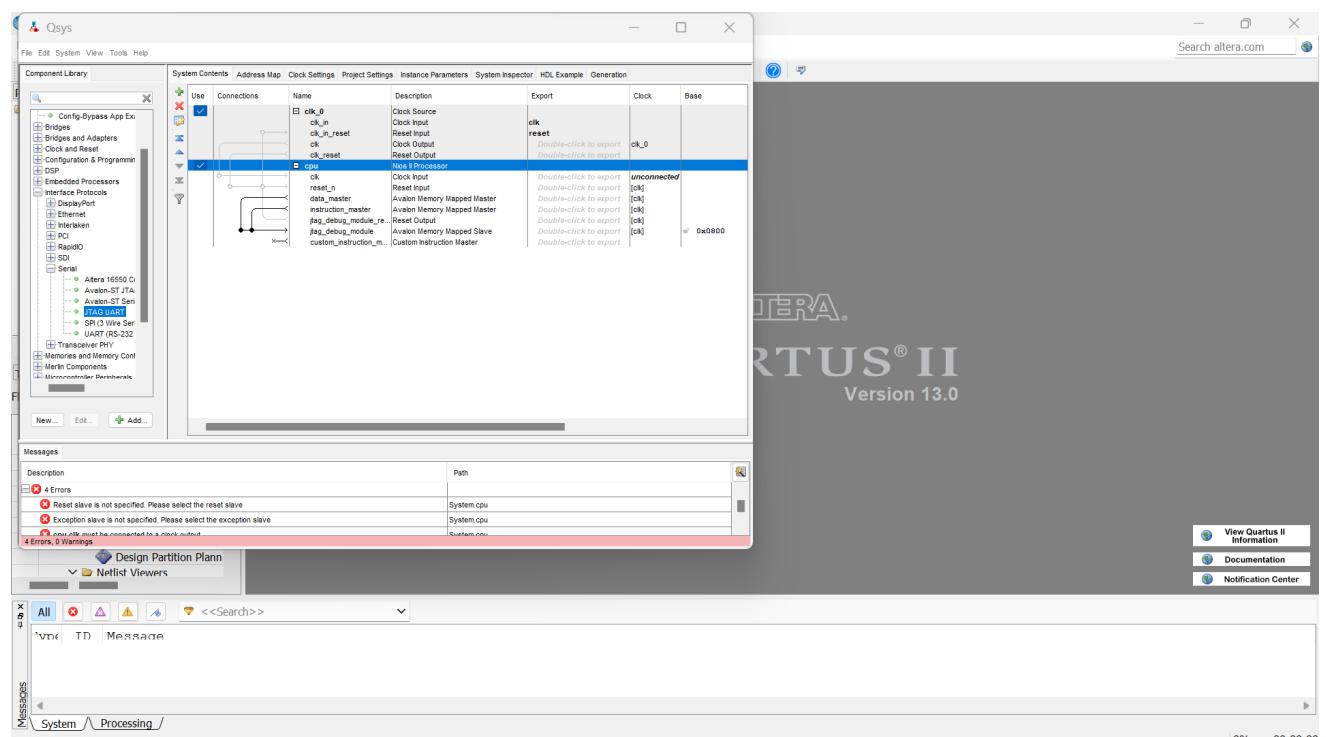
Compilação

Programação

Eclipse

Criação do sistema hardware

- **Passo 1:** Interface Protocols
- **Passo 2:** Serial
- **Passo 2:** JTAG UART



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

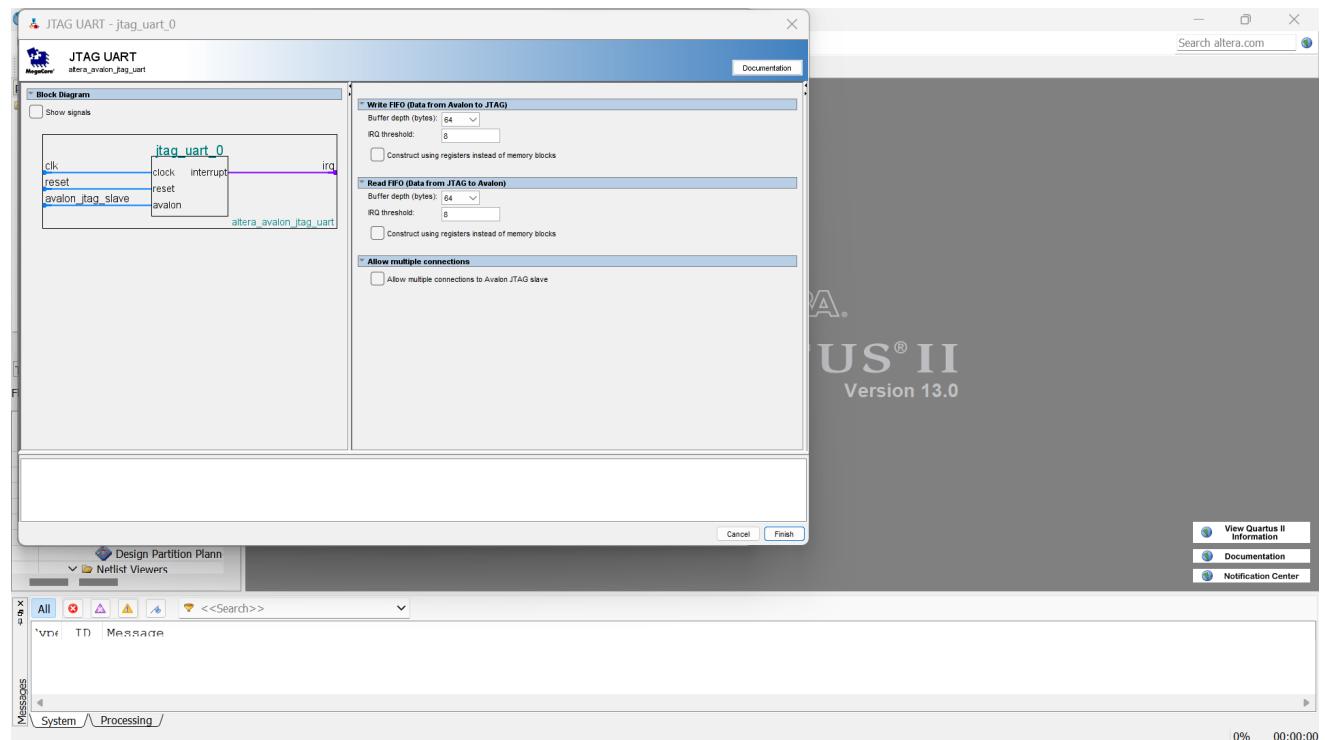
Interconexões

Generate VHDL ou verilog

Compilação

Programação

Eclipse



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Generate VHDL ou verilog

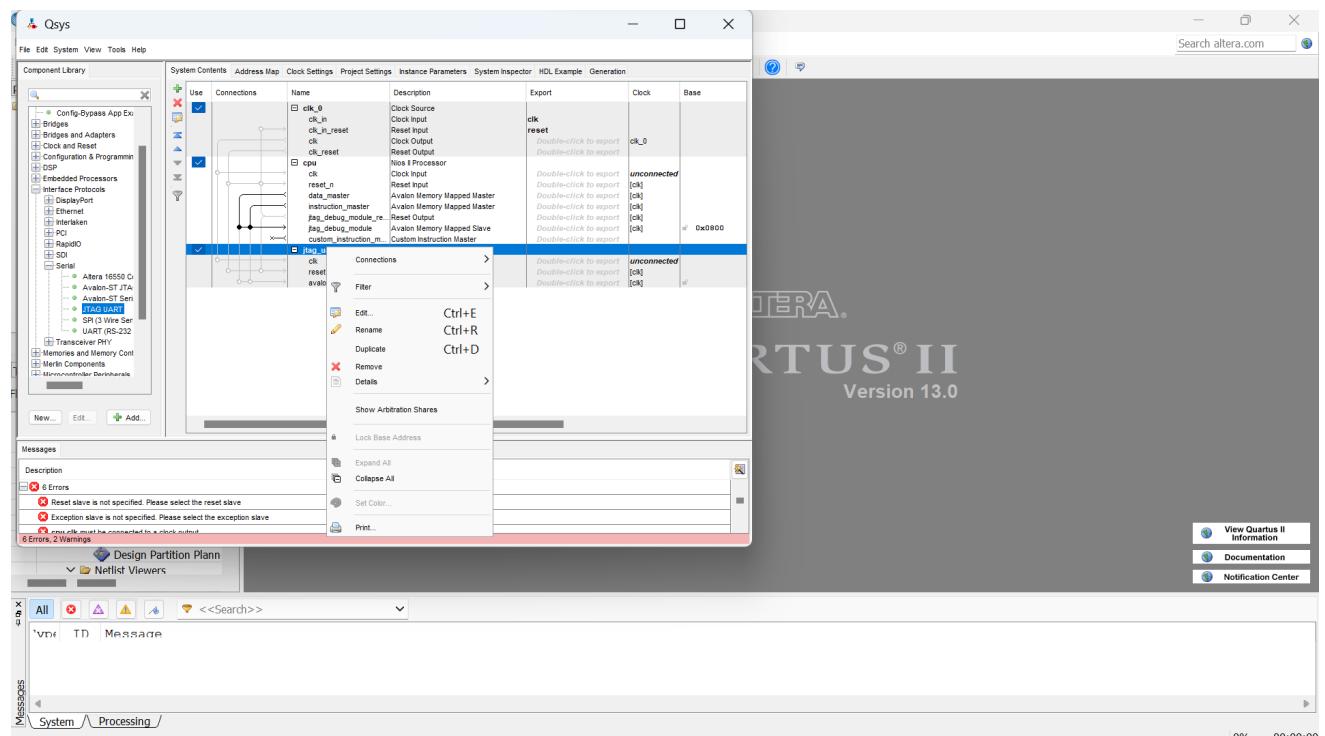
Compilação

Programação

Eclipse

Criação do sistema hardware

- **Passo 1:** click direito sobre o JTAG UART
- **Passo 2:** renomear como **jtag**



Criação do sistema hardware

Objetivos

Introdução

Configuração do NIOS II

Qsys

On-Chip Memory

System ID

PIOs

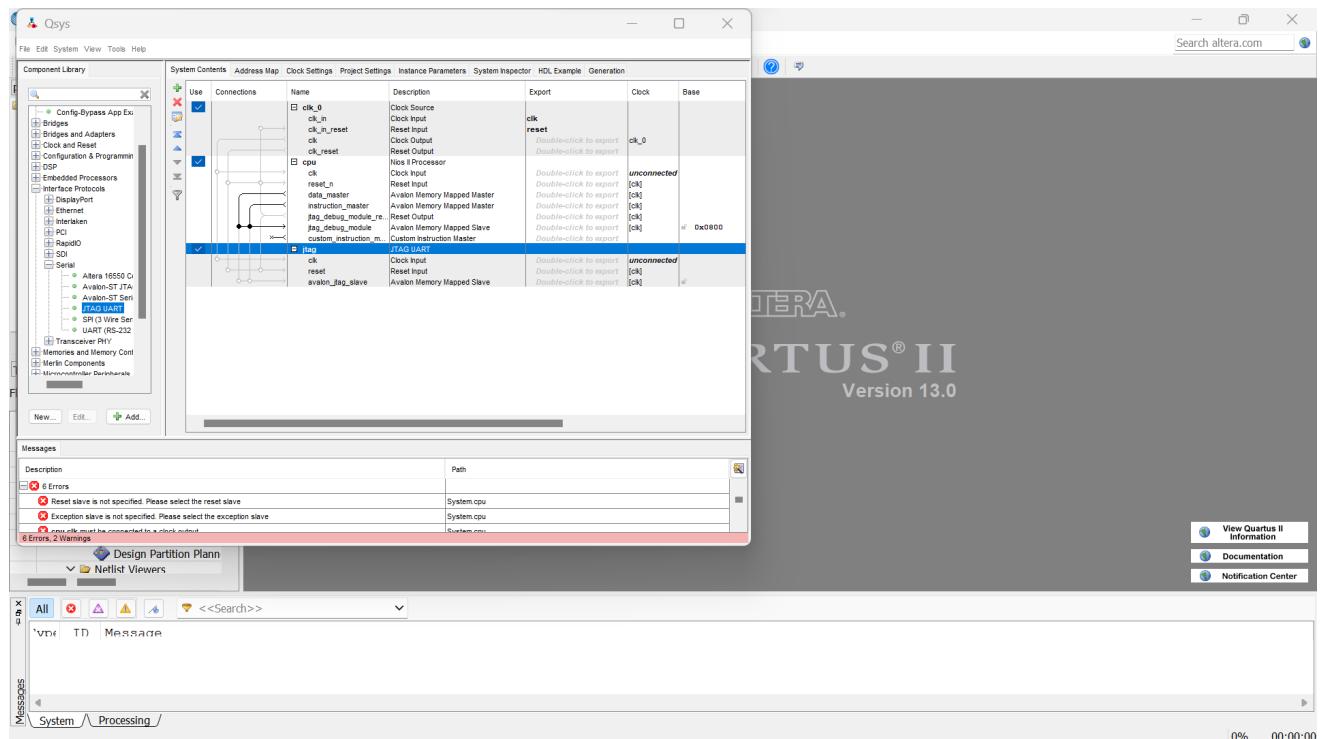
Interconexões

Generate VHDL ou verilog

Compilação

Programação

Eclipse



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Generate VHDL ou verilog

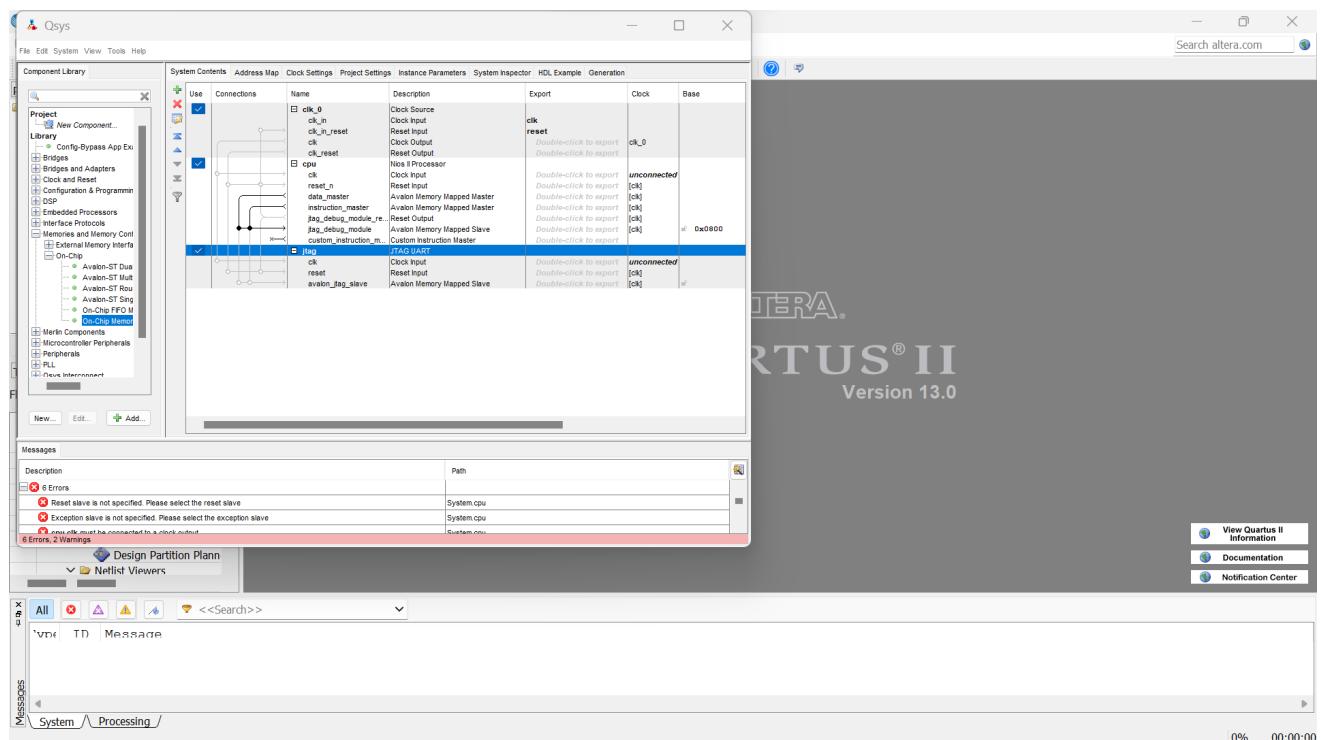
Compilação

Programação

Eclipse

Criação do sistema hardware

- **Passo 1:** Memories and Memory Interface
- **Passo 2:** On-Chip
- **Passo 3:** On-Chip Memory (RAM or ROM)



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

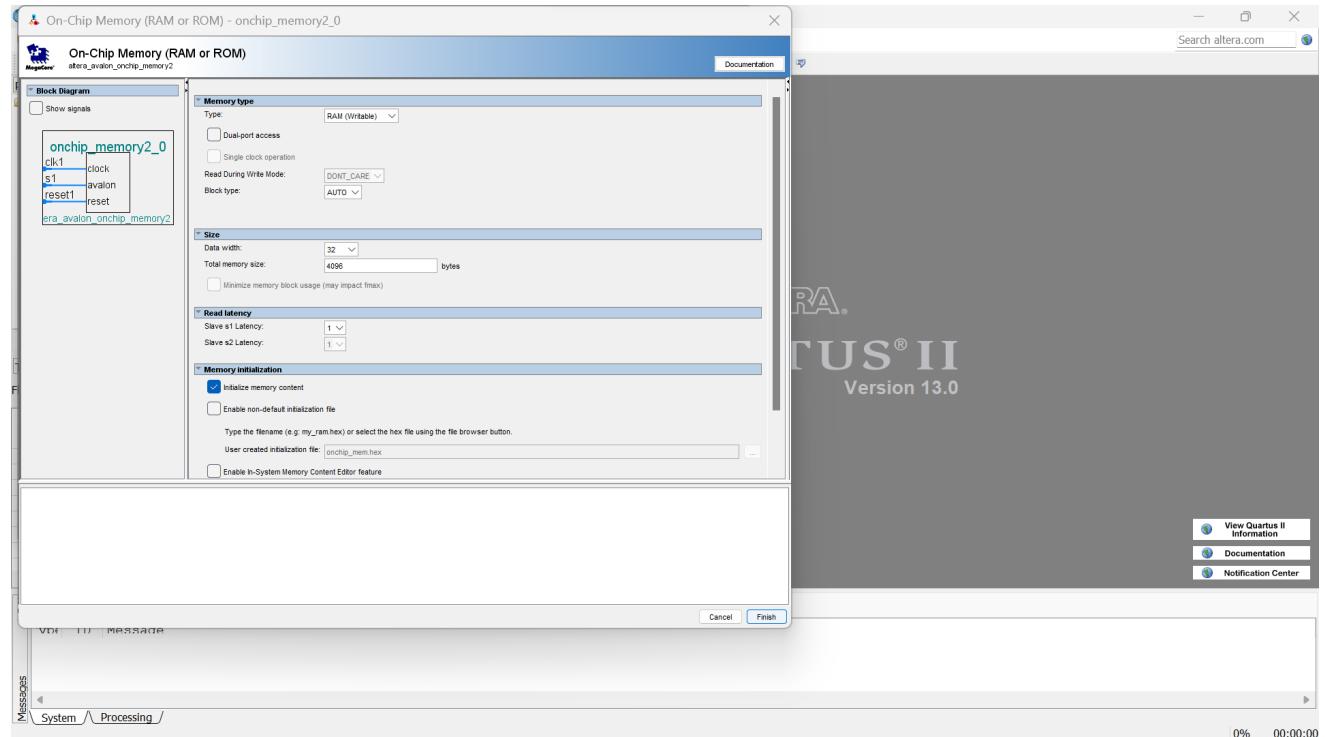
Interconexões

Generate VHDL ou verilog

Compilação

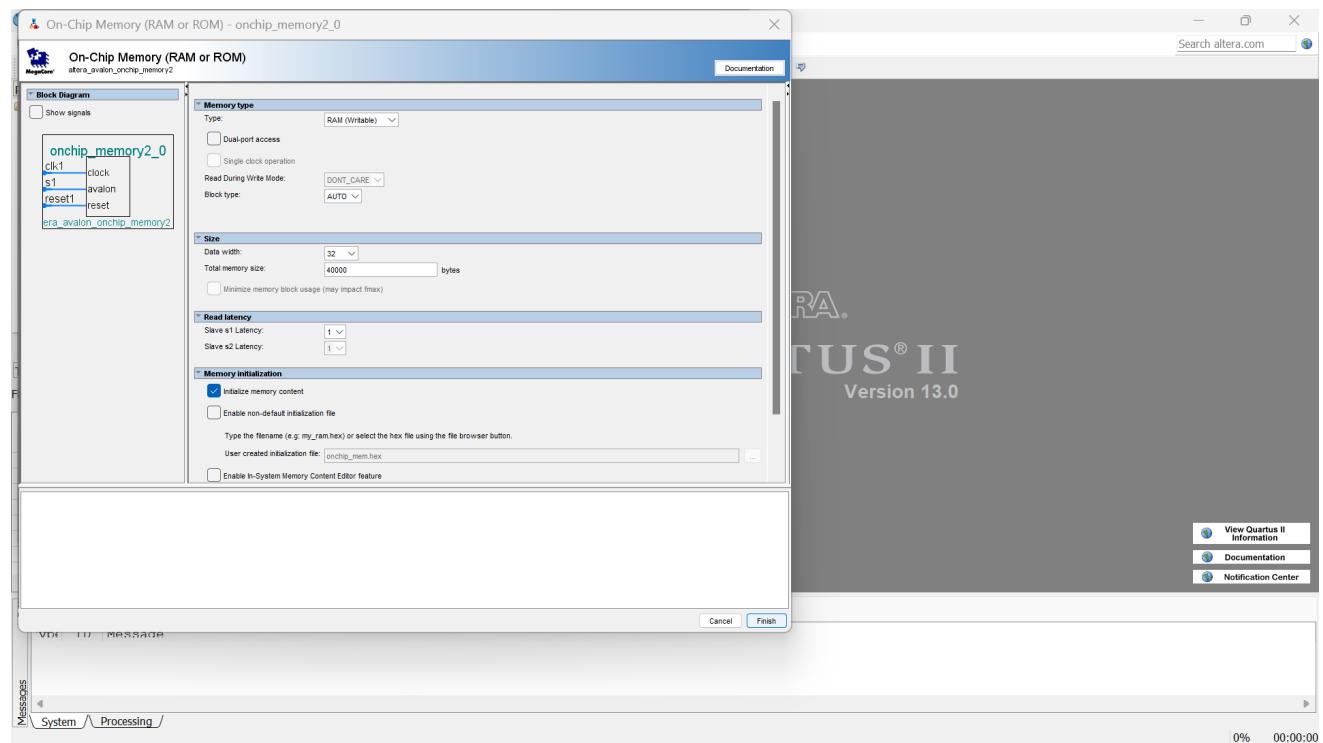
Programação

Eclipse



Criação do sistema hardware

Size-> Total Memory size: 40000 bytes



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

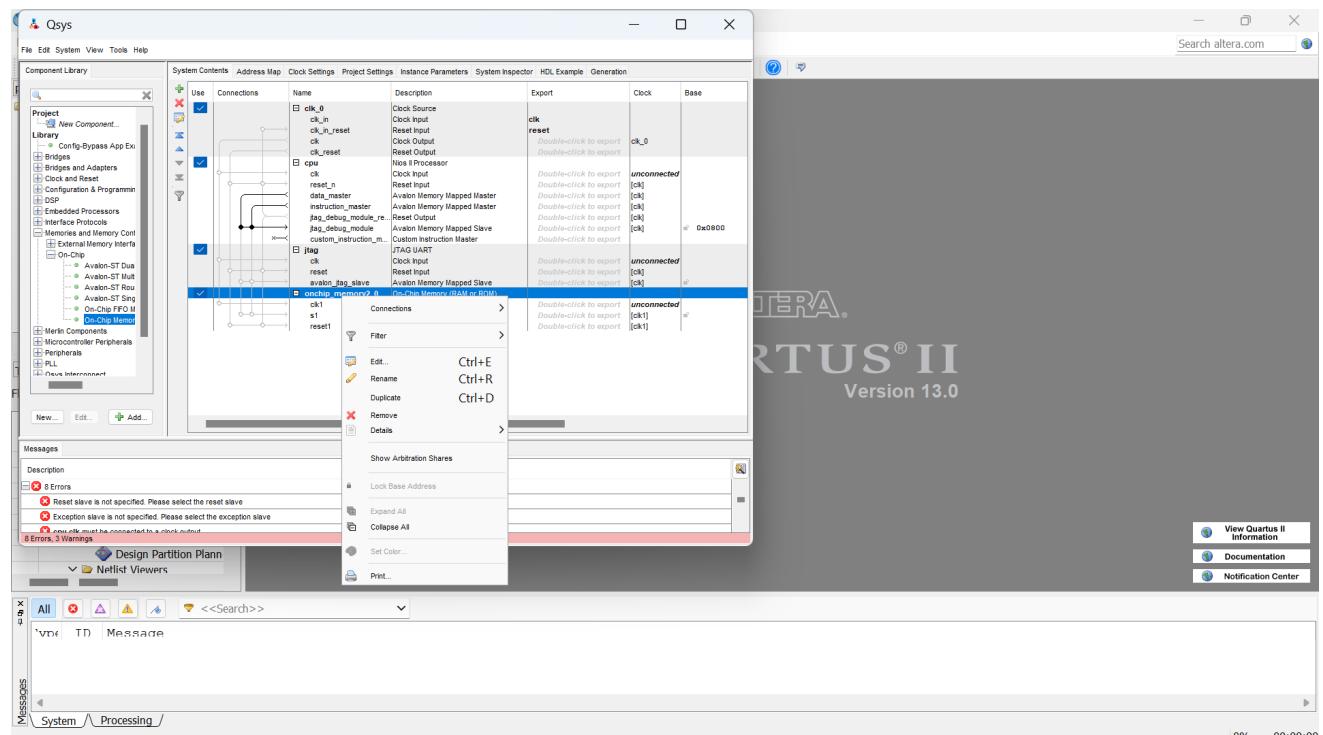
Generate VHDL ou verilog

Compilação

Programação

Eclipse

- **Passo 1:** click direito sobre o On chip Memory
- **Passo 2:** renomear como **Onchip**

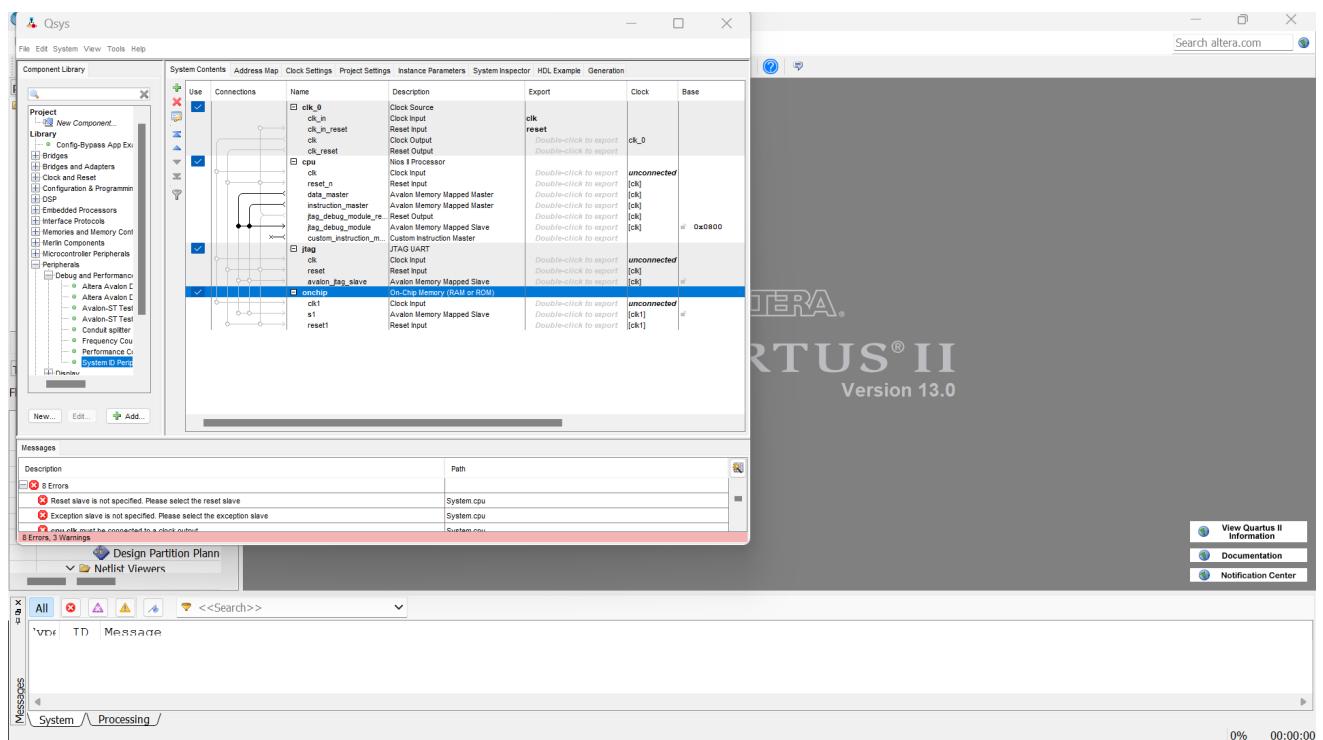


Criação do sistema hardware

- **Passo 1:** Peripherals
- **Passo 2:** Debug and performance
- **Passo 3:** System ID peripheral

Objetivos
Introdução
Configuração do
NIOS II
Qsys
NIOS II Processor
JTAG UART
On-Chip Memory
System ID
PIOs
Interconexões
Generate VHDL ou verilog
Compilação
Programação

Eclipse



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

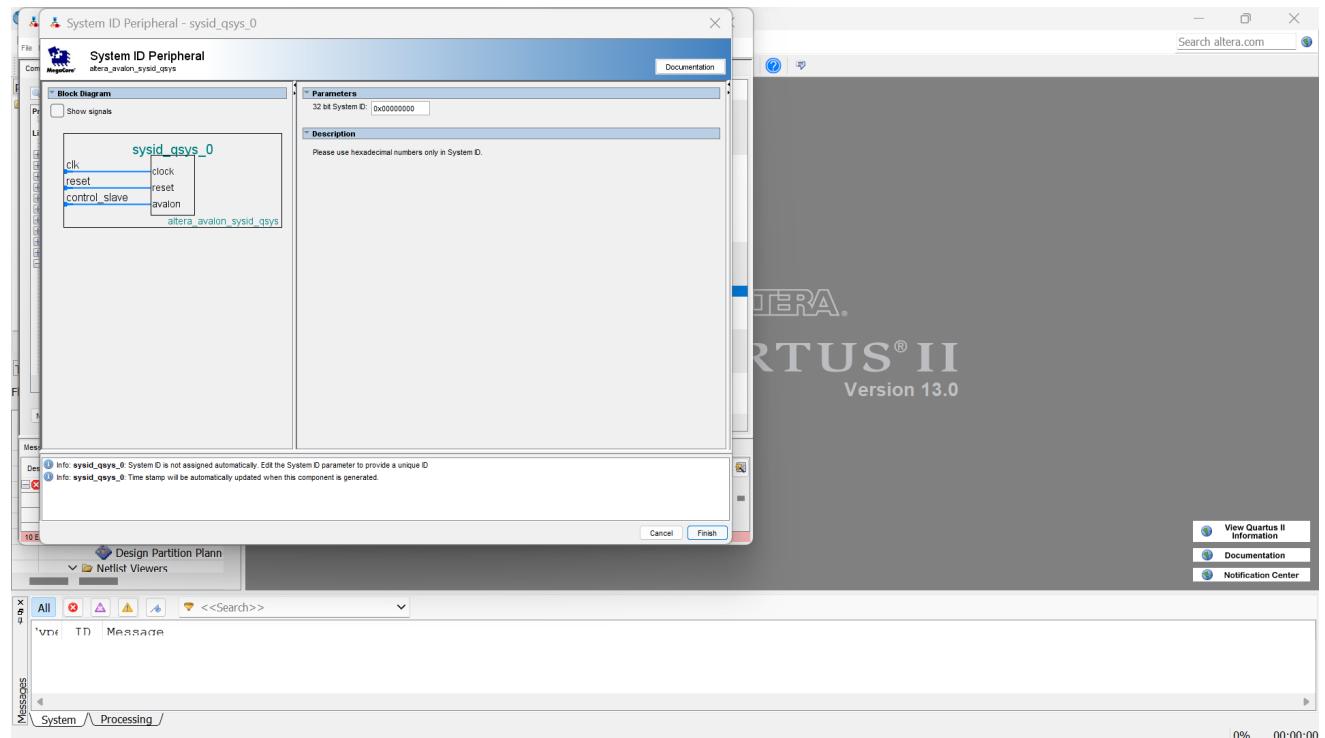
Interconexões

Generate VHDL ou verilog

Compilação

Programação

Eclipse



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Generate VHDL ou verilog

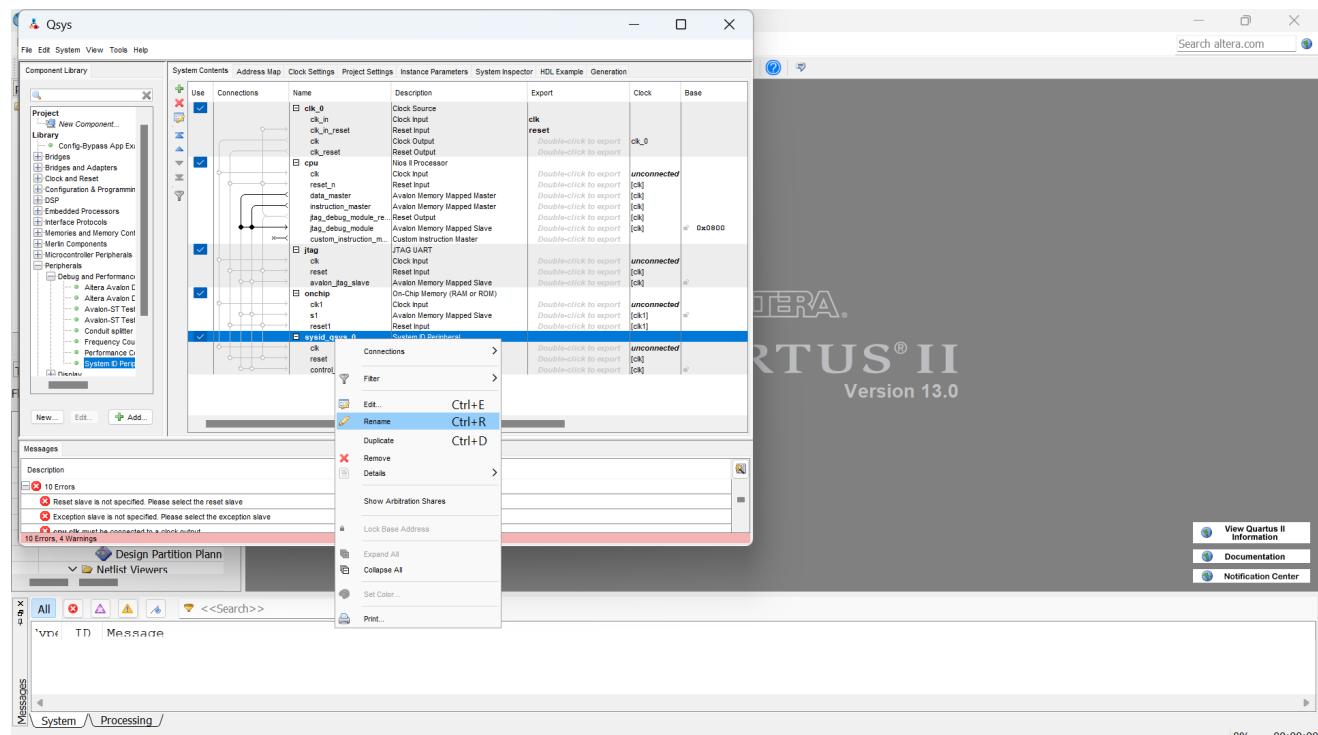
Compilação

Programação

Eclipse

Criação do sistema hardware

- **Passo 1:** click direito sobre o SysID qsys
- **Passo 2:** renomear como sysid



Criação do sistema hardware

Objetivos

Introdução

Configuração do NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

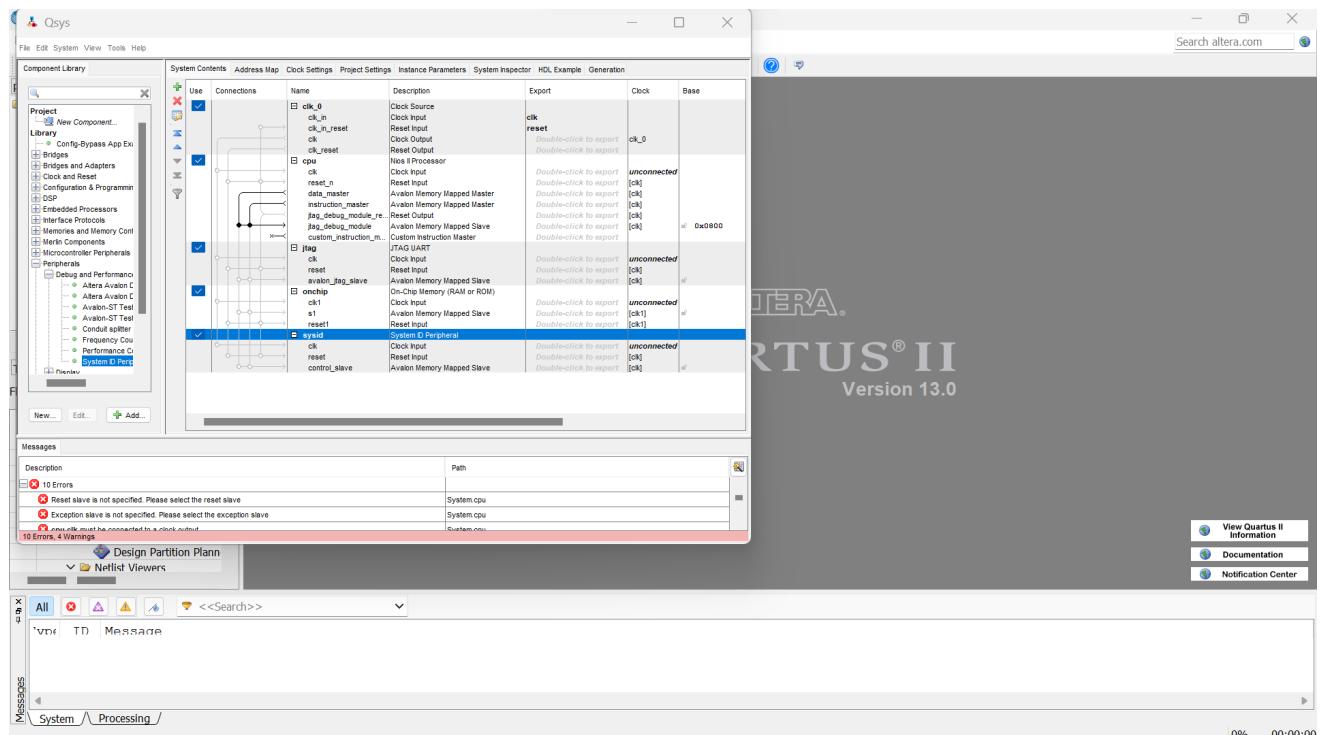
Interconexões

Generate VHDL ou verilog

Compilação

Programação

Eclipse



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Generate VHDL ou verilog

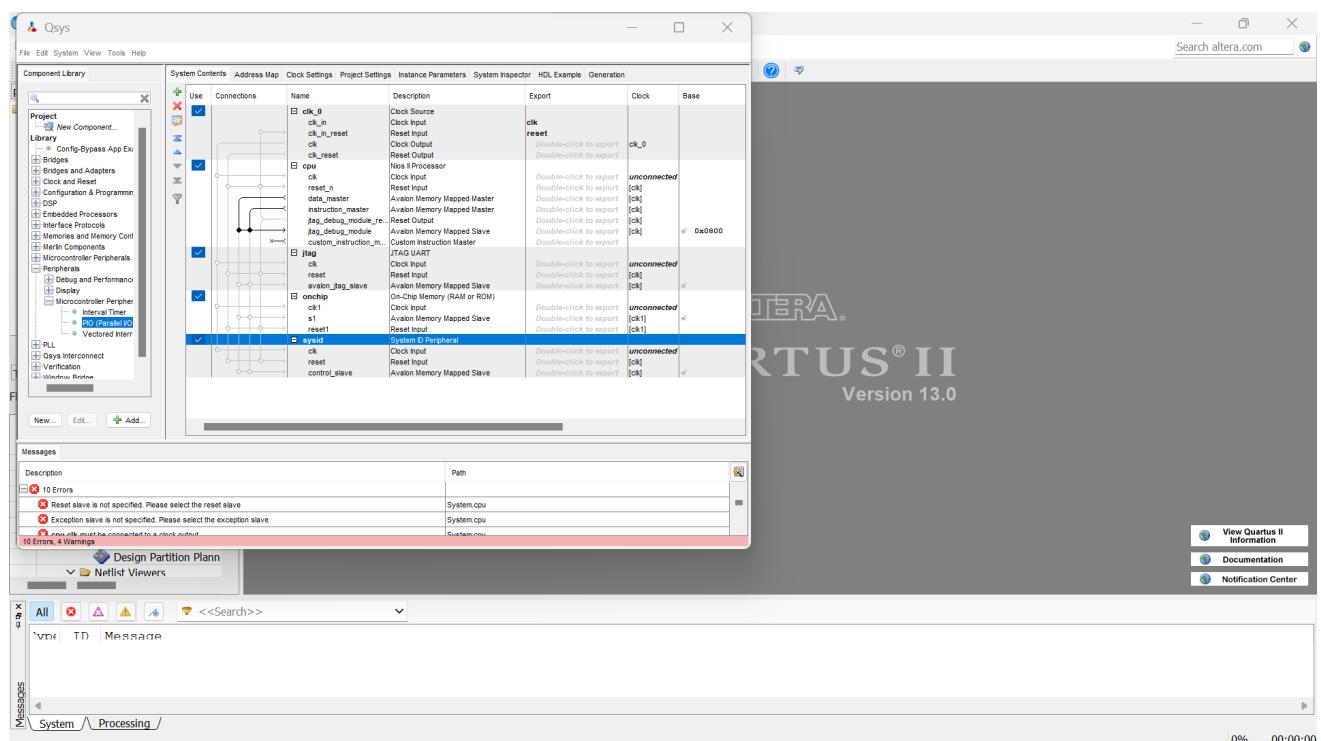
Compilação

Programação

Eclipse

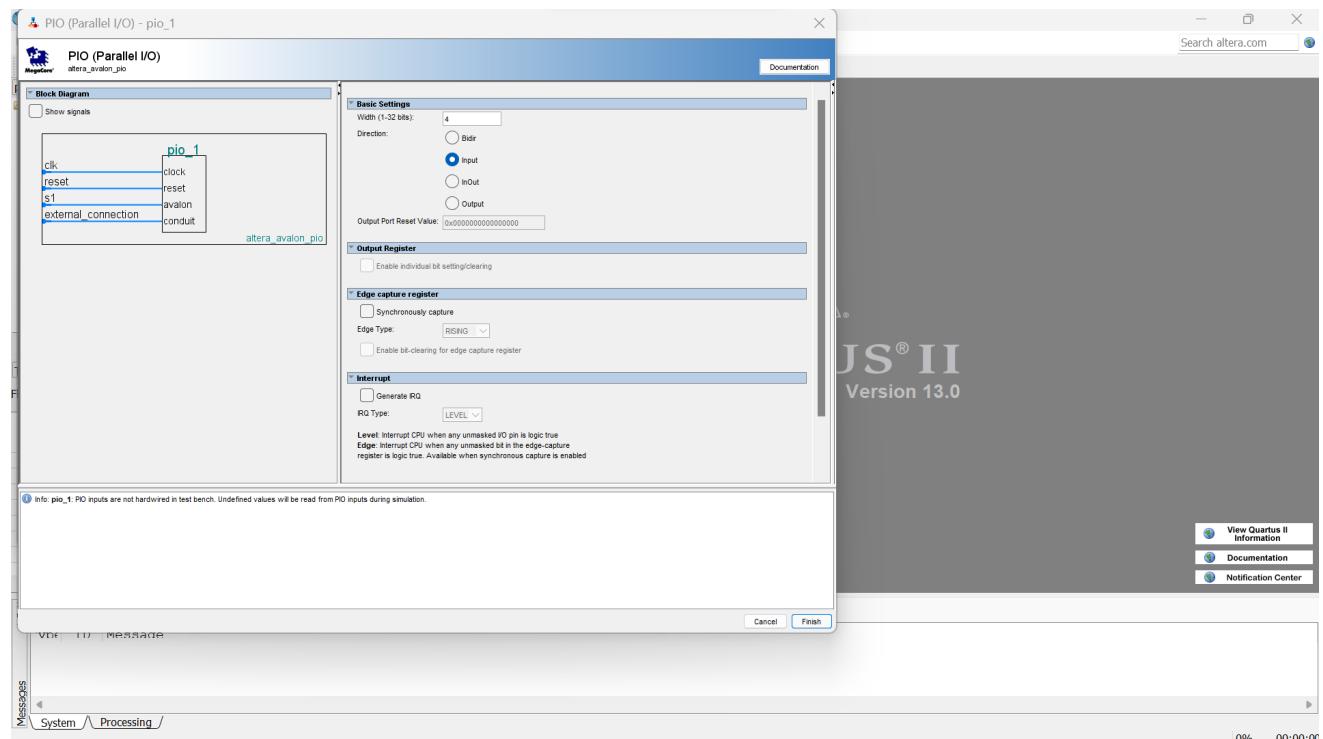
Criação do sistema hardware

- **Passo 1:** Peripherals
- **Passo 2:** Microcontroller Peripherals
- **Passo 3:** PIO (parallel I/O)



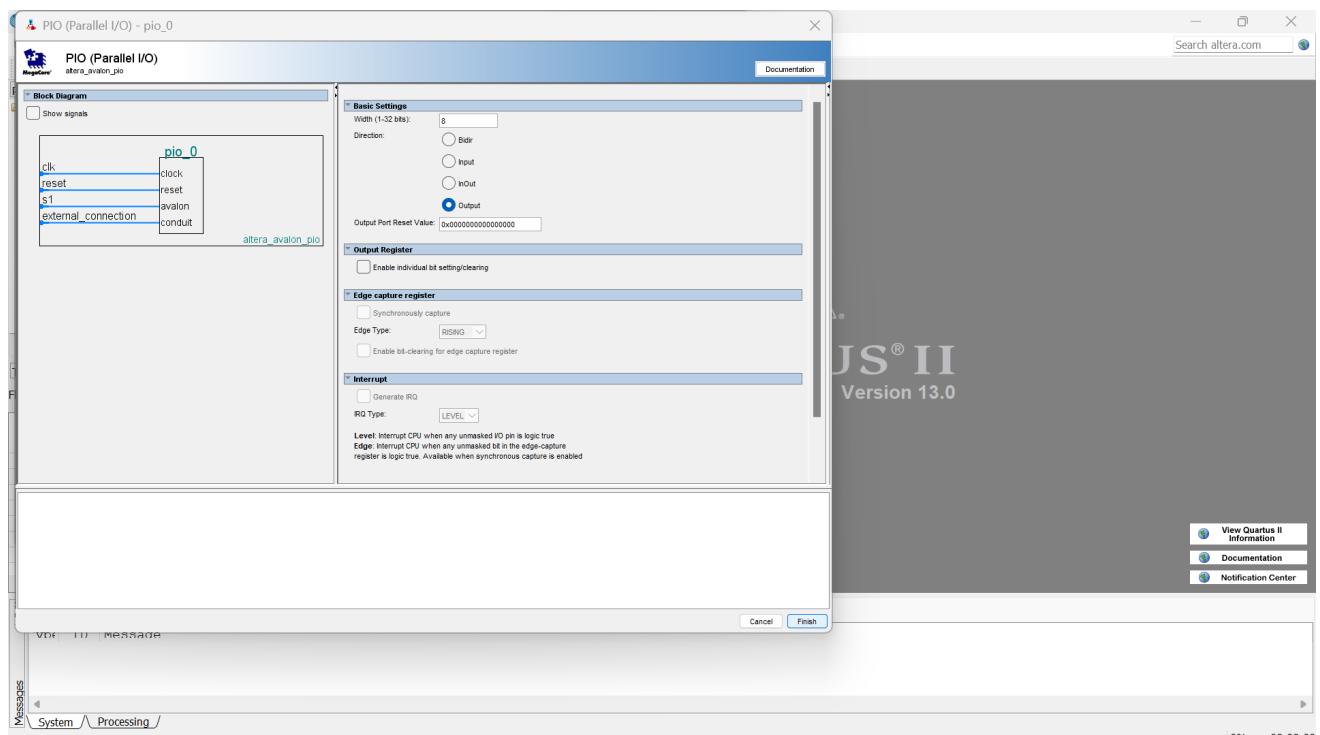
Criação do sistema hardware

- **Passo 1:** Width 4 bits
- **Passo 2:** Input



Criação do sistema hardware

- **Passo 1:** Width 8 bits
- **Passo 2:** Output



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

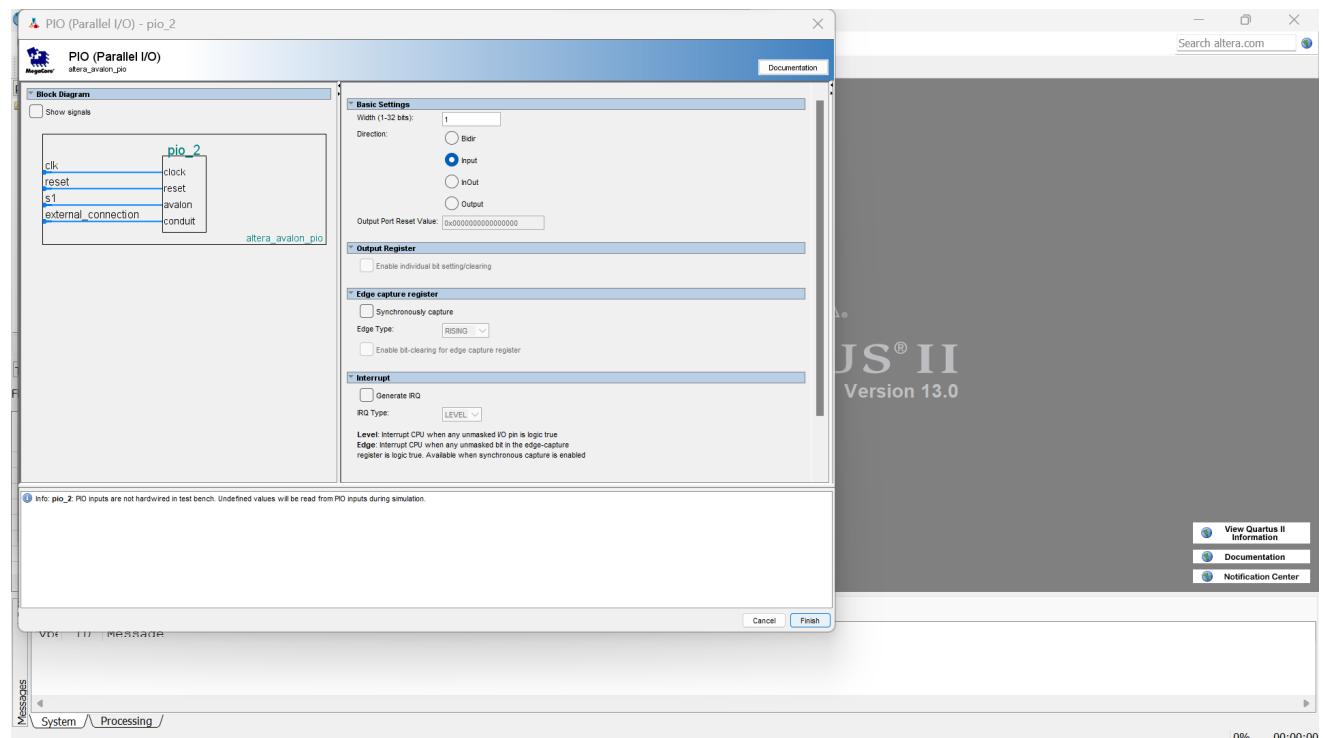
Generate VHDL ou verilog

Compilação

Programação

Eclipse

- **Passo 1:** Width 1 bit
- **Passo 2:** Input



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

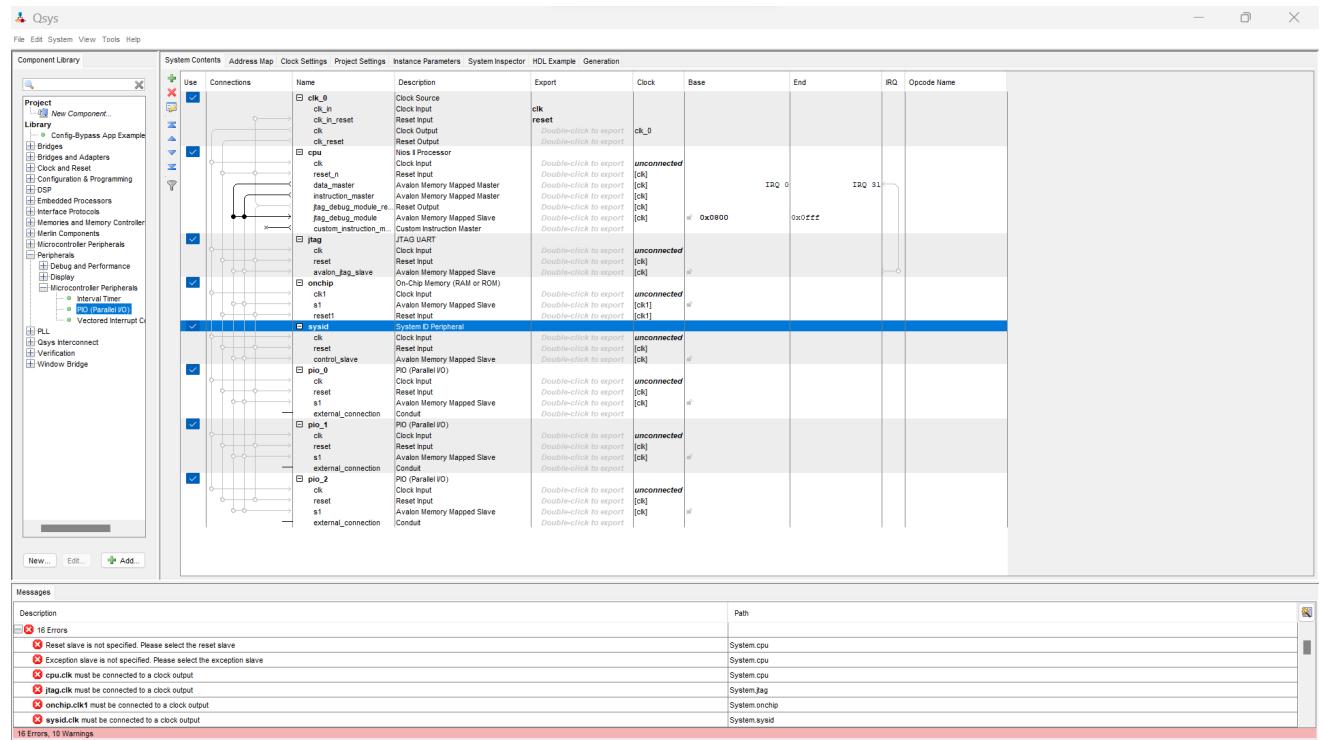
Interconexões

Generate VHDL ou verilog

Compilação

Programação

Eclipse



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

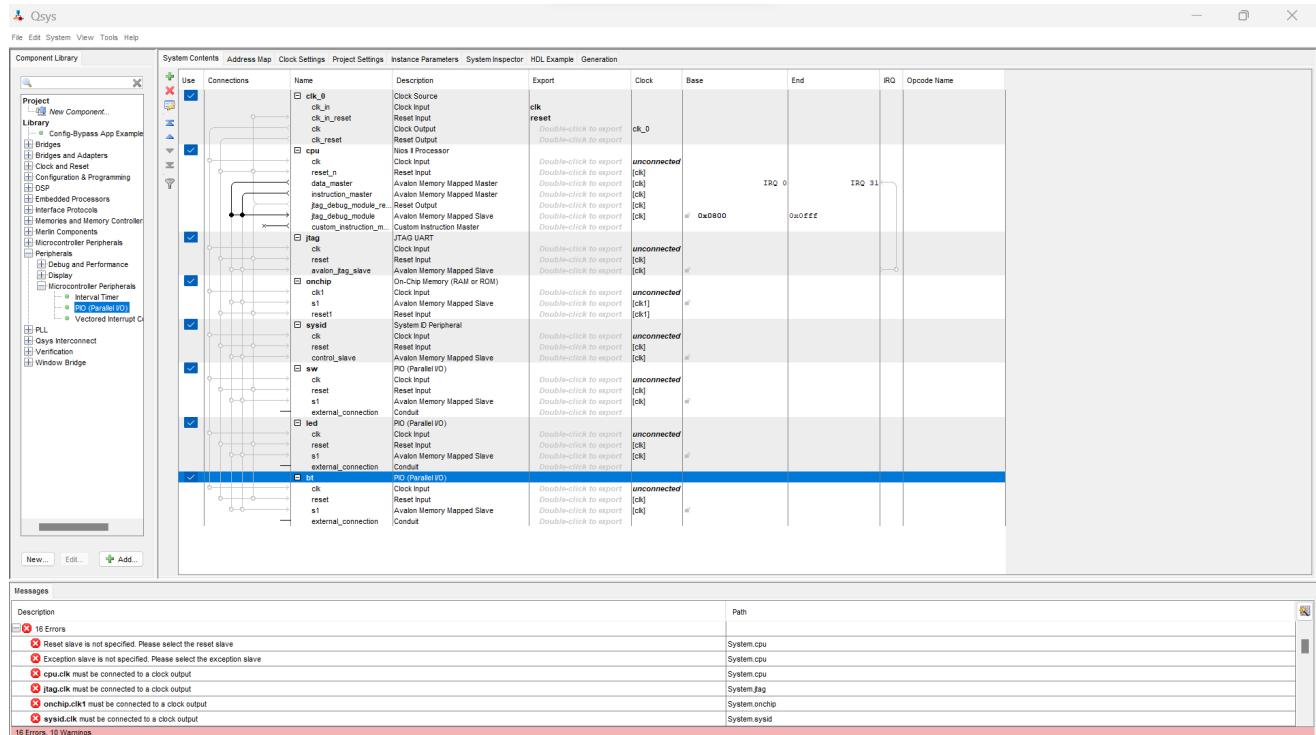
Generate VHDL ou verilog

Compilação

Programação

Eclipse

Criação do sistema hardware

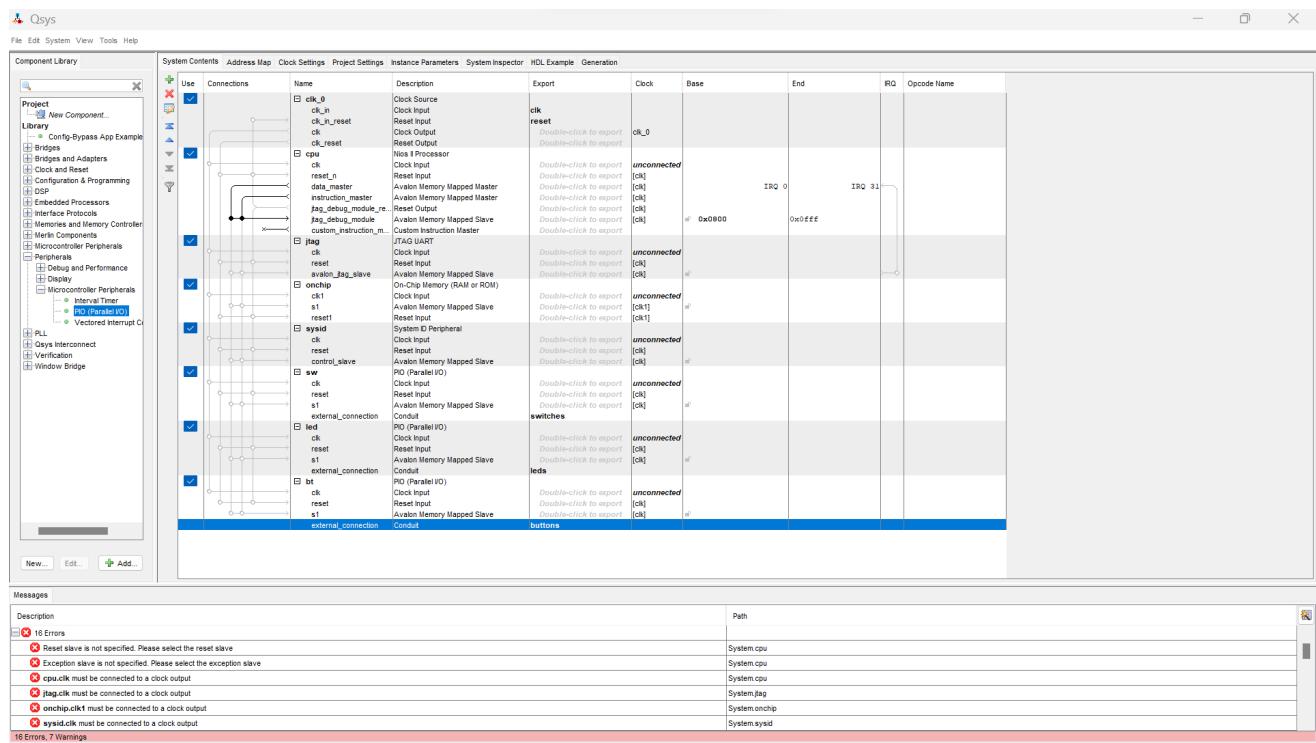


Criação do sistema hardware

- **Passo 1:** External connection-> switches
- **Passo 2:** External connection-> leds
- **Passo 2:** External connection-> buttons

Objetivos
Introdução
Configuração do NIOS II
Qsys
NIOS II Processor
JTAG UART
On-Chip Memory
System ID
PIOs
Interconexões
Generate VHDL ou verilog
Compilação
Programação

Eclipse



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

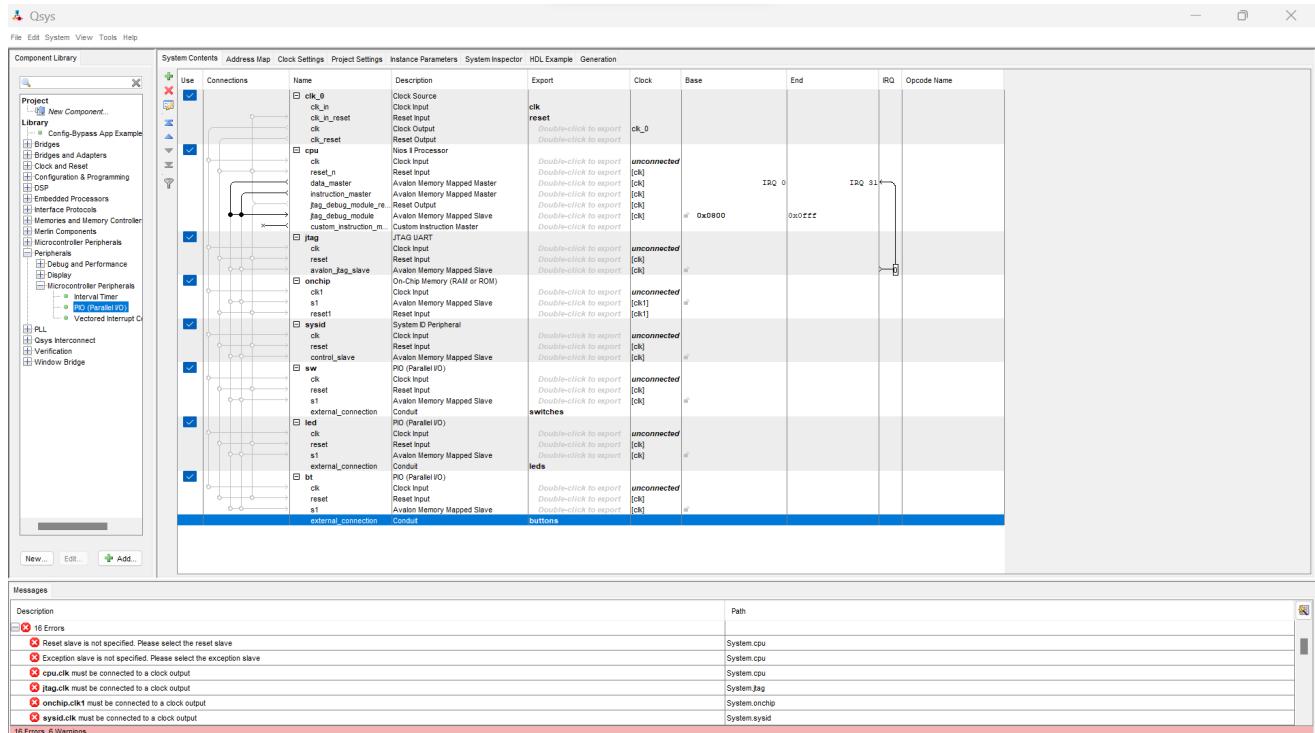
Generate VHDL ou verilog

Compilação

Programação

Eclipse

● Passo 1: Ligar IRQ com avalon jtag slave



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

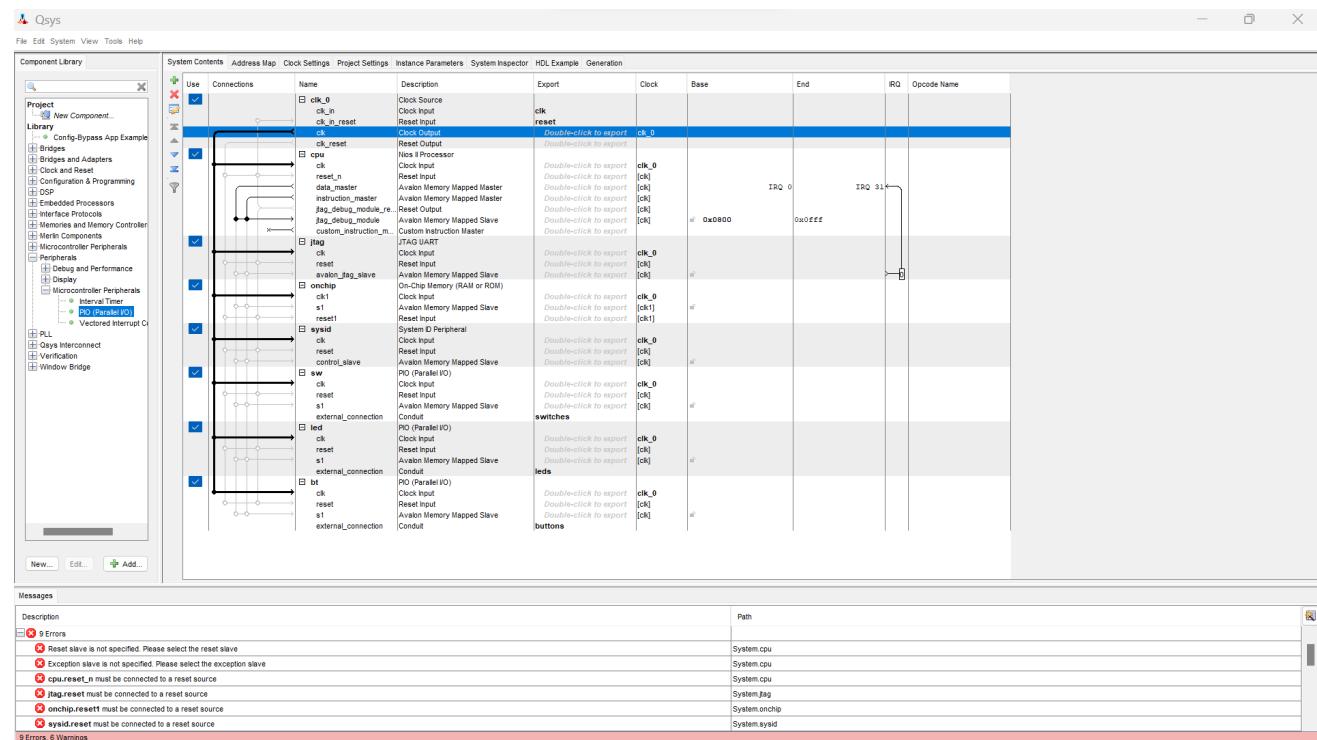
Generate VHDL ou verilog

Compilação

Programação

Eclipse

Ligar o clock com todos os clocks dos periféricos



Criação do sistema hardware

Objetivos

Introdução

Configuração do NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

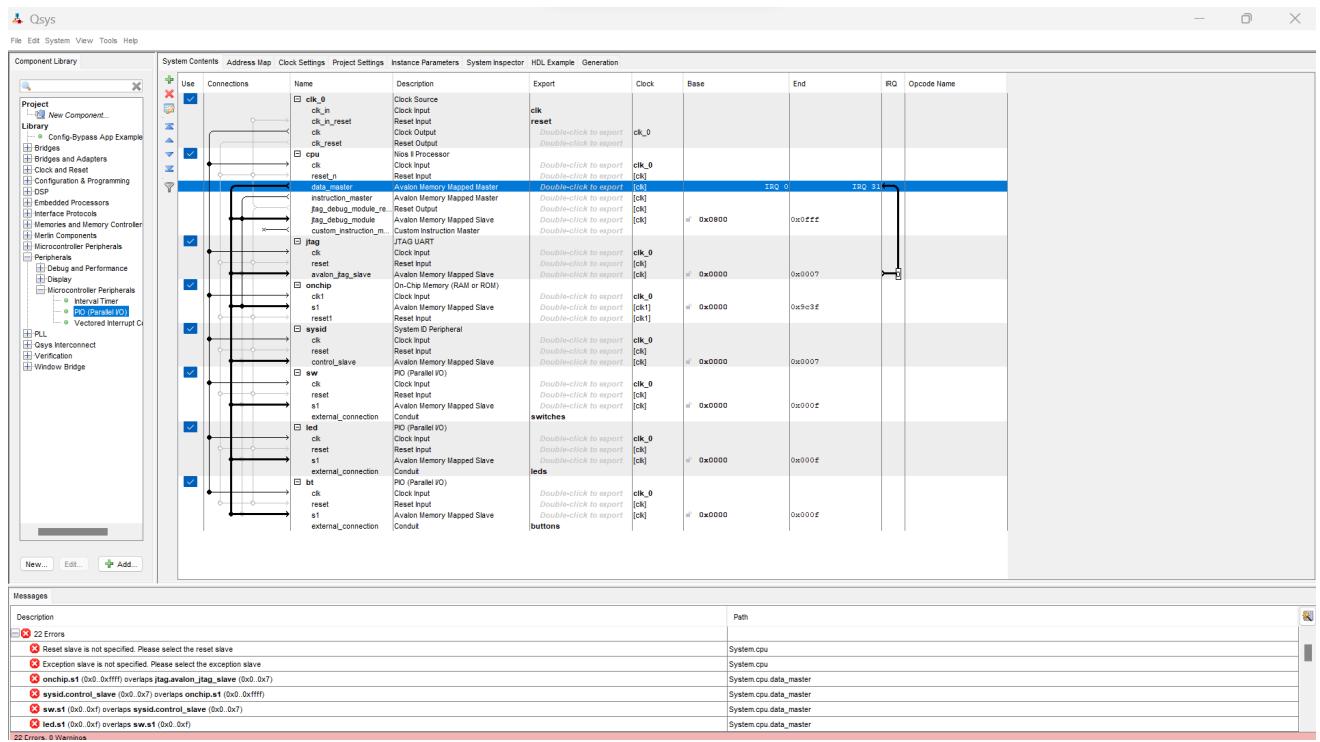
Generate VHDL ou verilog

Compilação

Programação

Eclipse

Ligar o data master com todos os slaves/s1



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Generate VHDL ou verilog

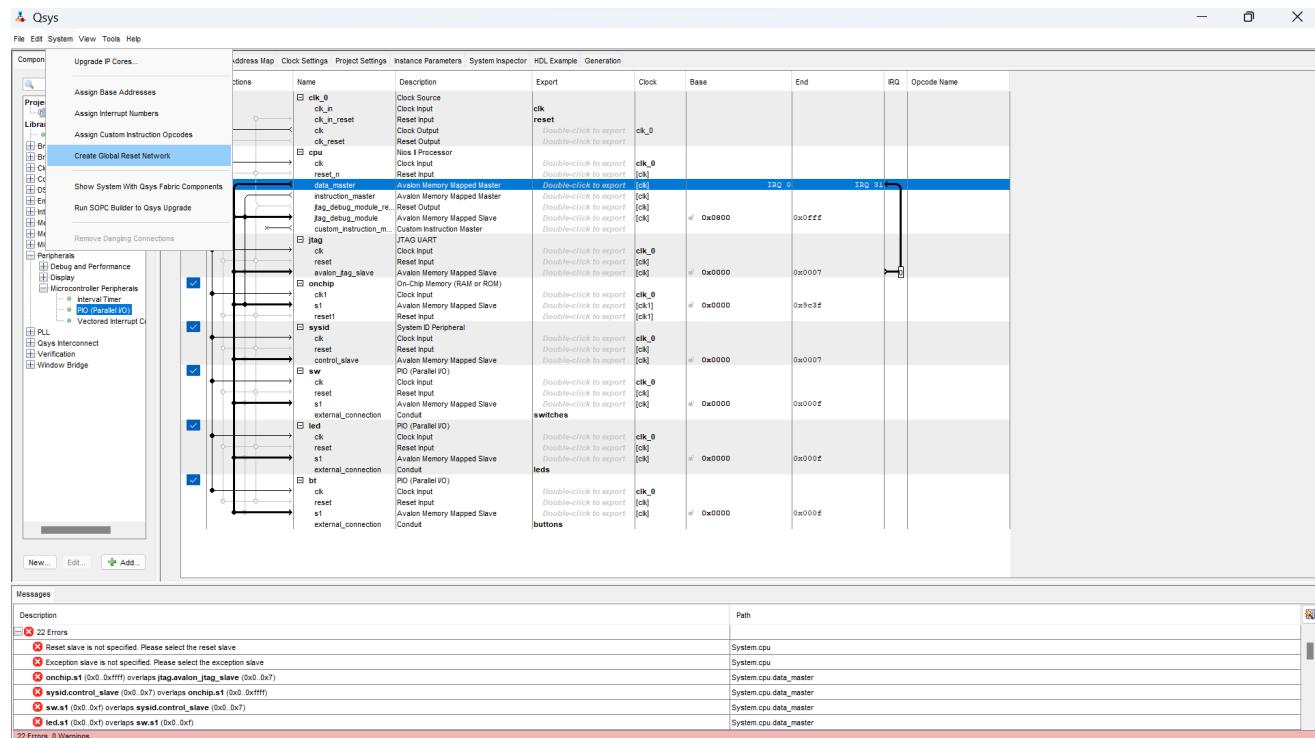
Compilação

Programação

Eclipse

● Passo 1: System

● Passo 2: Create Global Reset Network



Criação do sistema hardware

Objetivos

Introdução

Configuração do NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

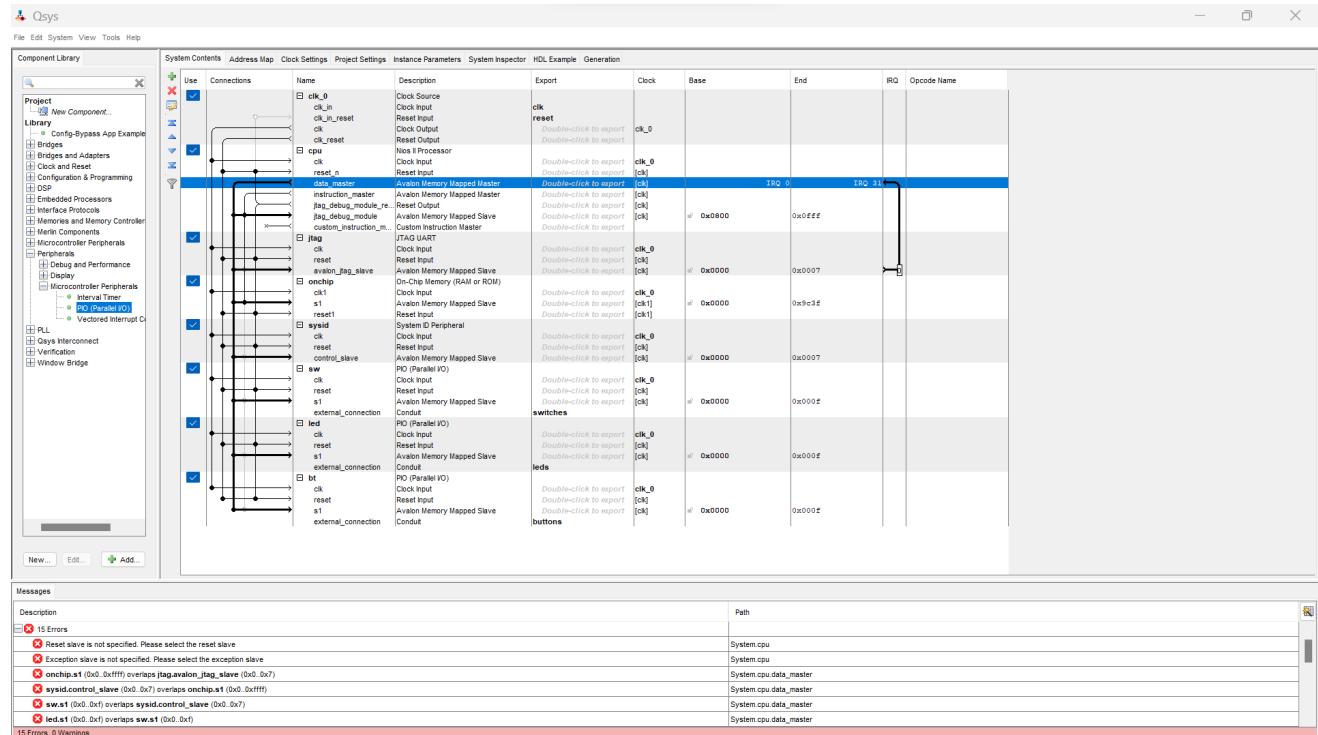
Interconexões

Generate VHDL ou verilog

Compilação

Programação

Eclipse



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Generate VHDL ou verilog

Compilação

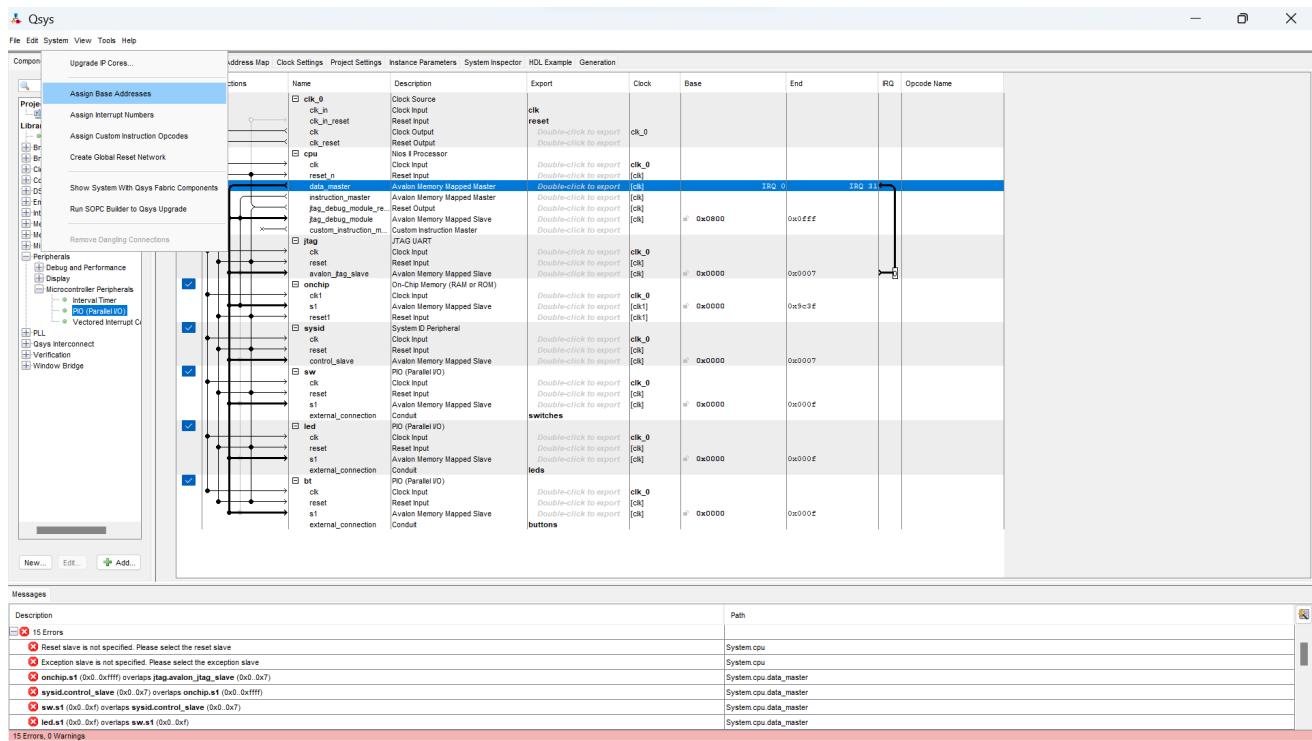
Programação

Eclipse

Criação do sistema hardware

● Passo 1: System

● Passo 2: Assign Base Addresses



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

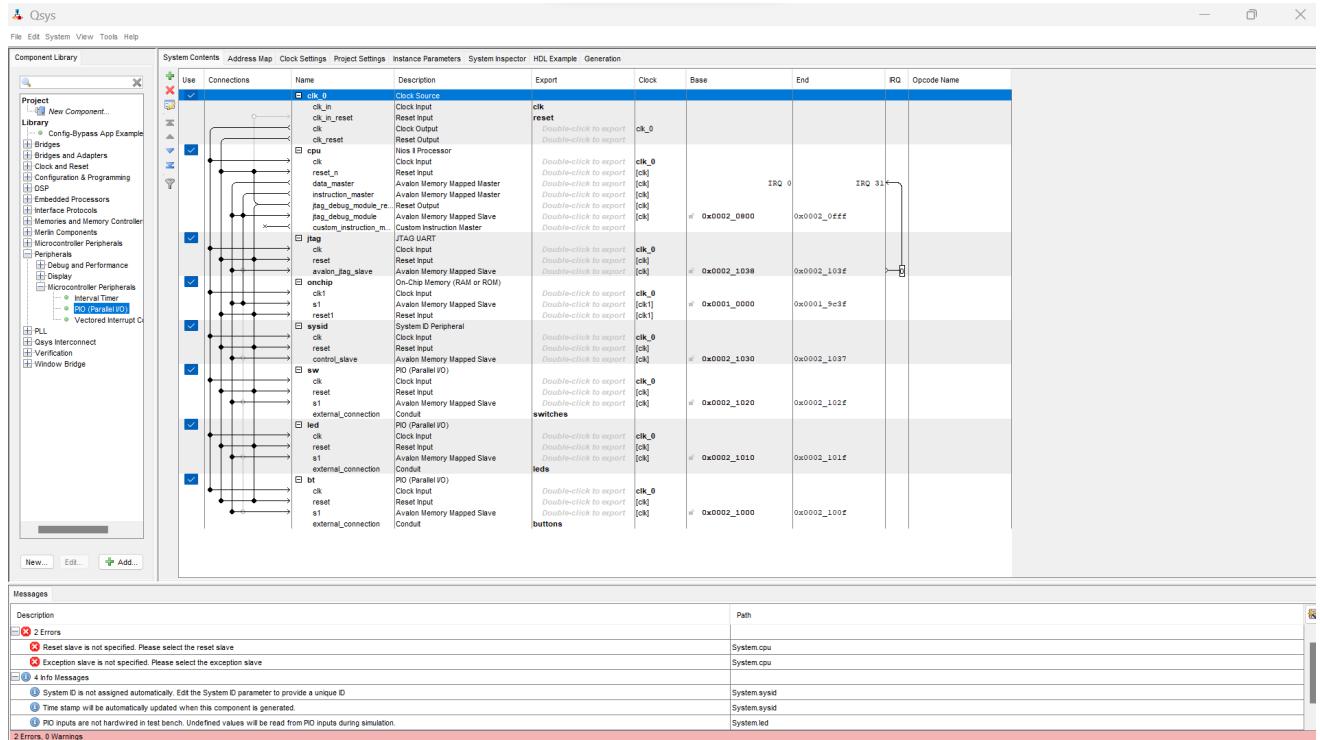
Generate VHDL ou verilog

Compilação

Programação

Eclipse

Criação do sistema hardware

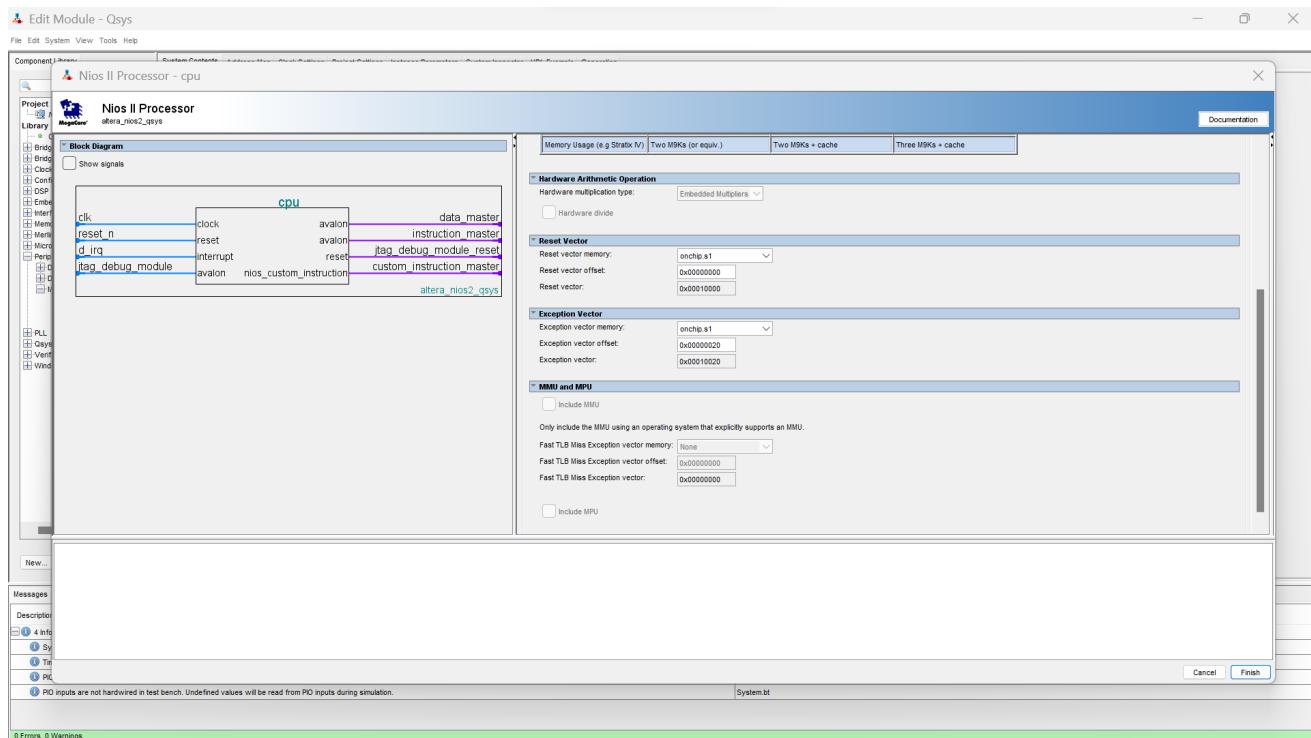


Criação do sistema hardware

- **Passo 1:** cpu

- **Passo 2:** Reset Vector-> Reset Vector Memory-> onchip.s1

- **Passo 2:** Exception Vector-> Exception Vector Memory-> onchip.s1



Criação do sistema hardware

Objetivos

Introdução

Configuração do NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

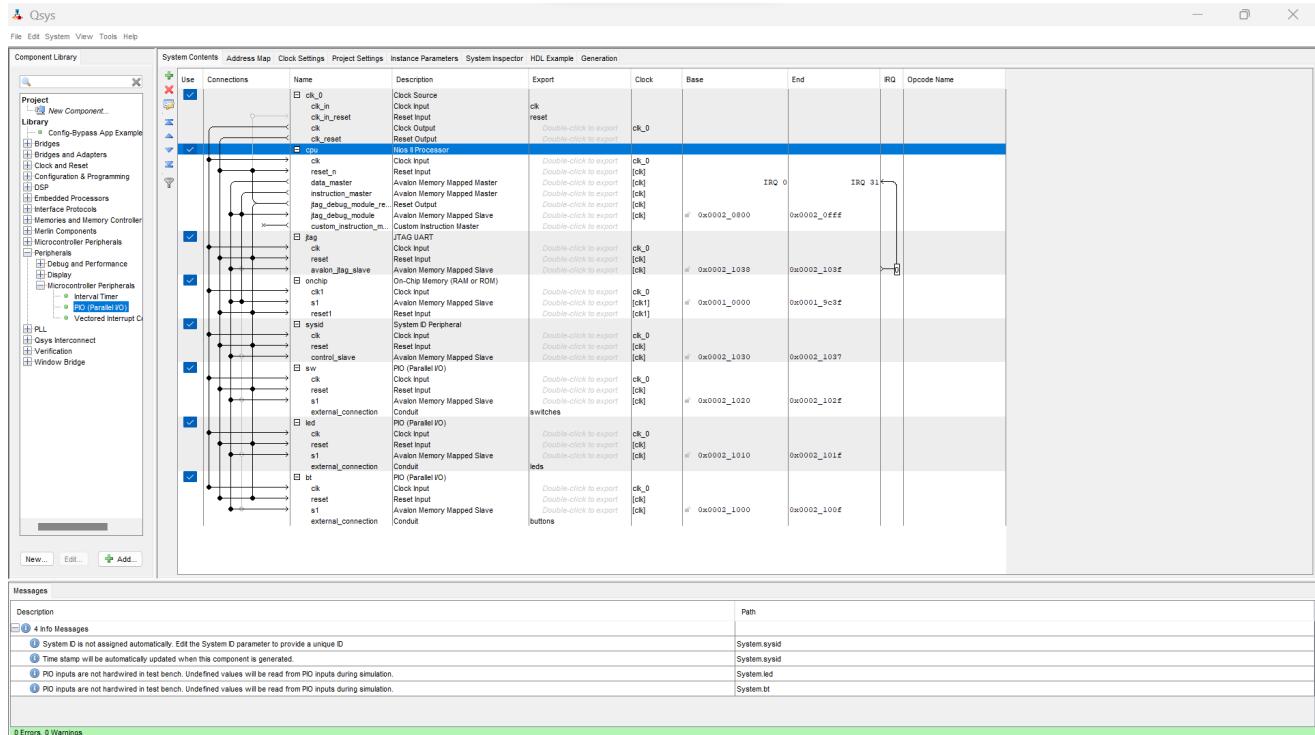
Interconexões

Generate VHDL ou verilog

Compilação

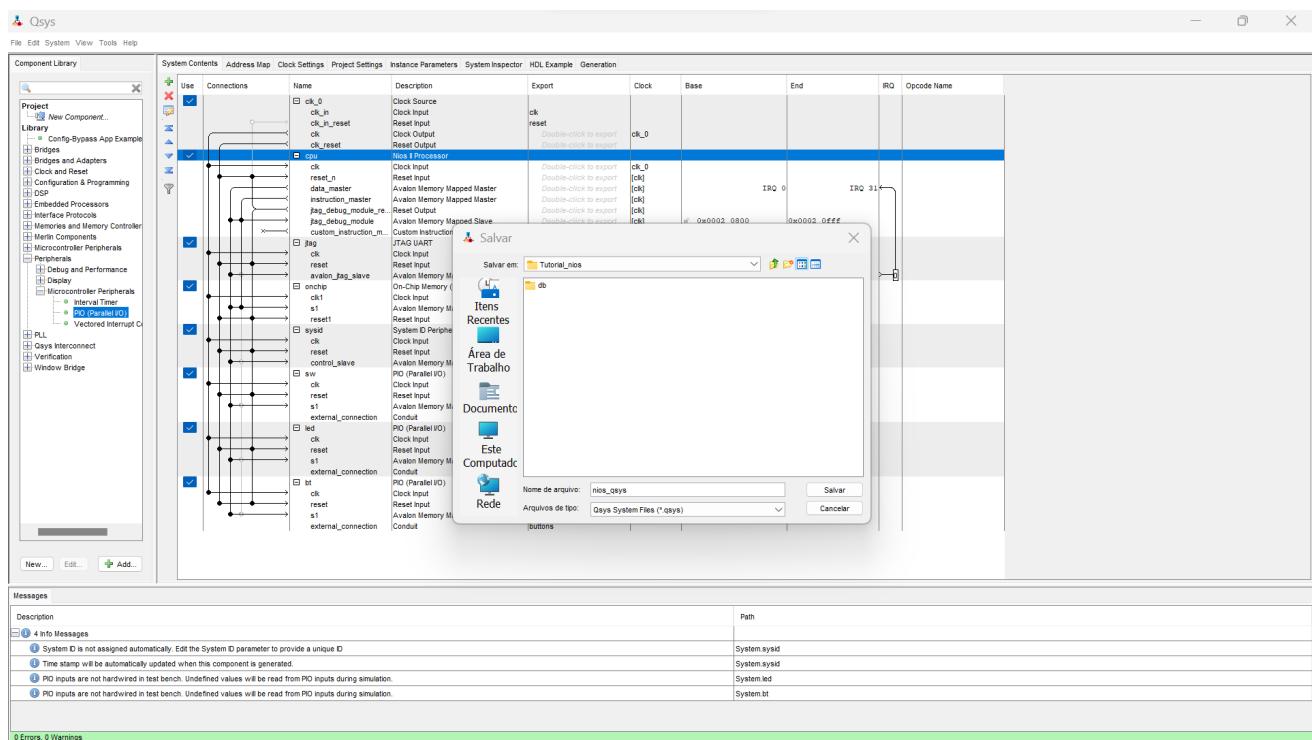
Programação

Eclipse



Criação do sistema hardware

Guardar usando o nome nios_qsys



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

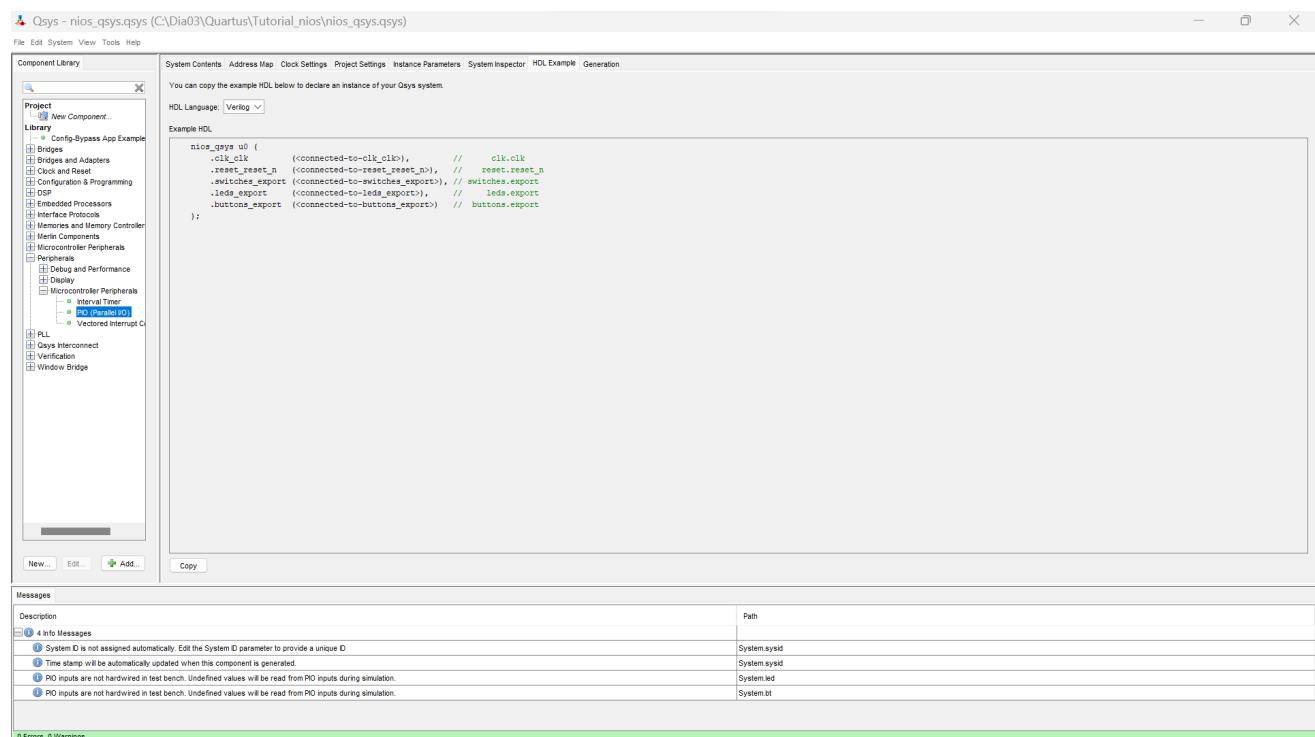
Generate VHDL ou verilog

Compilação

Programação

Eclipse

Entidade do arquitetura em verilog



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

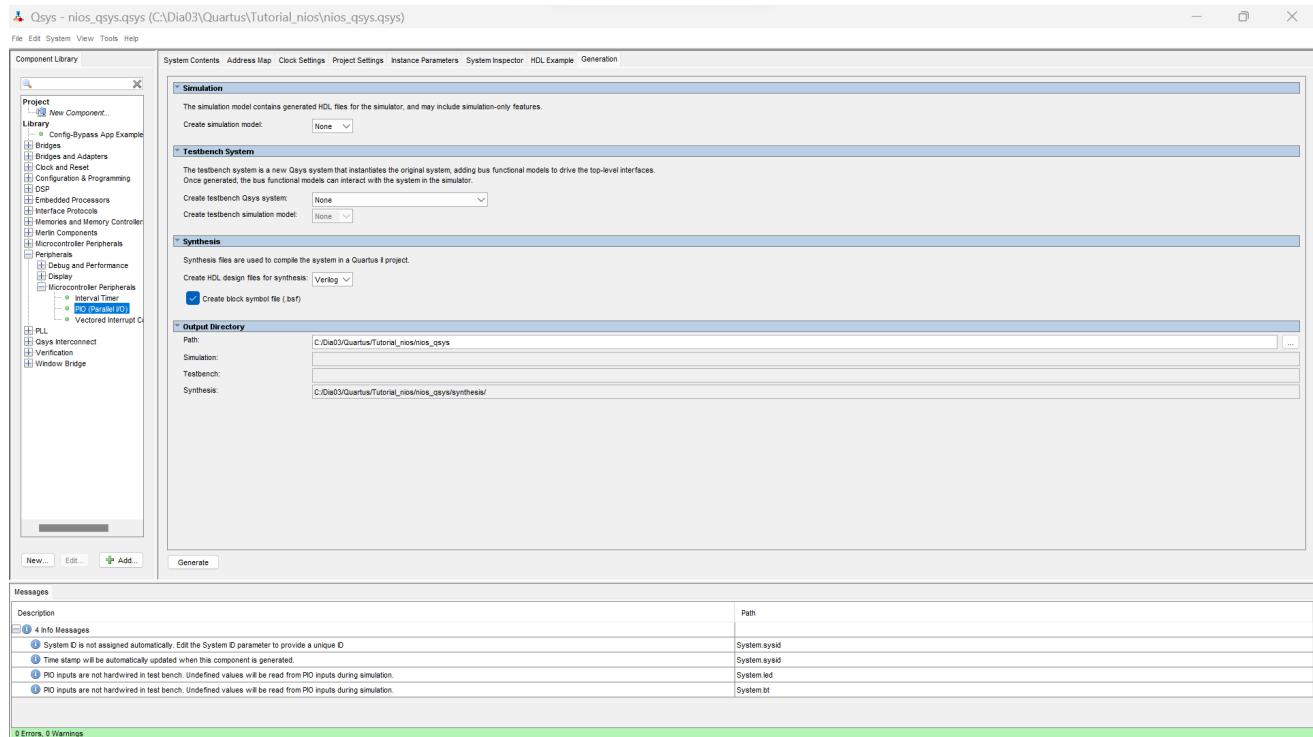
Generate VHDL ou verilog

Compilação

Programação

Eclipse

● Passo 1: Generate



Criação do sistema hardware

Objetivos

Introdução

Configuração do NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

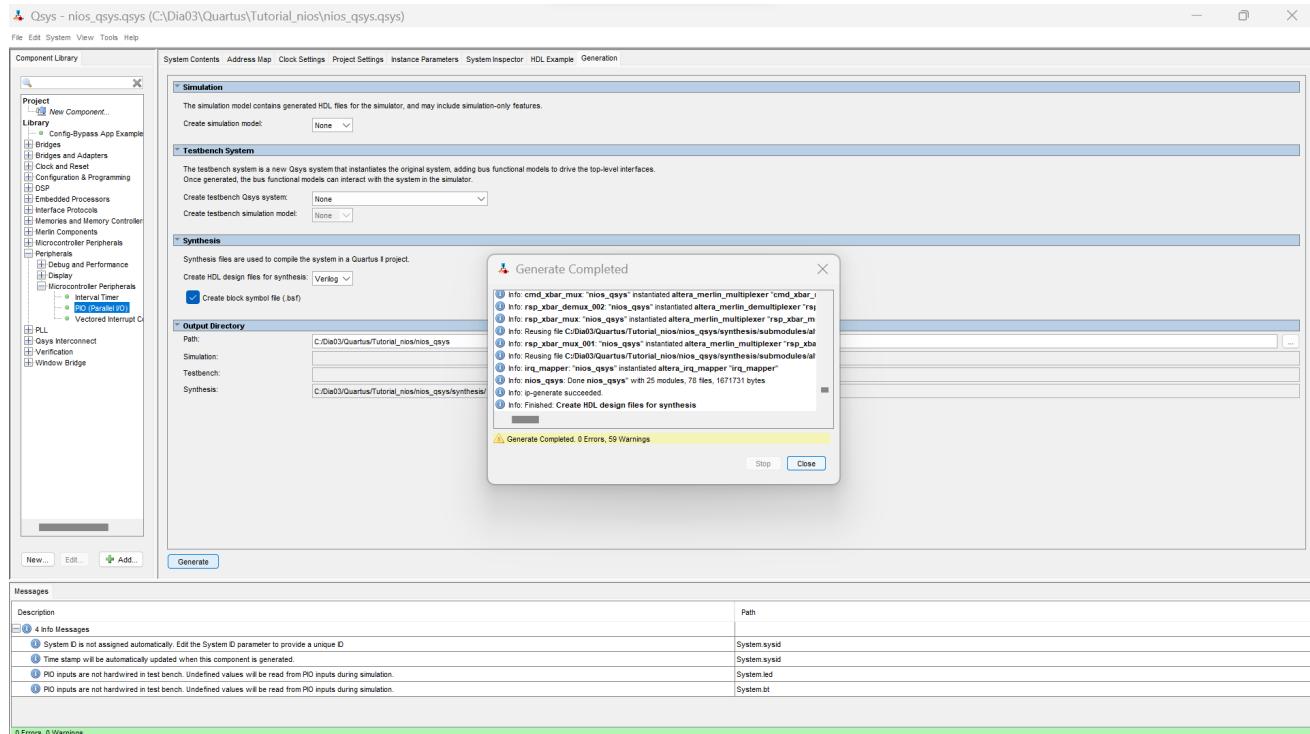
Interconexões

Generate VHDL ou verilog

Compilação

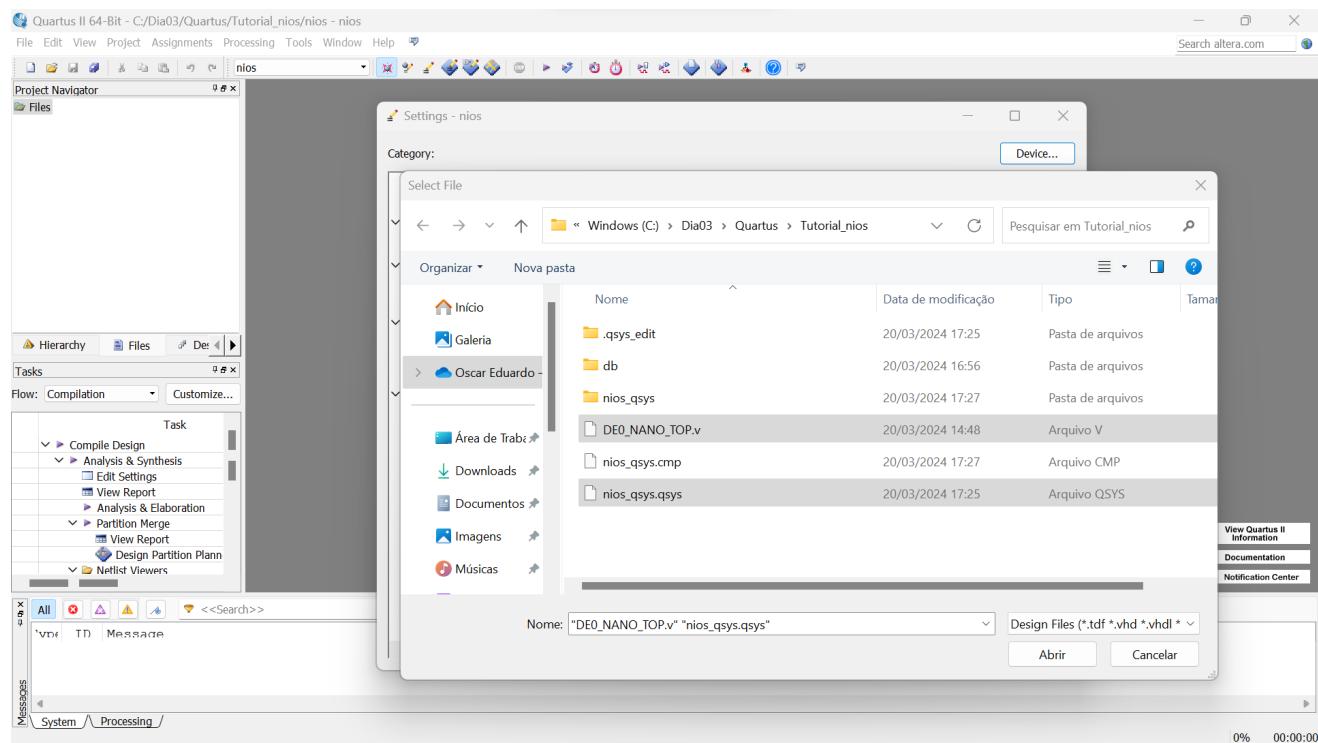
Programação

Eclipse



Criação do sistema hardware

Adicionar o arquivo do qsys e o arquivo em verilog



Criação do sistema hardware

Instanciação do hardware

The screenshot shows the Quartus II 64-Bit interface with the project "nios" open. The main window displays a portion of the VHDL code for the top-level entity:

```
nios_qsys u0(
    .clk_clk(CLOCK_50),
    .reset_reset_n(KEY[0]),
    .switches_export(SW),
    .buttons_export(~KEY[1]),
    .leds_export(LED)
);
endmodule
```

The Project Navigator panel on the left shows files like "nios_qsys.qsys" and "DE0_NANO_TOP.v". The Tasks panel shows a list of design tasks under the "Compile Design" category. The Messages panel at the bottom indicates that the top-level design entity was changed to "DE0_NANO_TOP".

Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

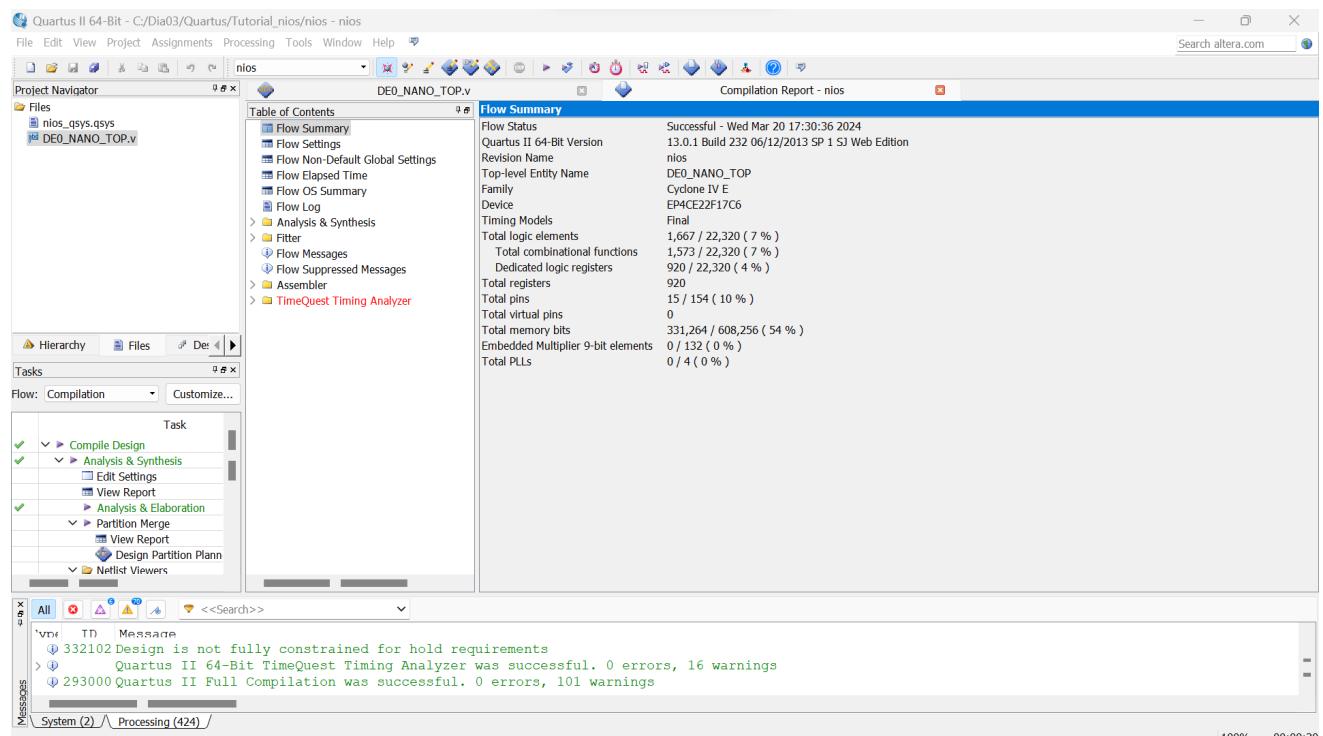
Generate VHDL ou verilog

Compilação

Programação

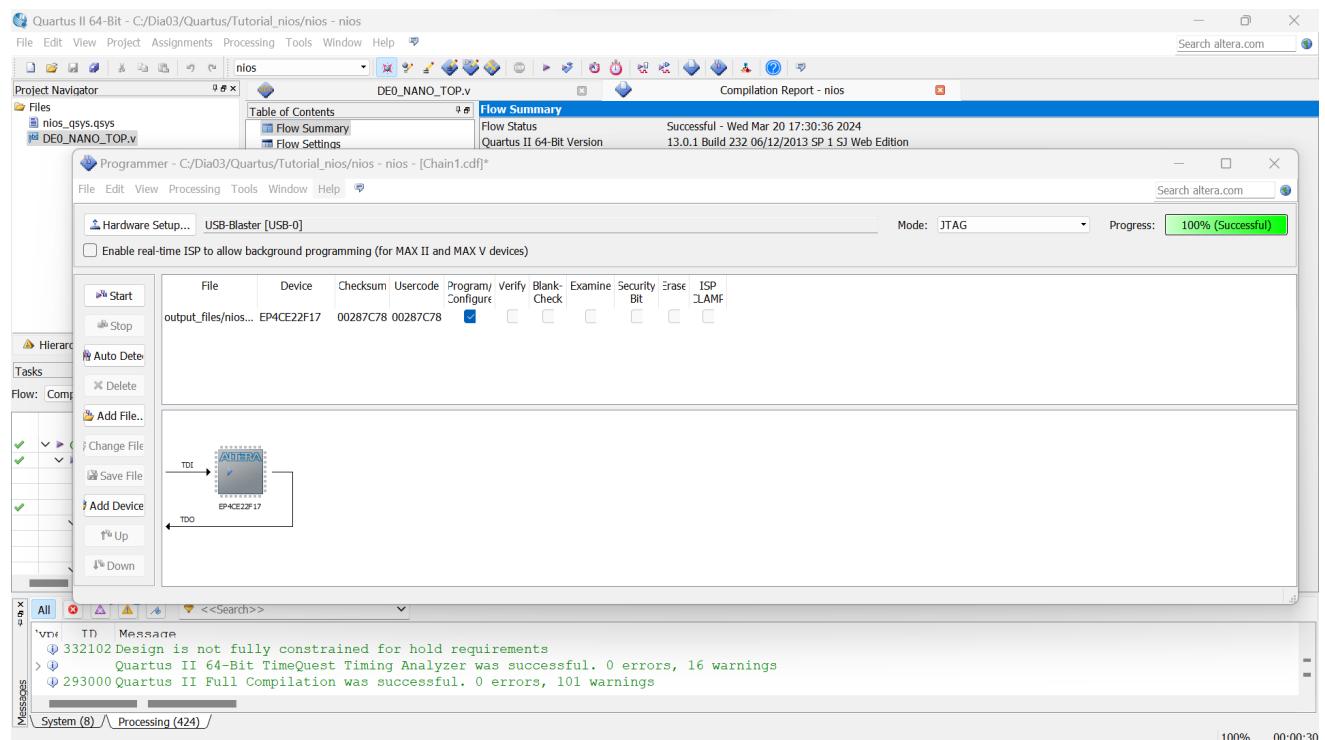
Eclipse

Compilação do programa



Configuração do Quartus

Programação da placa



Conteúdo

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Generate VHDL ou verilog

Compilação

Programação

Eclipse

1 Objetivos

2 Introdução

3 Configuração do NIOS II

- Qsys
- NIOS II Processor
- JTAG UART
- On-Chip Memory
- System ID
- PIOs
- Interconexões
- Generate VHDL ou verilog
- Compilação
- Programação

4 Eclipse

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Generate VHDL ou verilog

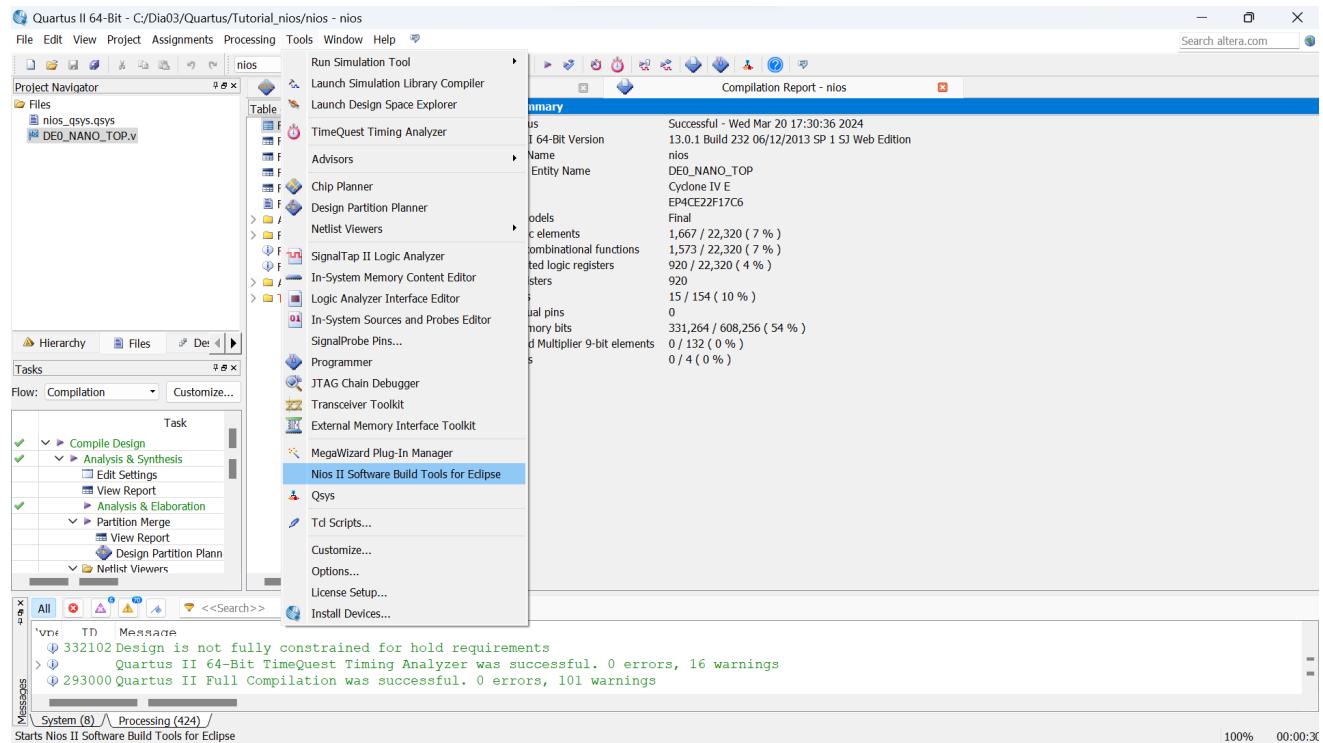
Compilação

Programação

Eclipse

● Passo 1: Tools

● Passo 2: NIOS II Software Build Tools for Eclipse



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Generate VHDL ou verilog

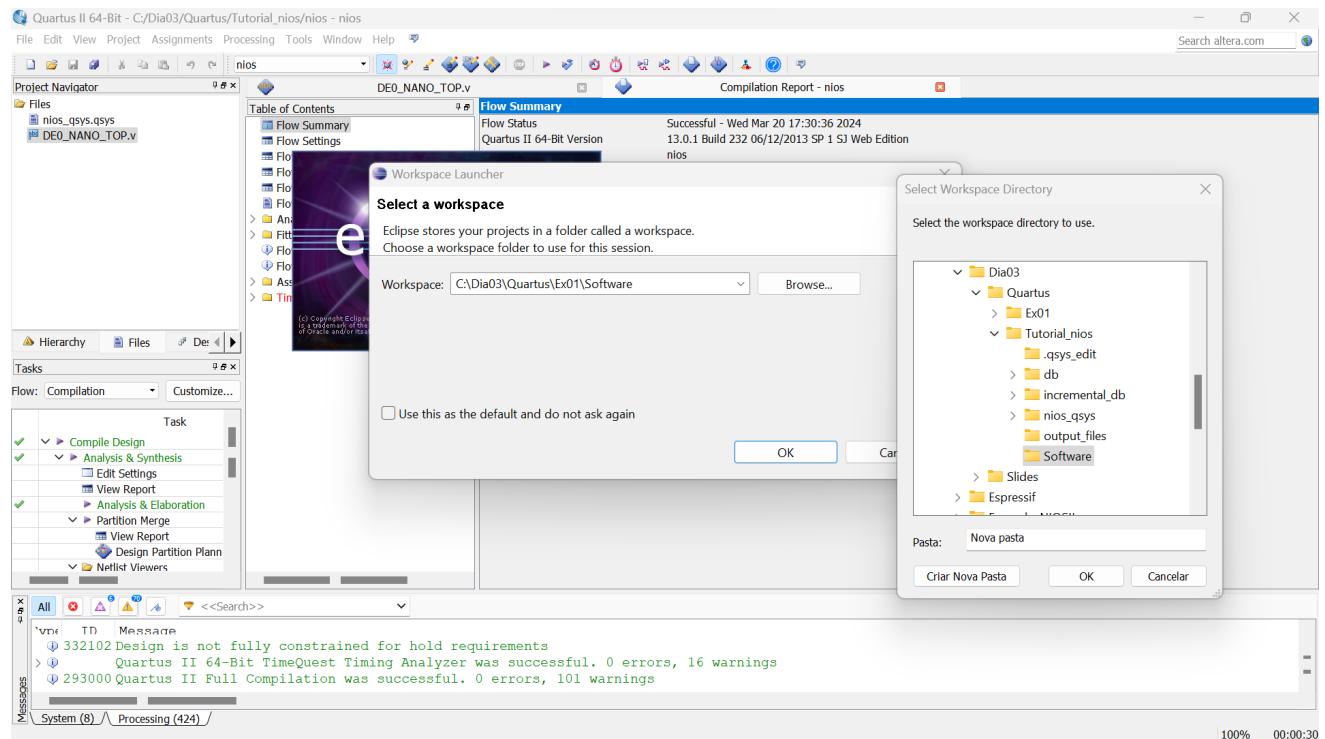
Compilação

Programação

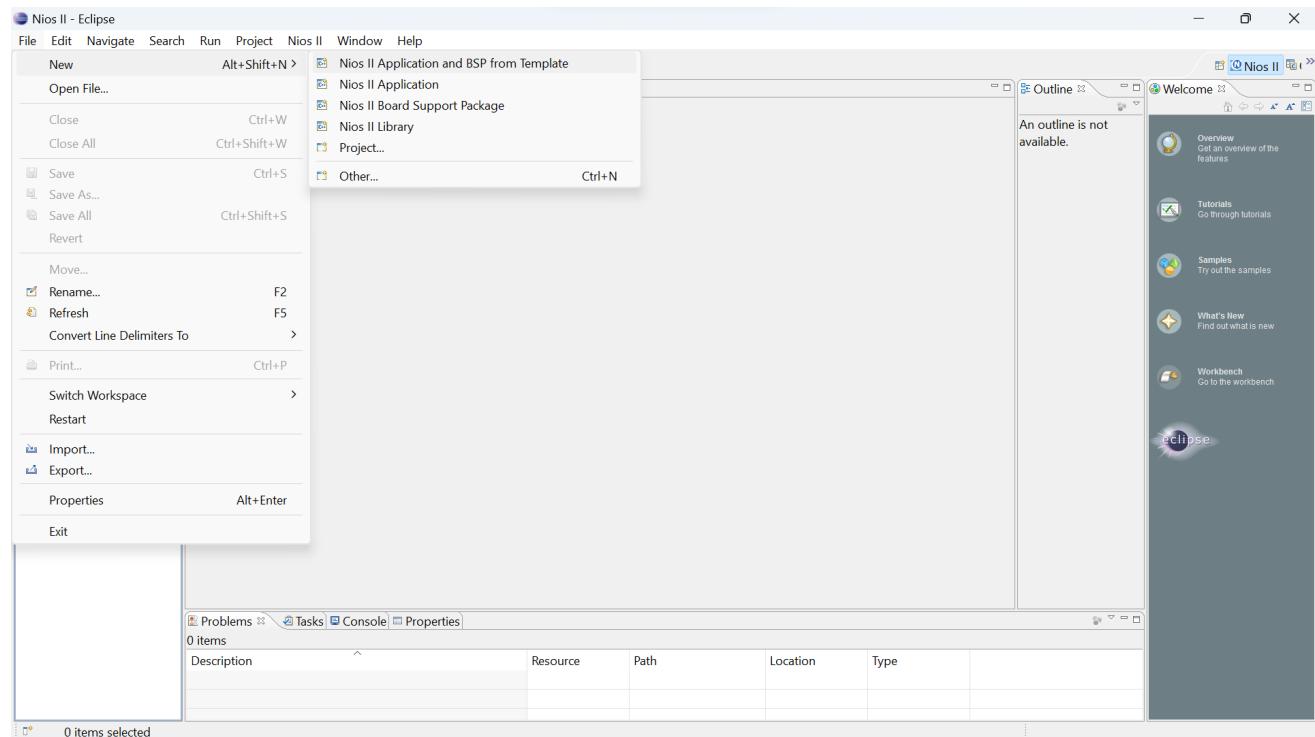
Eclipse

● Passo 1: Criar o workspace

● Passo 2: Criar uma pasta nomeada como Software



- **Passo 1: File**
- **Passo 2: New**
- **Passo 2: NIOS II Application and BSP from Template**



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

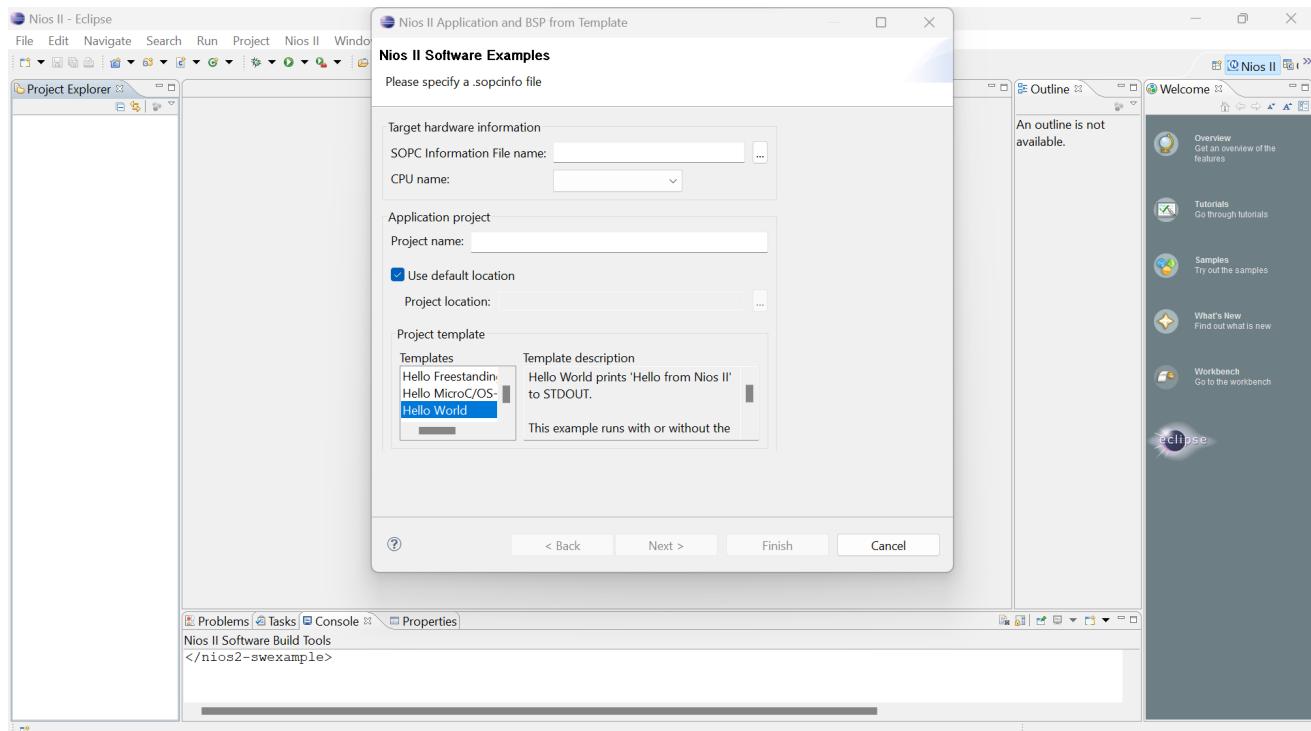
Generate VHDL ou verilog

Compilação

Programação

Eclipse

- Passo 1: ...
- Passo 2: Procurar o arquivo *.sopcinfo
- Passo 2: NIOS II Application and BSP from Template



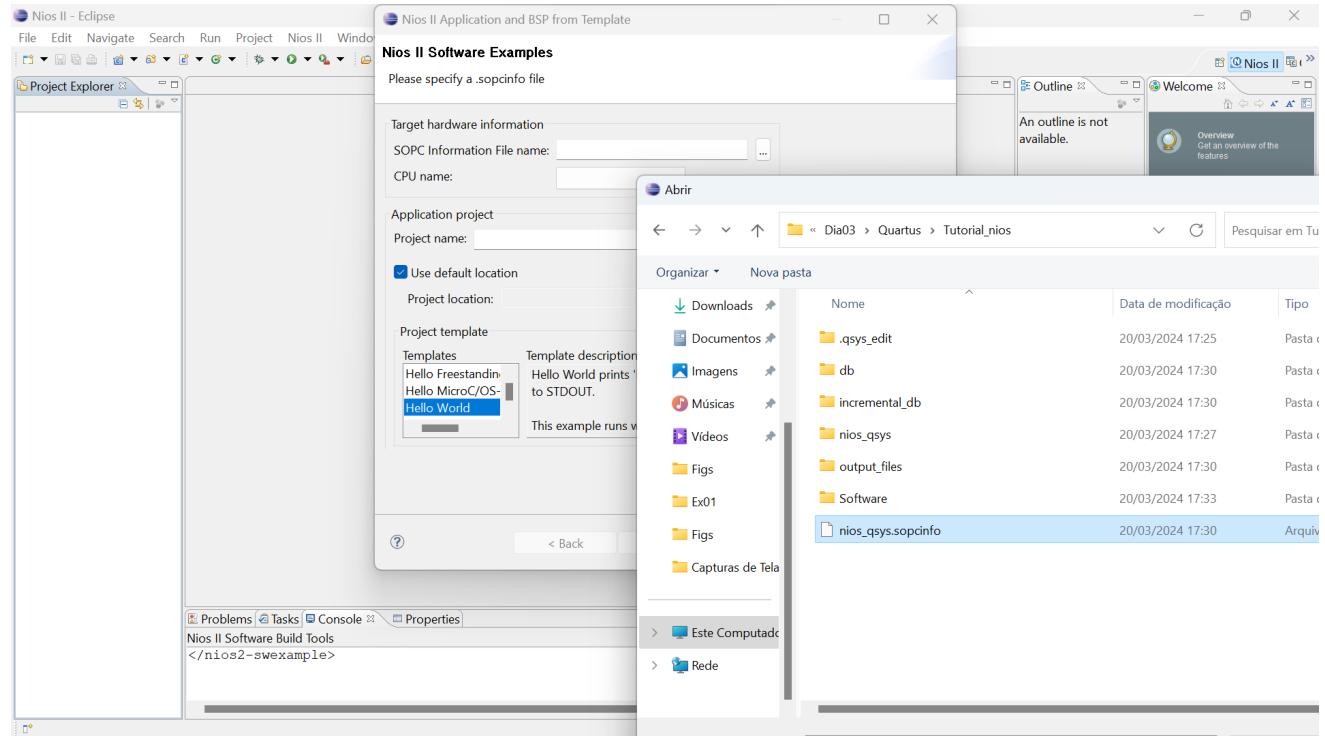
Objetivos

Introdução

Configuração do
NIOS II

Qsys
NIOS II Processor
JTAG UART
On-Chip Memory
System ID
PIOs
Interconexões
Generate VHDL ou verilog
Compilação
Programação

Eclipse



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

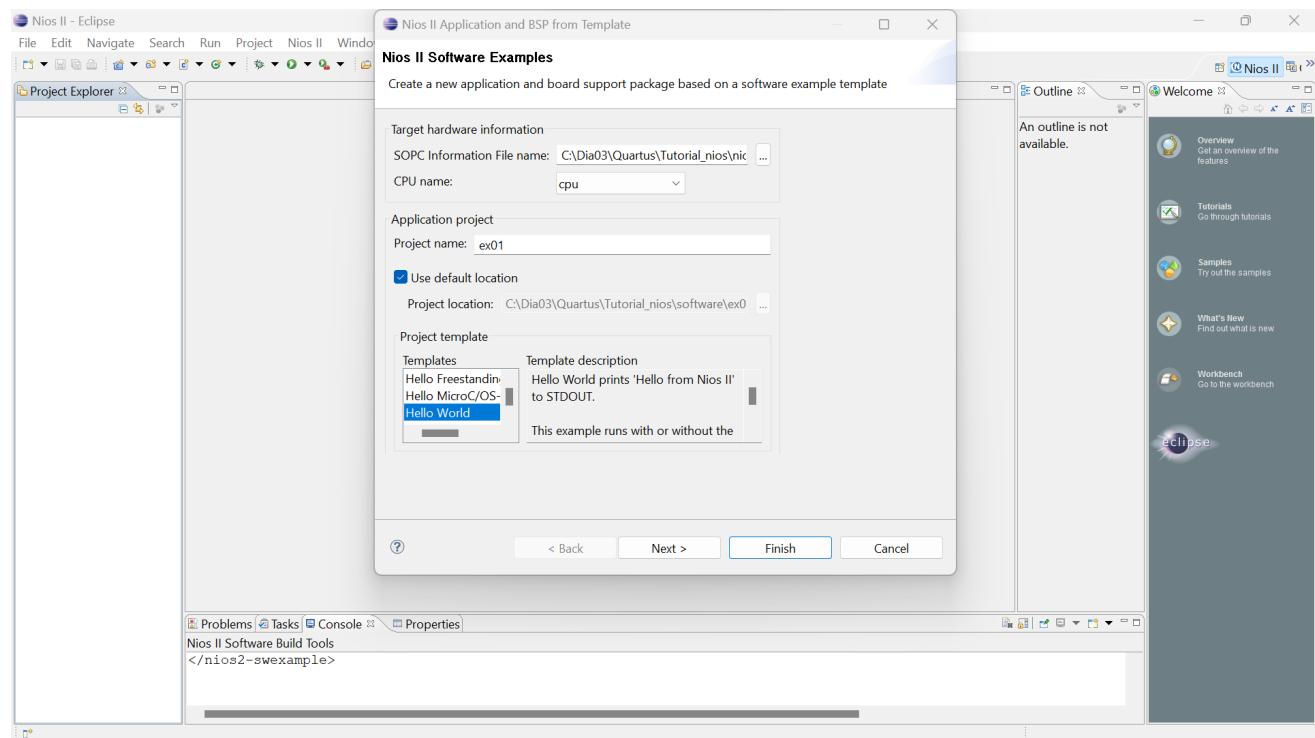
Generate VHDL ou verilog

Compilação

Programação

Eclipse

Project name: Ex01



Eclipse

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

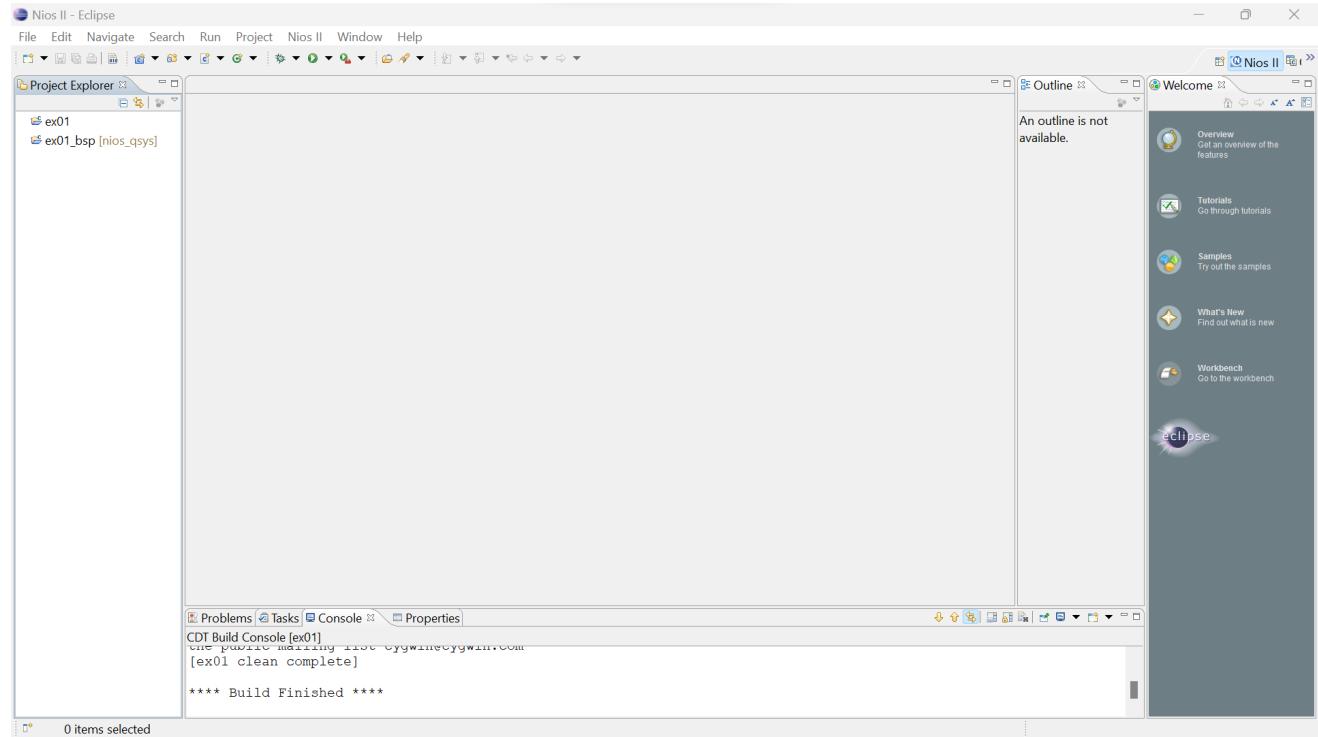
Interconexões

Generate VHDL ou verilog

Compilação

Programação

Eclipse



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Generate VHDL ou verilog

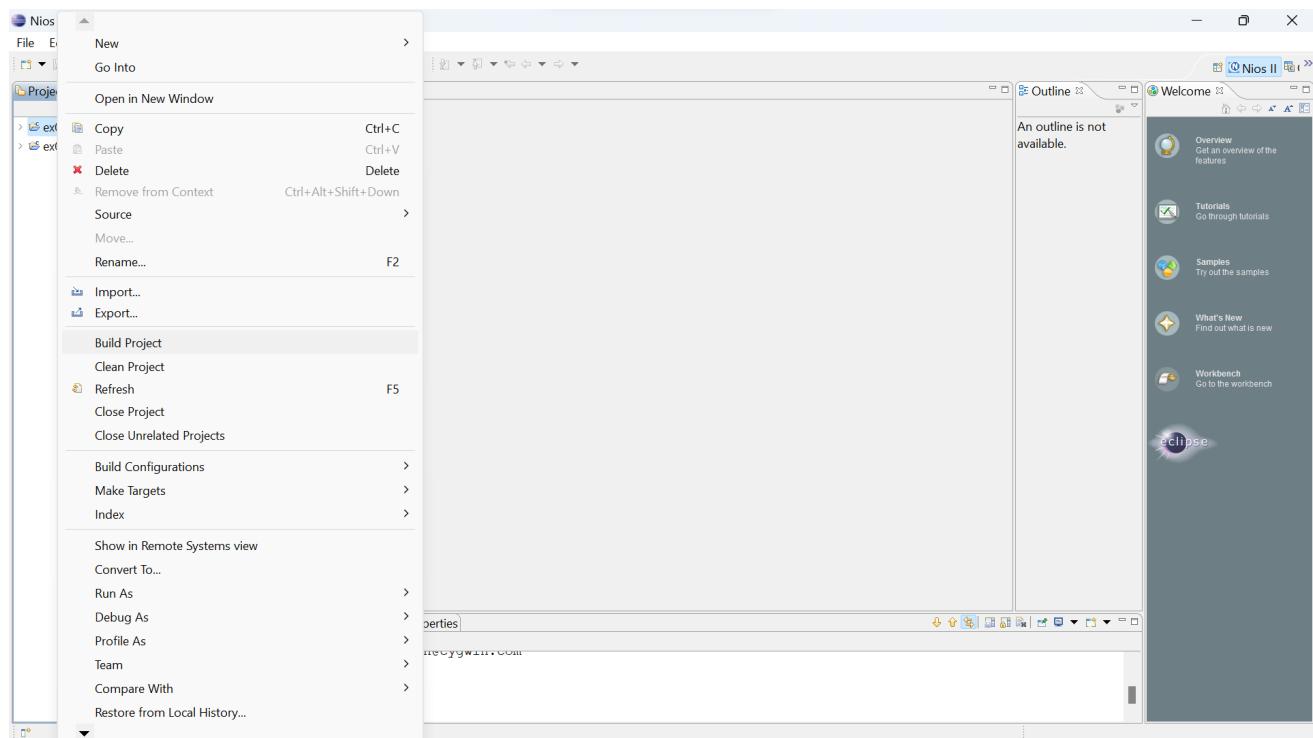
Compilação

Programação

Eclipse

- **Passo 1:** click direito na pasta ex01

- **Passo 2:** Build project



Eclipse

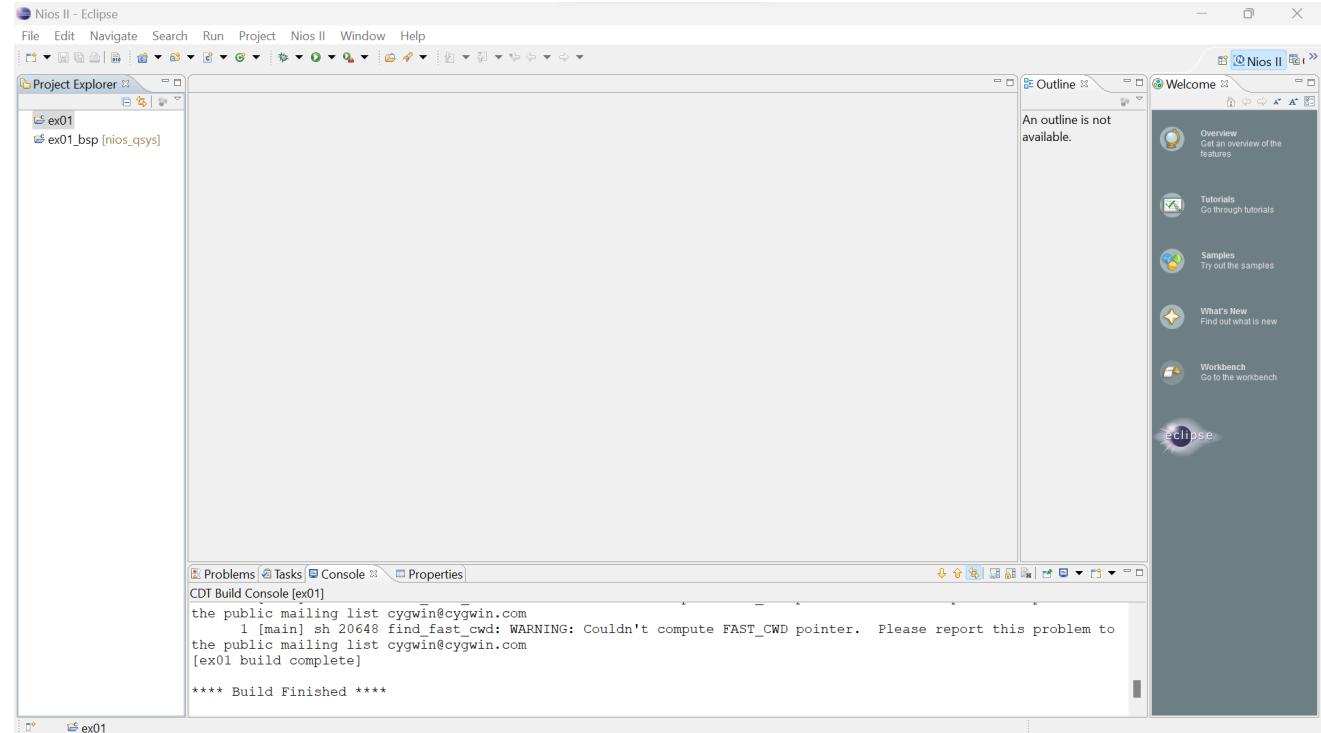
Objetivos

Introdução

Configuração do NIOS II

Qsys
NIOS II Processor
JTAG UART
On-Chip Memory
System ID
PIOs
Interconexões
Generate VHDL ou verilog
Compilação
Programação

Eclipse



Eclipse

Objetivos

Introdução

Configuração do NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

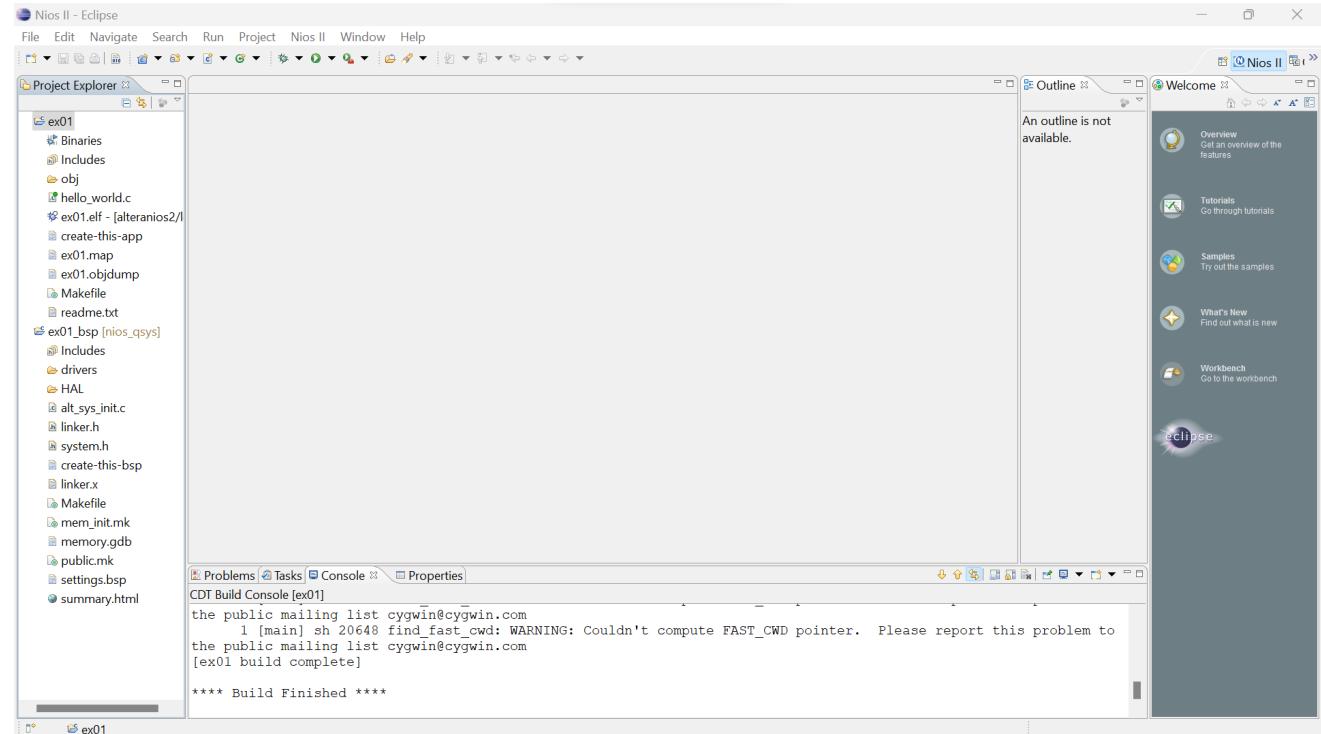
Interconexões

Generate VHDL ou verilog

Compilação

Programação

Eclipse



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

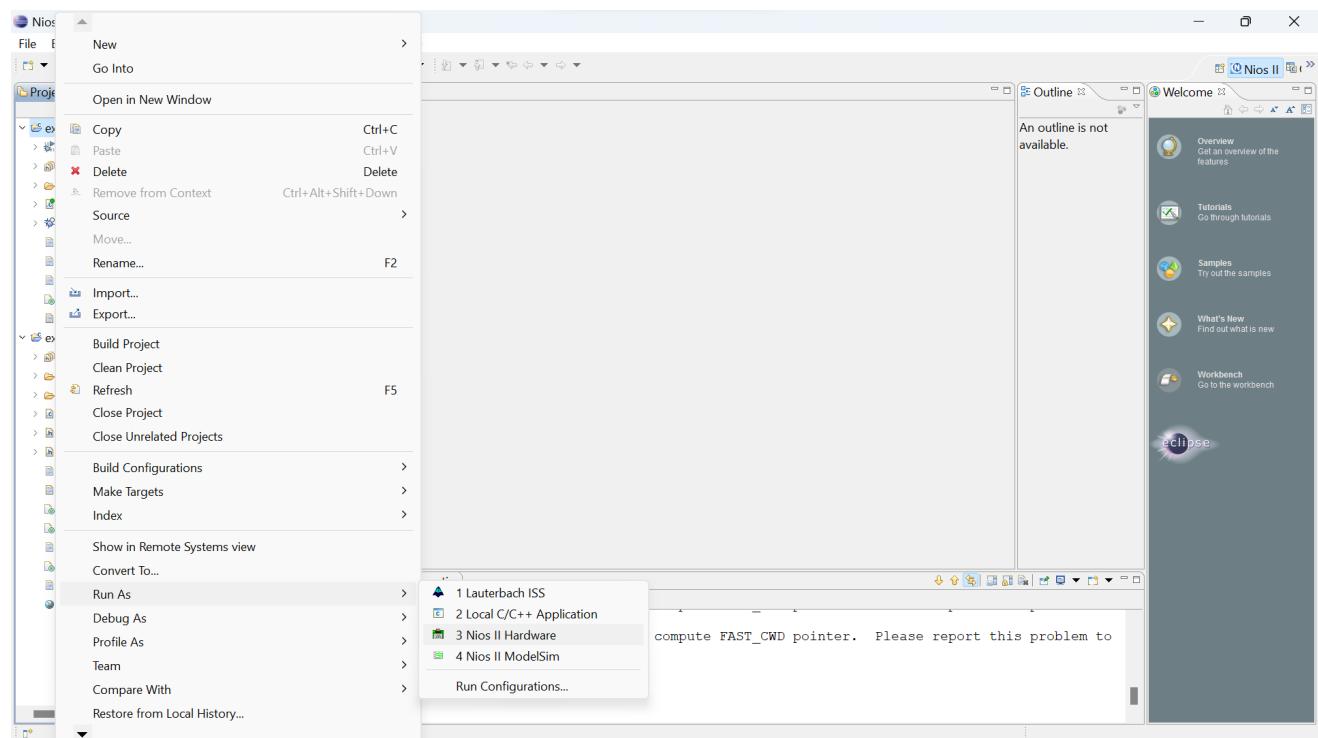
Generate VHDL ou verilog

Compilação

Programação

Eclipse

- **Passo 1:** click direito na pasta ex01
- **Passo 2:** Run as
- **Passo 3:** NIOS II Hardware



Eclipse

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

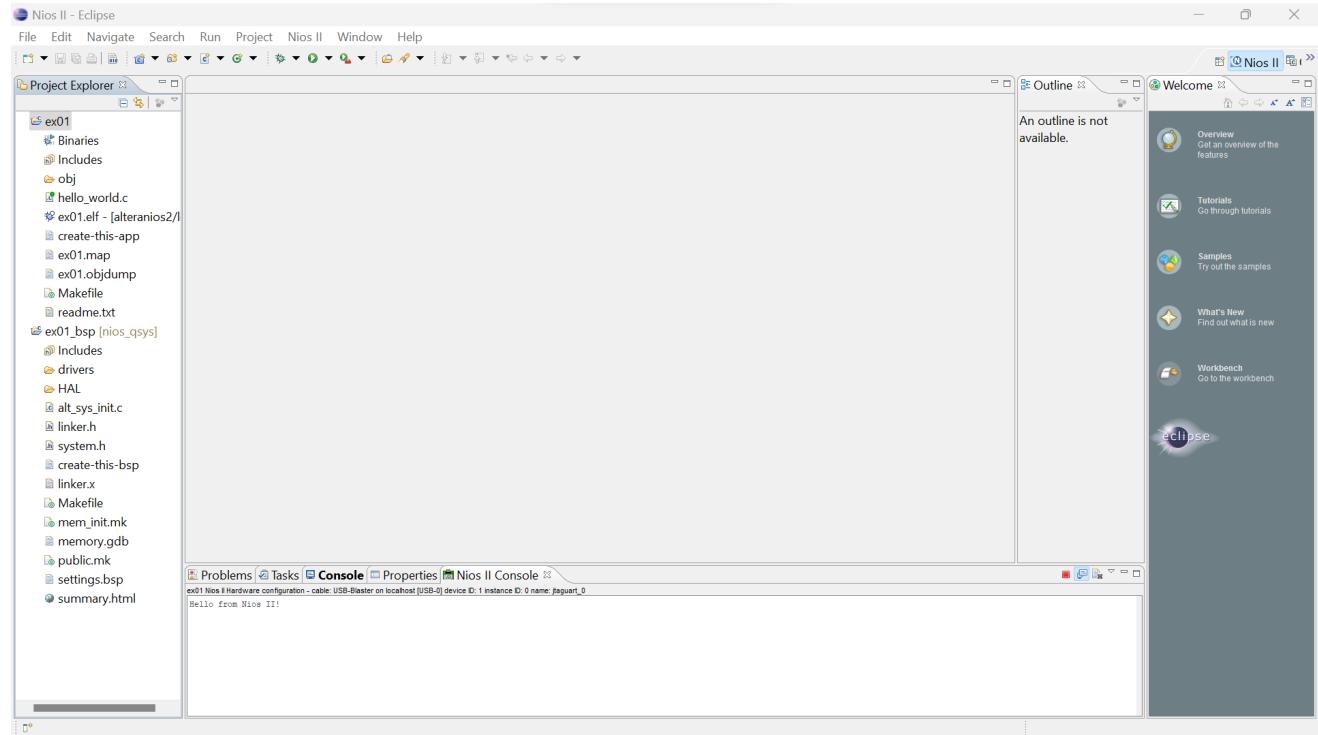
Interconexões

Generate VHDL ou verilog

Compilação

Programação

Eclipse



Eclipse

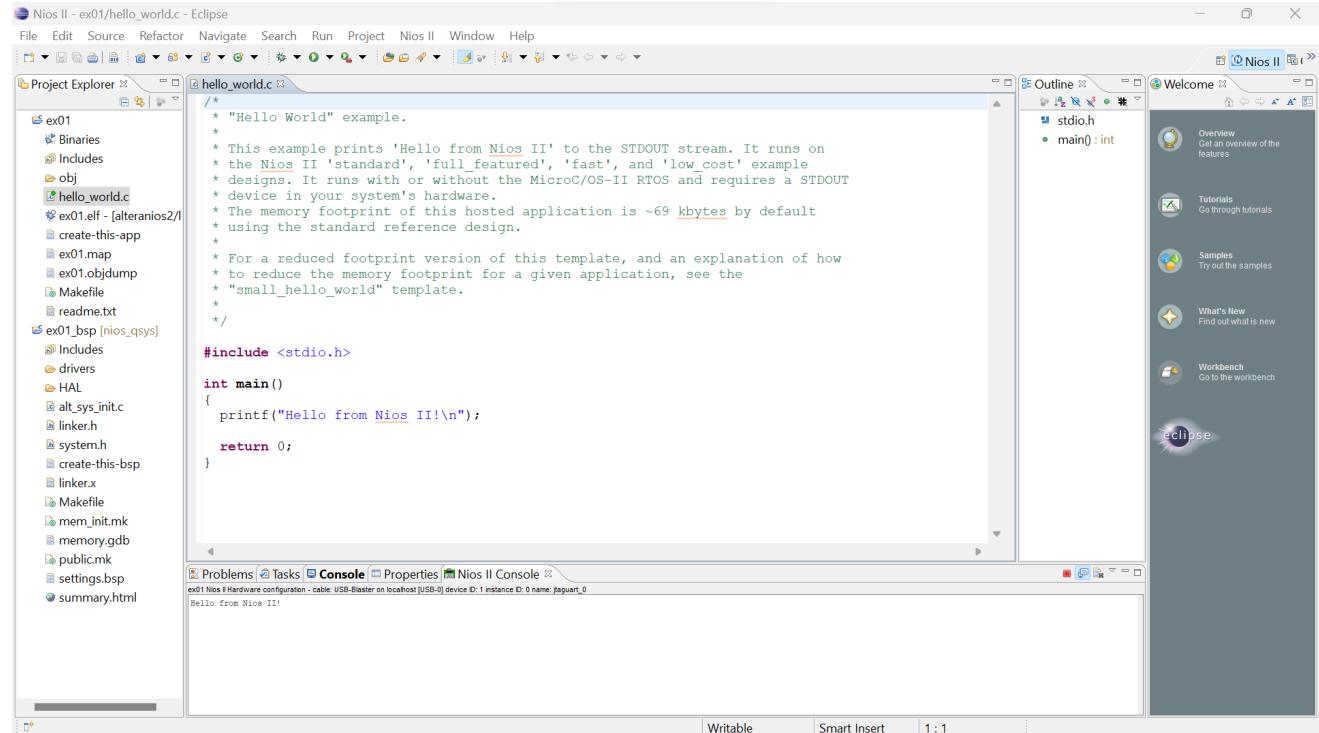
Objetivos

Introdução

Configuração do NIOS II

Qsys
NIOS II Processor
JTAG UART
On-Chip Memory
System ID
PIOs
Interconexões
Generate VHDL ou verilog
Compilação
Programação

Eclipse



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Generate VHDL ou verilog

Compilação

Programação

Eclipse

