

# Hardware Reconfigurável

Prof. Dr. Oscar Eduardo Anacona Mosquera

[oscar.mosquera@ufmt.br](mailto:oscar.mosquera@ufmt.br)

18 de março de 2024

# Conteúdo

## Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

## FPGA

CLB

LUT

PIP

IOB

SoC

Aplicação

Bibliografia

## 1 Objetivos

## 2 Introdução

## 3 Famílias da Altera

## 4 Fluxo de projeto

## 5 FPGA

- CLB
- LUT
- PIP
- IOB
- SoC

## 6 Aplicação

## 7 Bibliografia

# Objetivos

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB  
LUT  
PIP  
IOB  
SoC

Aplicação

Bibliografia

## ● Fluxo de Projeto em FPGA:

- ▶ Compreender o fluxo de projeto típico para desenvolver aplicações em FPGA.
- ▶ Explorar as etapas desde a especificação do projeto até a implementação e teste em hardware.

## ● FPGA: CLBs, LUTs, PIPs, IOBs:

- ▶ Entender os componentes principais de um FPGA, incluindo Blocos de Lógica Configurável (CLBs), Tabelas de Busca (LUTs), Pontos de Interconexão Programável (PIP) e Blocos de Entrada/Saída (IOBs).

## ● Módulos dos FPGAs Antigos e Modernos:

- ▶ Comparar e contrastar as arquiteturas de FPGAs antigos e modernos.
- ▶ Identificar as melhorias e avanços nas capacidades de processamento, eficiência energética e recursos de integração.

## ● SoC-FPGA:

- ▶ Explorar os conceitos de SoC-FPGA (System-on-Chip FPGA) e suas vantagens.
- ▶ Compreender como a integração de FPGA com processadores de aplicativos em um único chip permite soluções altamente integradas e flexíveis.

# Conteúdo

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

PIP

IOB

SoC

Aplicação

Bibliografia

## 1 Objetivos

## 2 Introdução

## 3 Famílias da Altera

## 4 Fluxo de projeto

## 5 FPGA

- CLB
- LUT
- PIP
- IOB
- SoC

## 6 Aplicação

## 7 Bibliografia

# Classical digital design flow

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

PIP

IOB

SoC

Aplicação

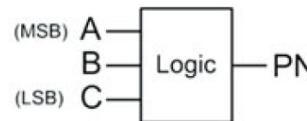
Bibliografia

## Specifications

Projete um detetor de números primos para valores entre  $0_{10}$  a  $7_{10}$ . O circuito deve ser capaz de indicar um número primo com um atraso inferior a 200 ns.

## Functional design

A funcionalidade e o comportamento do sistema são definidos em termos de entradas, saídas e operações necessárias para realizar uma tarefa específica.



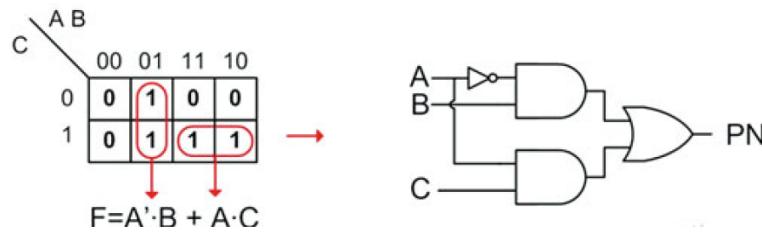
A	B	C	PN
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

Red arrows point from the PN column to the values 2, 3, 5, and 7, indicating which prime numbers are detected.

# Classical digital design flow

## Synthesis

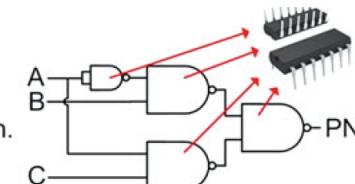
Processo de transformar uma descrição de alto nível do comportamento funcional de um sistema em uma representação física ou lógica que pode ser implementada em hardware.



## Technology mapping

Nesta fase, a **netlist** gerada durante a síntese lógica é mapeada para os recursos específicos disponíveis no hardware de destino.

- It is decided that a 74HC logic family will be the most cost-effective technology for this design. To minimize the number of parts, the logic will be implemented with only NAND-gates.



# Classical digital design flow

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

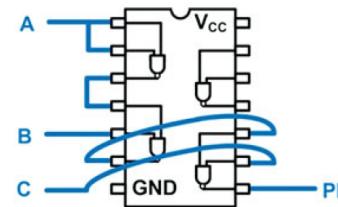
CLB  
LUT  
PIP  
IOB  
SoC

Aplicação

Bibliografia

## Place and route

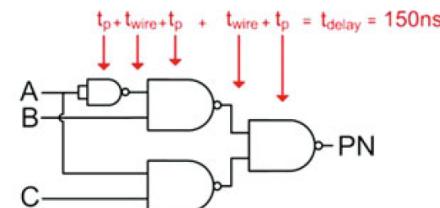
Processo de transformar uma descrição de alto nível do comportamento funcional de um sistema em uma representação física ou lógica que pode ser implementada em hardware.



## Verification

Se concentra em garantir que o projeto atenda aos requisitos de funcionalidade, desempenho e confiabilidade estabelecidos durante a fase de especificação.

- Based on the layout,  
the wire delays are  
found. The delays of  
the gates are taken  
from the data sheet.



# Classical digital design flow

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB  
LUT  
PIP  
IOB  
SoC

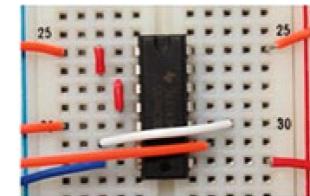
Aplicação

Bibliografia

## Fabrication

O projeto em que o circuito integrado é efetivamente construído a partir do layout físico desenvolvido durante as etapas anteriores do projeto, como colocação e roteamento.

- The verified circuit is implemented in hardware.



# Conteúdo

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

PIP

IOB

SoC

Aplicação

Bibliografia

## 1 Objetivos

## 2 Introdução

## 3 Famílias da Altera

## 4 Fluxo de projeto

## 5 FPGA

- CLB
- LUT
- PIP
- IOB
- SoC

## 6 Aplicação

## 7 Bibliografia

# Portafólio completo de soluções da Altera

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

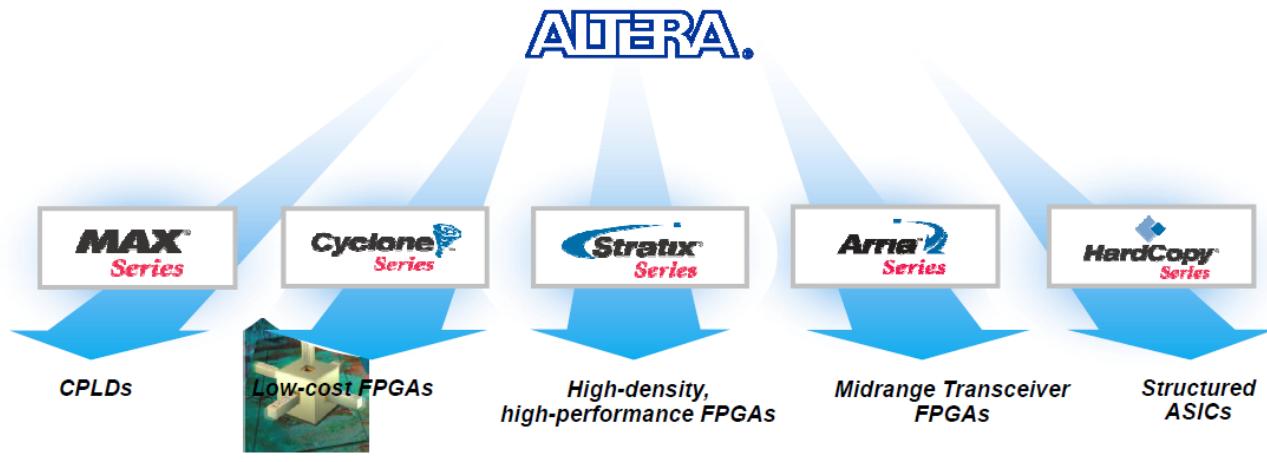
PIP

IOB

SoC

Aplicação

Bibliografia

**Nios® II***Embedded soft processors**Intellectual Property (IP)**Design software**Development kits*

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

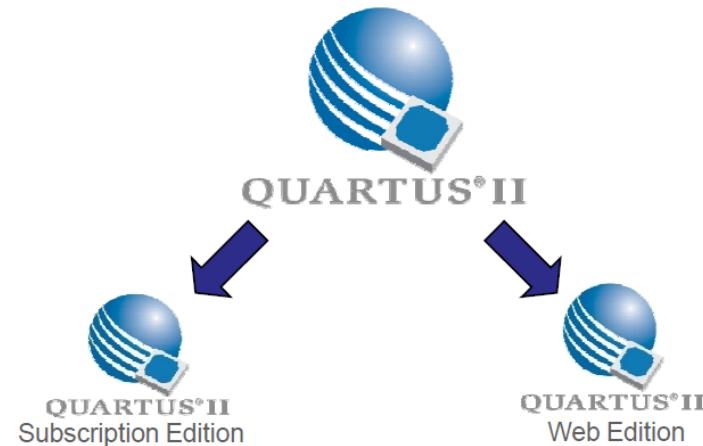
FPGA

CLB  
LUT  
PIP  
IOB  
SoC

Aplicação

Bibliografia

# Software Quartus II



<b>Devices Supported</b>	<b>All</b>	<b>Selected Devices</b>
<b>Features</b>	<b>100%</b>	<b>95%</b>
<b>Distribution</b>	<b>Internet &amp; DVD</b>	<b>Internet &amp; DVD</b>
<b>Price</b>	<b>Paid</b>	<b>Free</b>

# Conteúdo

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

PIP

IOB

SoC

Aplicação

Bibliografia

## 1 Objetivos

## 2 Introdução

## 3 Famílias da Altera

## 4 Fluxo de projeto

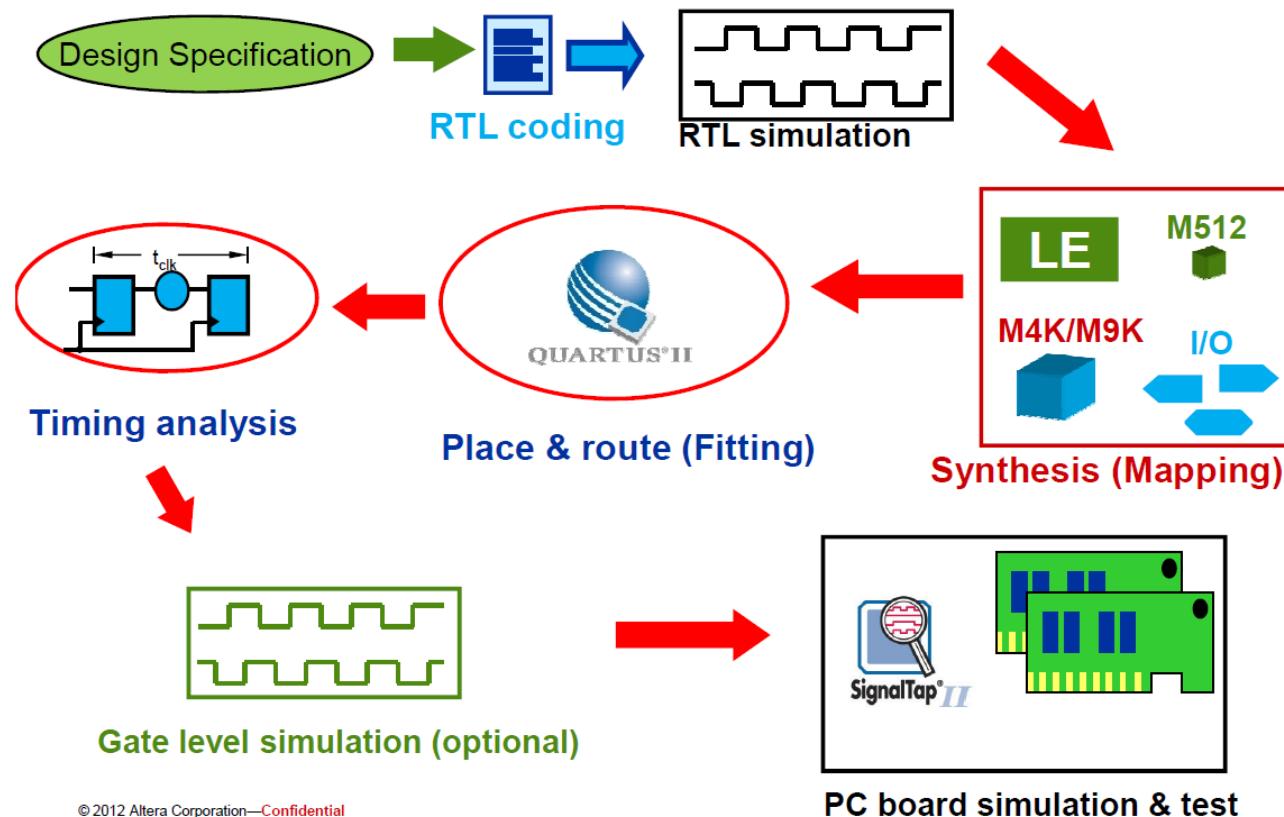
## 5 FPGA

- CLB
- LUT
- PIP
- IOB
- SoC

## 6 Aplicação

## 7 Bibliografia

# Typical PLD Design Flow



© 2012 Altera Corporation—Confidential

18

# Typical RTL Synthesis and RTL Simulation Flows

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

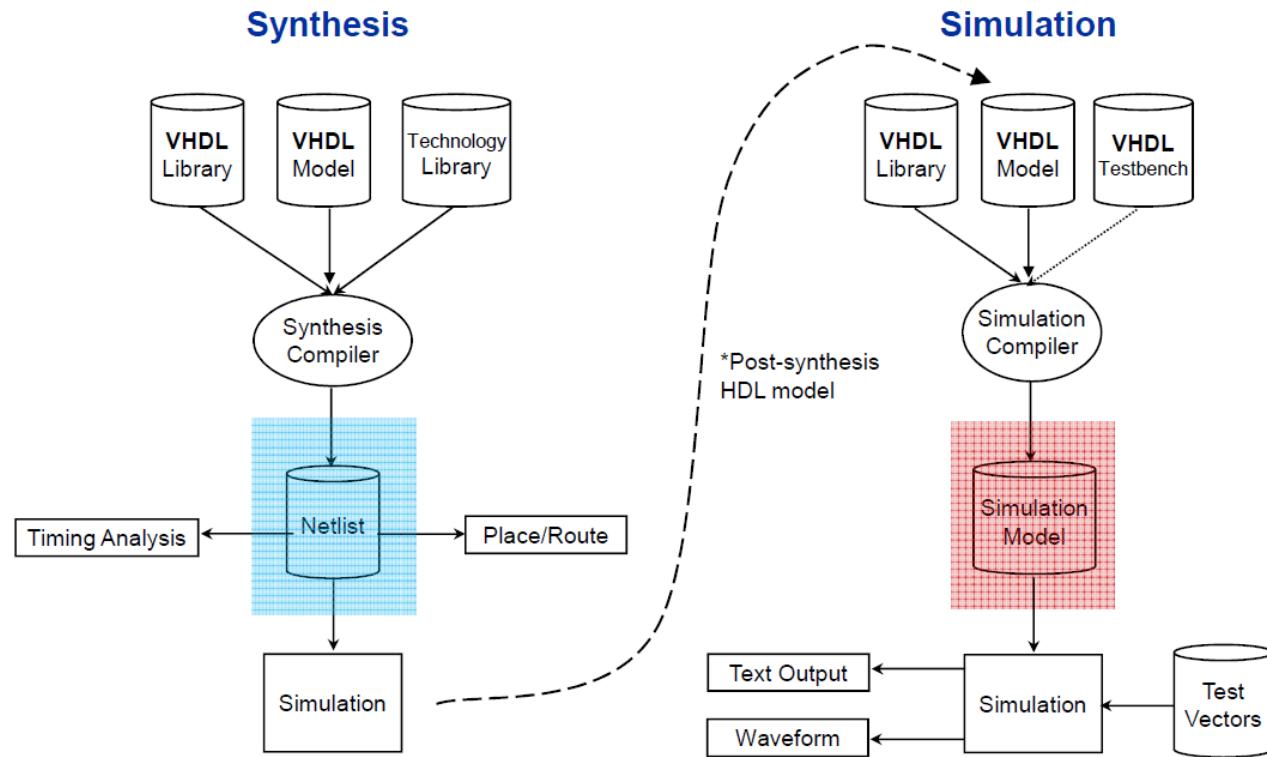
PIP

IOB

SoC

Aplicação

Bibliografia



# Modern Digital Design Flow

Objetivos

Introdução

Famílias da Altera

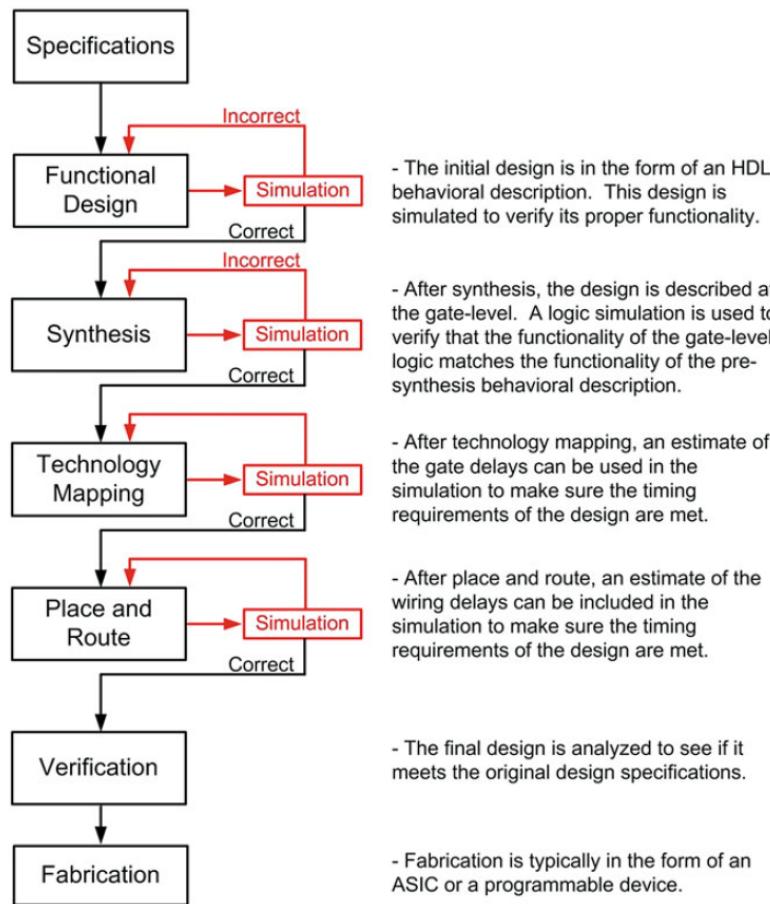
Fluxo de projeto

FPGA

CLB  
LUT  
PIP  
IOB  
SoC

Aplicação

Bibliografia



# Conteúdo

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

PIP

IOB

SoC

Aplicação

Bibliografia

## 1 Objetivos

## 2 Introdução

## 3 Famílias da Altera

## 4 Fluxo de projeto

## 5 FPGA

- CLB
- LUT
- PIP
- IOB
- SoC

## 6 Aplicação

## 7 Bibliografia

# Field Programmable Gate Array (FPGA)

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

PIP

IOB

SoC

Aplicação

Bibliografia

Um FPGA consiste em uma matriz de blocos de lógica programáveis (ou elementos lógicos) e uma rede de interconexão programável que pode ser usada para conectar qualquer elemento lógico a qualquer outro elemento lógico. Cada bloco lógico contém circuitos para implementar circuitos lógicos combinacionais arbitrários, além de um D-Flip-Flop e um multiplexador para direcionamento de sinal.

Em contraste com ASICs (Application-Specific Integrated Circuits), os FPGAs oferecem flexibilidade, permitindo que os usuários configurem a funcionalidade do hardware conforme necessário.

## Arquitetura

- Composta por uma matriz de blocos de lógica configurável (CLBs) e uma rede de interconexão programável.
- CLBs contêm LUTs (Look-Up Tables), flip-flops, multiplexadores e outros elementos essenciais para implementar lógica combinacional e sequencial.
- A rede de roteamento permite conectar os CLBs para criar circuitos personalizados.

# Field Programmable Gate Array (FPGA)

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB  
LUT  
PIP  
IOB  
SoC

Aplicação

Bibliografia

## Programação

- A configuração do FPGA é armazenada em uma memória SRAM volátil.
- A programação em campo (field-programmability) permite atualizações e modificações de hardware mesmo após a fabricação.

## Aplicações

- Usado em uma variedade de aplicações, incluindo processamento de sinais digitais, comunicação, computação de alto desempenho, controle industrial, e muito mais.
- Amplamente adotado em prototipagem rápida, design de sistemas embarcados e prototipagem de ASICs.

## Vantagens

- Flexibilidade e reconfigurabilidade.
- Custos mais baixos em comparação com ASICs.
- Consumo de energia potencialmente maior do que soluções ASIC.

# Field Programmable Gate Array (FPGA)

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

PIP

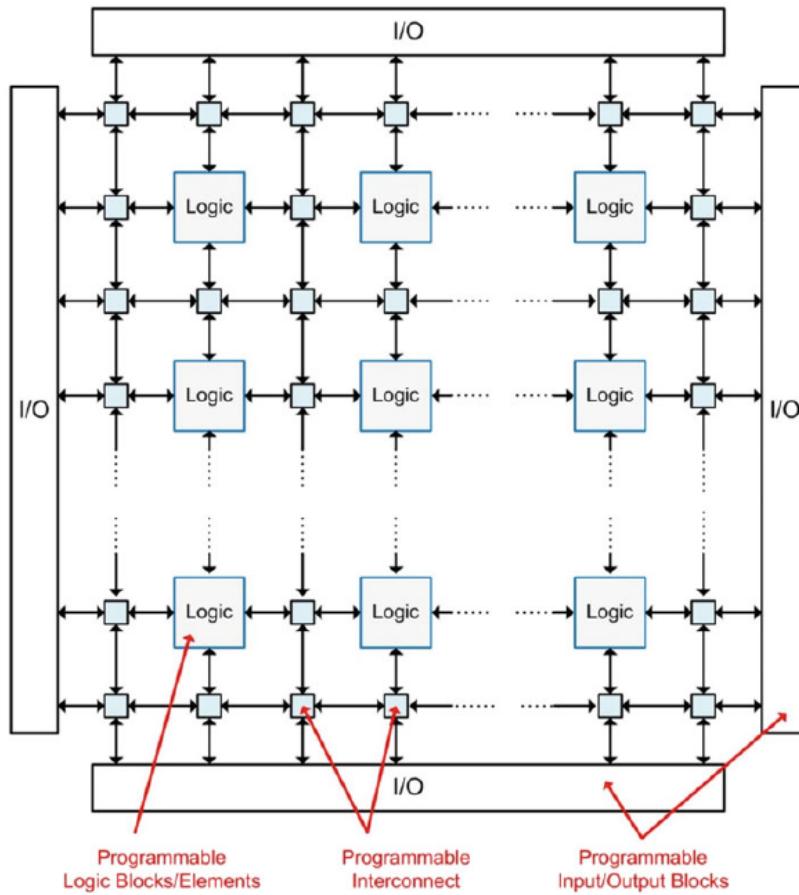
IOB

SoC

Aplicação

Bibliografia

Field Programmable Gate Array (FPGA) Architecture



# Configurable Logic Block (or Logic Element)

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

PIP

IOB

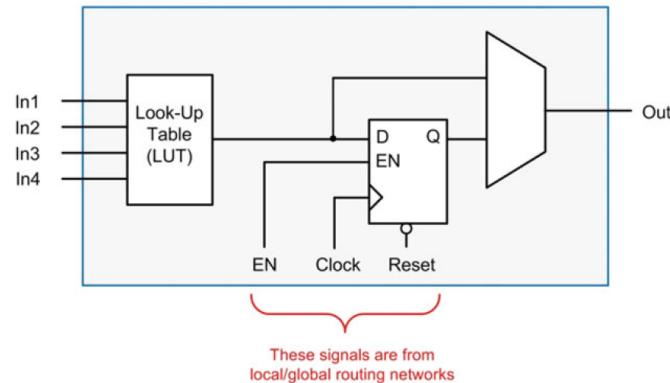
SoC

Aplicação

Bibliografia

## CLB

A lógica combinacional é implementada usando um circuito chamado tabela de busca (LUT, do inglês **"look-up table"**), que pode implementar qualquer tabela de verdade. Uma rede de roteamento global é usada para fornecer sinais comuns ao CLB/LE, como clock, reset e enable. Essa rede de roteamento global pode fornecer esses sinais comuns para todo o FPGA ou grupos locais de CLB/LEs



Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

PIP

IOB

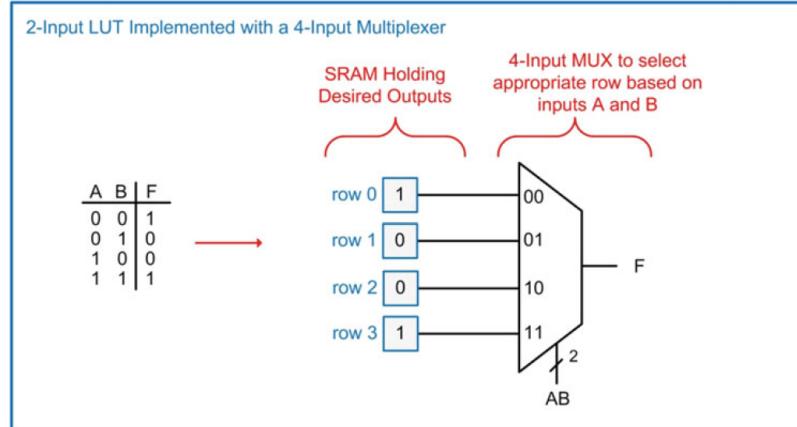
SoC

Aplicação

Bibliografia

## LUT

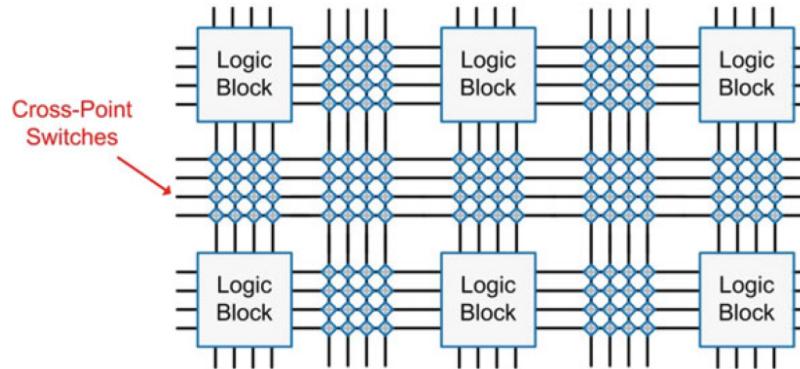
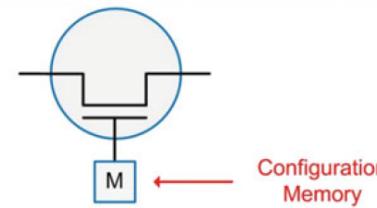
Essa arquitetura tem a vantagem de que qualquer função lógica pode ser criada sem a necessidade de criar um circuito lógico personalizado.



# Programmable Interconnect Points (PIPs)

## PIP

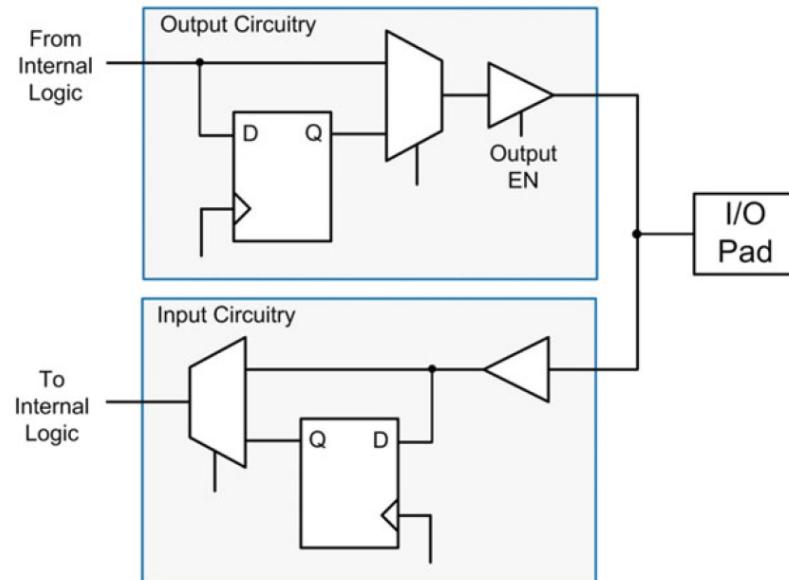
A rede de roteamento configurável em um FPGA é realizada usando chaves programáveis. Um modelo simples para essas chaves é usar um transistor NMOS. Um bit SRAM de configuração armazena se a chave está aberta ou fechada. No FPGA, a interconexão é roteada vertical e horizontalmente entre os CLB/LEs, com pontos de chaveamento distribuídos por todo o FPGA para facilitar qualquer configuração de roteamento.



# Input/Output Blocks (IOBs)

## IOB

Os FPGAs também contêm blocos de entrada/saída (IOBs) que fornecem funcionalidade programável para a interface com circuitos externos. Os IOBs contêm tanto circuitos de transmissão quanto de recepção, de modo que possam ser programados para serem tanto entradas quanto saídas. D-Flip-Flops estão incluídos tanto nos circuitos de entrada quanto nos de saída para suportar lógica síncrona.



# FPGAs hoje

Objetivos

Introdução

Famílias da Altera

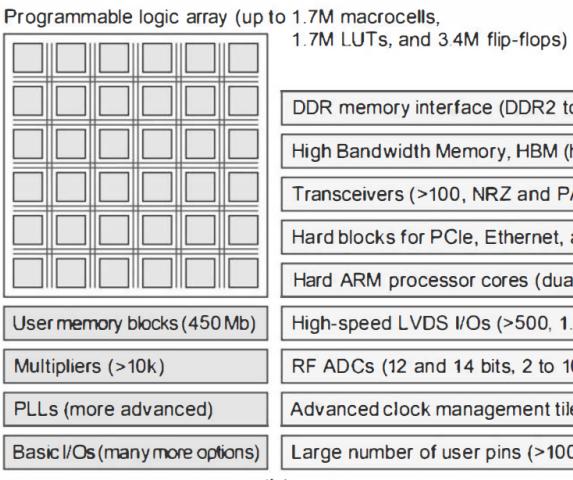
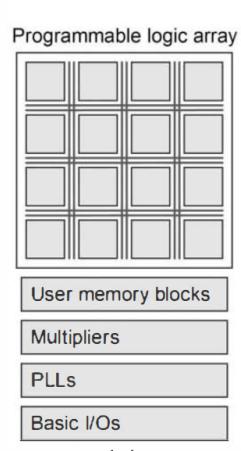
Fluxo de projeto

FPGA

CLB  
LUT  
PIP  
IOB  
SoC

Aplicação

Bibliografia



Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

PIP

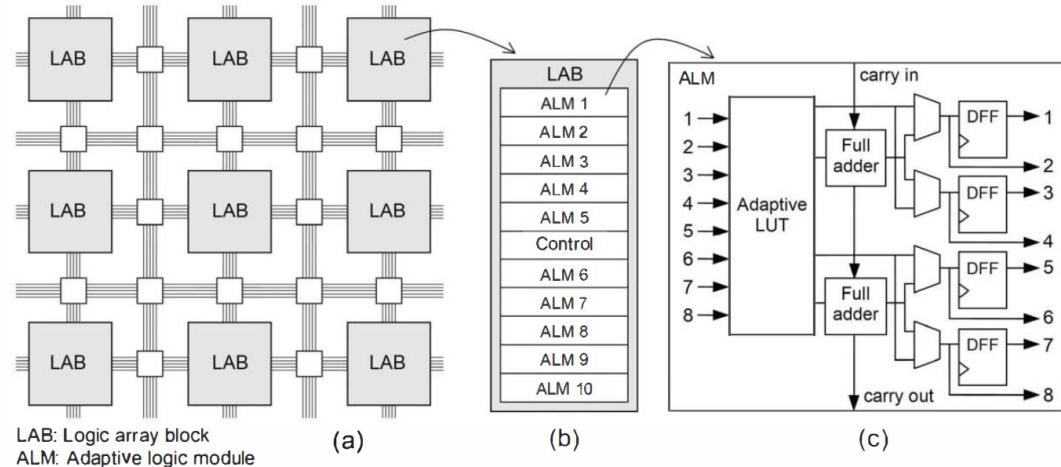
IOB

SoC

Aplicação

Bibliografia

Intel architecture for the logic part of Stratix 10 and other FPGAs.



# System-on-Chip FPGA

## SoC-FPGA

É uma integração de um FPGA com uma ou mais unidades de processamento, como um processador de aplicação, processador de sinal digital (DSP) ou processador, em um único chip. Isso combina a flexibilidade de programação do FPGA com o poder de processamento de um processador, permitindo a implementação de sistemas complexos e customizados em um único dispositivo.

Intel FPGA families

FPGAs	MAX (1)		Cyclone						Arria				Stratix			
	V	10	V			10			V		10		V		10	
	—	—	E	GX	SE (2)	SX (2)	LP	GX	GX	SX	GX	SX (2)	E	GX	GX	TX
Transceivers	x	x	x	✓	x	✓	x	✓	✓	x	✓	x	x	✓	✓	✓
ARM processor	x	x	x	x	✓	✓	x	x	x	✓	x	✓	x	x	x	(3)
A/D converter	x	✓	x	x	x	x	x	x	x	x	x	x	x	x	x	x
Technology (nm)	180	55	28			20			28		20		28		14	

(1) With nonvolatile (Flash) configuration memory. (2) Referred to as "SoC FPGAs" (notice ARM processor). (3) Some.

# Softcore e Hardcore nos FPGAs

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

PIP

IOB

SoC

Aplicação

Bibliografia

## Softcore

Um processador softcore é um processador que é implementado em uma FPGA por meio de configuração lógica programável. Esses processadores são altamente flexíveis e podem ser facilmente adaptados às necessidades de uma aplicação específica. Exemplos incluem processadores como o NIOS II da Intel (anteriormente Altera) e o MicroBlaze da Xilinx.

## Hardcore

Um processador hardcore é um processador que é integrado diretamente na estrutura física do FPGA durante o processo de fabricação. Esses processadores são otimizados para desempenho e eficiência em termos de área e consumo de energia. Geralmente, eles oferecem um desempenho mais previsível e consistente em comparação com os processadores softcore. Exemplos incluem os núcleos ARM Cortex-A9 ou Cortex-A53 encontrados em alguns SoC-FPGAs.

# Exemplo de um kit de desenvolvimento

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

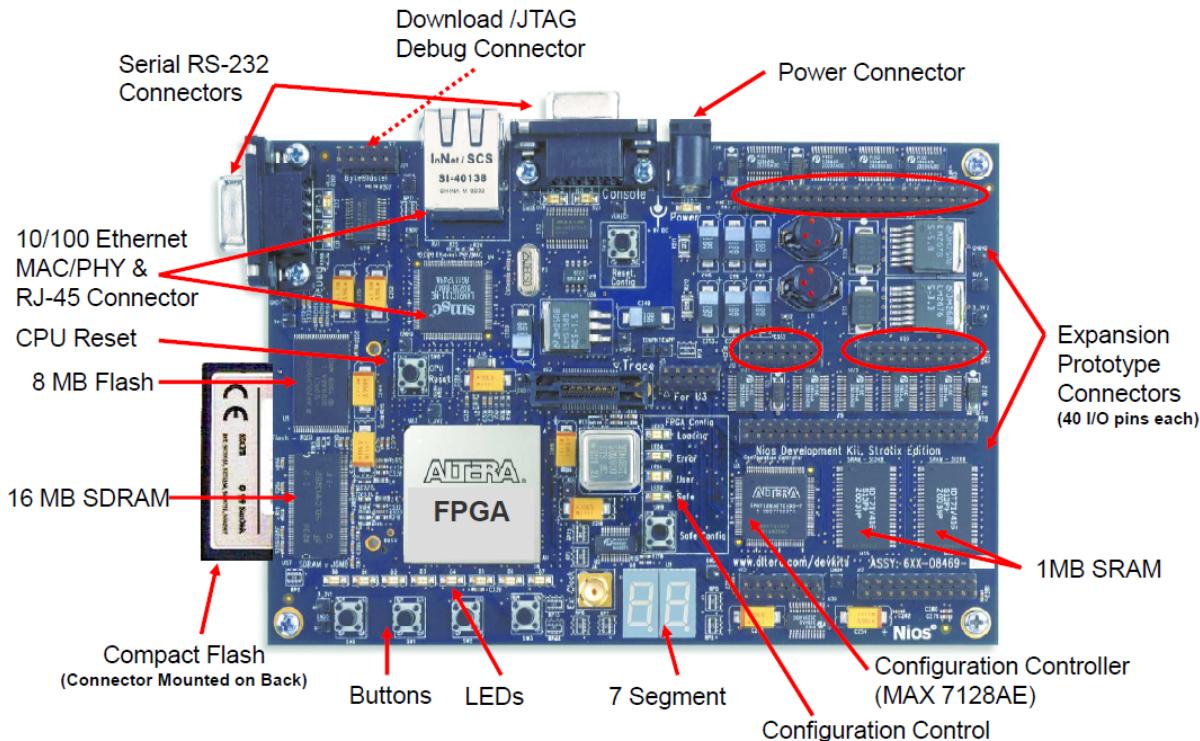
PIP

IOB

SoC

Aplicação

Bibliografia



Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

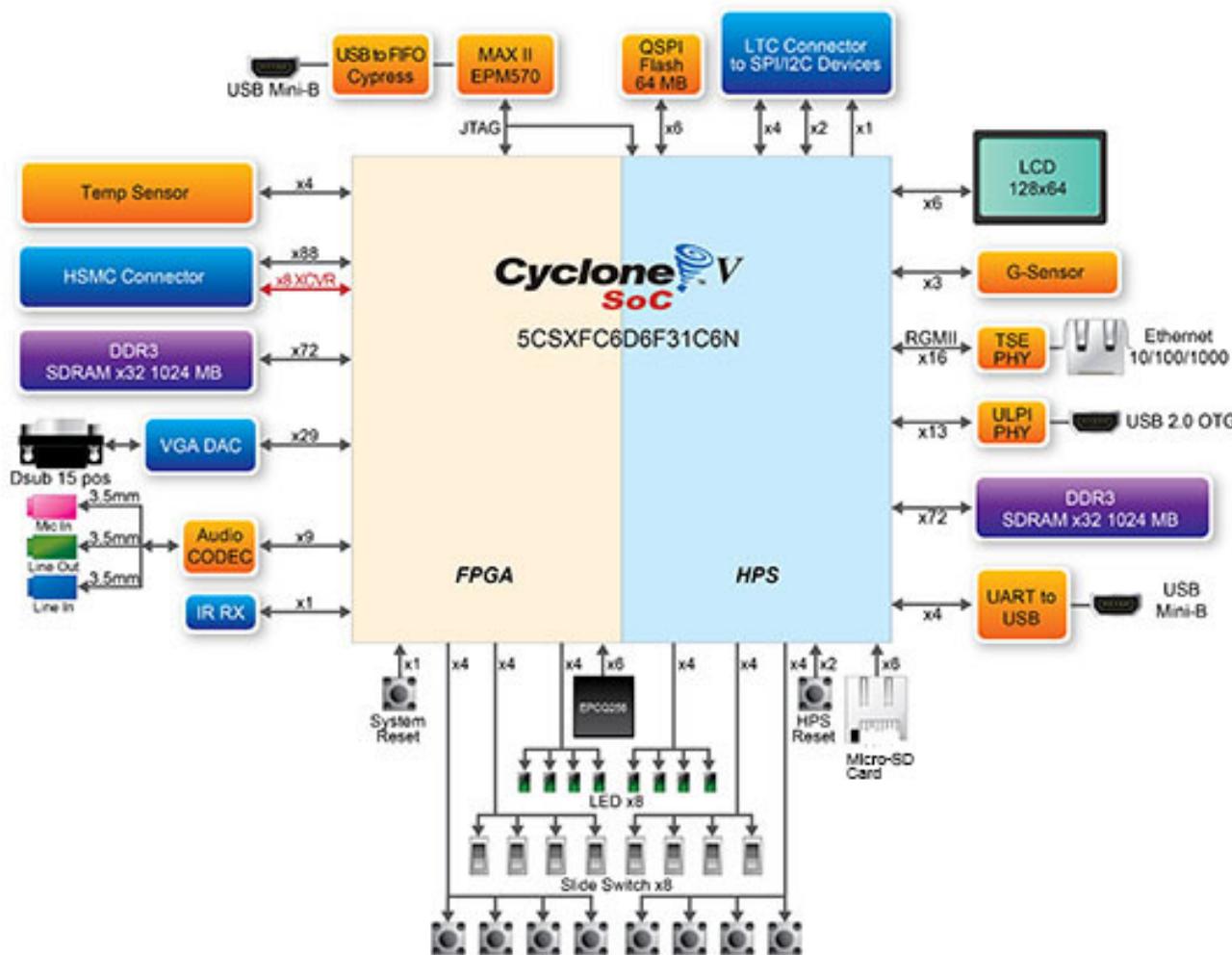
PIP

IOB

SoC

Aplicação

Bibliografia



# Conteúdo

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

PIP

IOB

SoC

Aplicação

Bibliografia

## 1 Objetivos

## 2 Introdução

## 3 Famílias da Altera

## 4 Fluxo de projeto

## 5 FPGA

- CLB
- LUT
- PIP
- IOB
- SoC

## 6 Aplicação

## 7 Bibliografia

# Aplicação

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

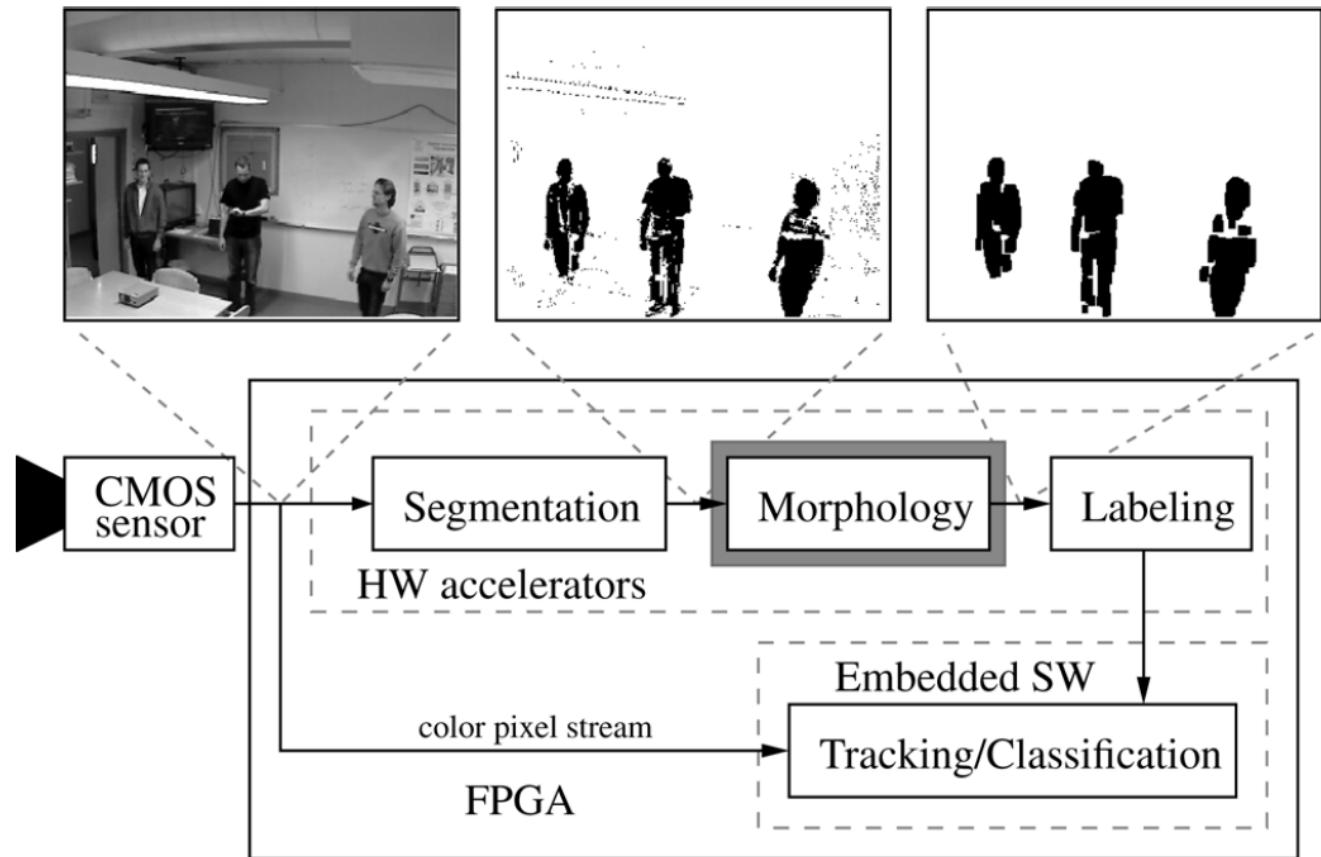
PIP

IOB

SoC

Aplicação

Bibliografia



# Aplicação

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

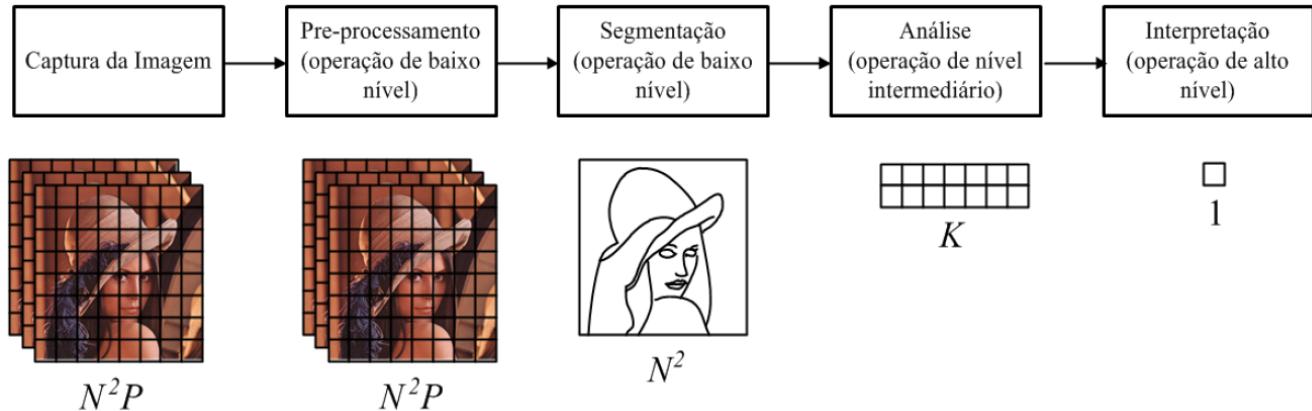
PIP

IOB

SoC

Aplicação

Bibliografia



# Operação de convolução

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

PIP

IOB

SoC

Aplicação

Bibliografia

k1	k2	k3
k4	k5	k6
k7	k8	k9

Máscara  
3 x 3



Pixel de  
interesse



Vizinhos



Pixels  
restantes

i1	i2	i3	i4	i5	i6	i7	i8	i9	i10	i11	i12
i13	i14	i15	i16	i17	i18	i19	i20	i21	i22	i23	i24
i25	i26	i27	i28	i29	i30	i31	i32	i33	i34	i35	i36
i37	i38	i39	i40	i41	i42	i43	i44	i45	i46	i47	i48
i49	i50	i51	i52	i53	i54	i55	i56	i57	i58	i59	i60
i61	i62	i63	i64	i65	i66	i67	i68	i69	i70	i71	i72
i73	i74	i75	i76	i77	i78	i79	i80	i81	i82	i83	i84
i85	i86	i87	i88	i89	i90	i91	i92	i93	i94	i95	i96
i97	i98	i99	i100	i101	i102	i103	i104	i105	i106	i107	i108
i109	i110	i111	i112	i113	i114	i115	i116	i117	i118	i119	i120
i121	i113	i114	i115	i116	i117	i118	i119	i120	i121	i122	i123
i124	i125	i126	i127	i128	i129	i130	i131	i132	i123	i124	i125

# Operação de convolução

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

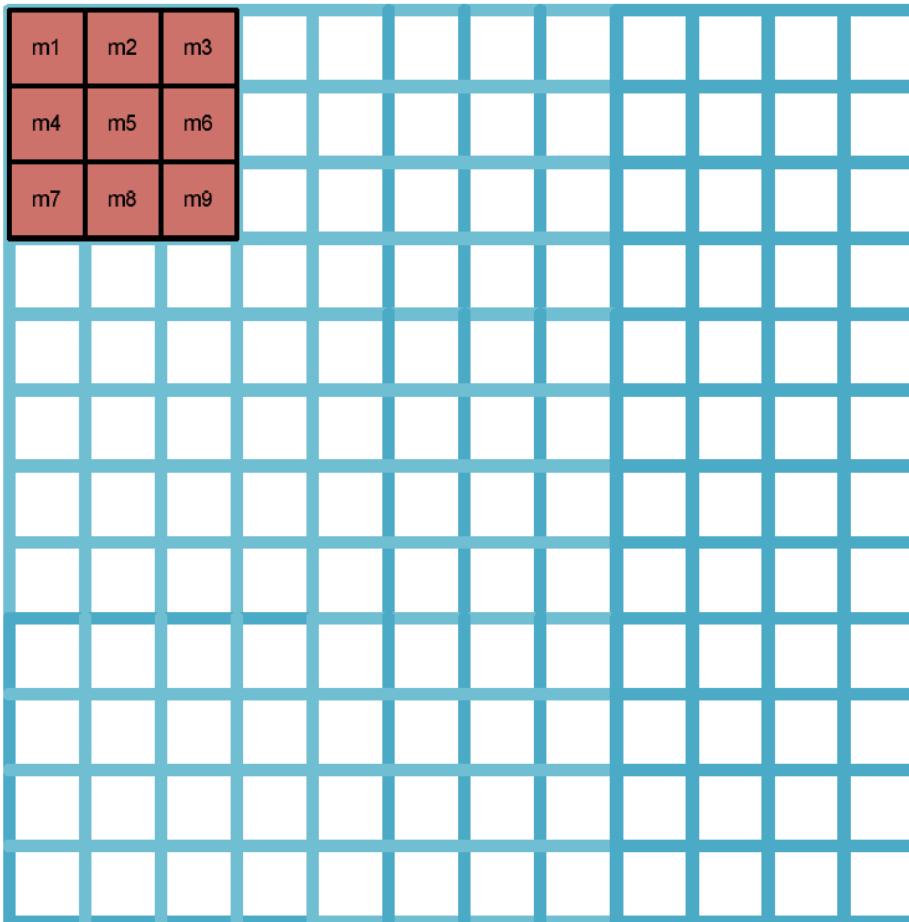
PIP

IOB

SoC

Aplicação

Bibliografia



$$\begin{aligned} m1 &= i1*k1 \\ m2 &= i2*k2 \\ m3 &= i3*k3 \\ m4 &= i13*k4 \\ m5 &= i14*k5 \\ m6 &= i15*k6 \\ m7 &= i25*k7 \\ m8 &= i26*k8 \\ m9 &= i27*k9 \end{aligned}$$

# Operação de convolução

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

PIP

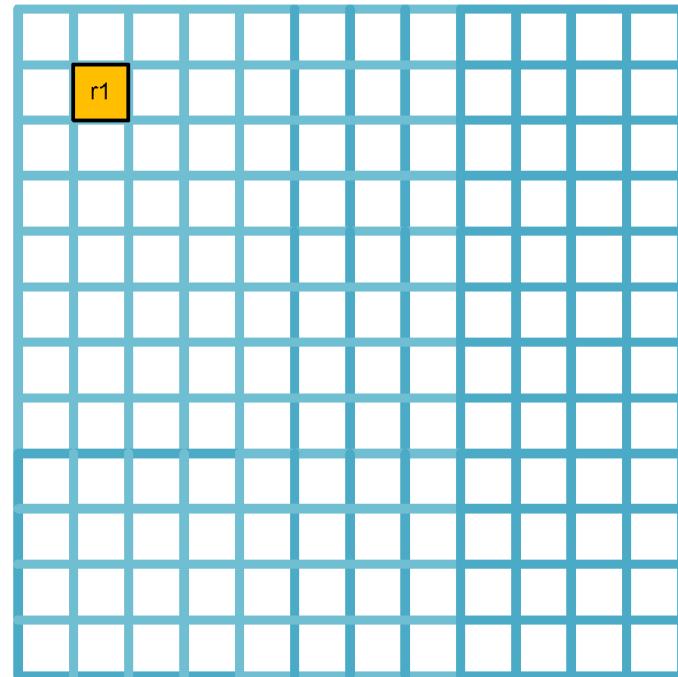
IOB

SoC

Aplicação

Bibliografia

$$r1 = \\ m1 + m2 + m3 + m4 + m5 + m6 + m7 + m8 + m9$$



# Operação de convolução

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

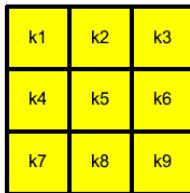
PIP

IOB

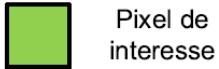
SoC

Aplicação

Bibliografia



Máscara 3x3



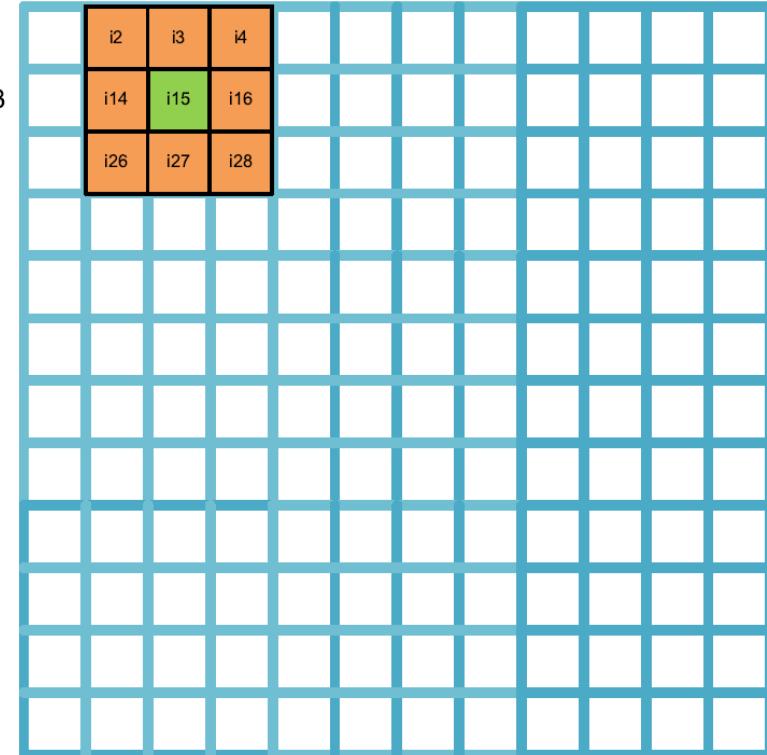
Pixel de interesse



Vizinhos



Pixels restantes



# Operação de convolução

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

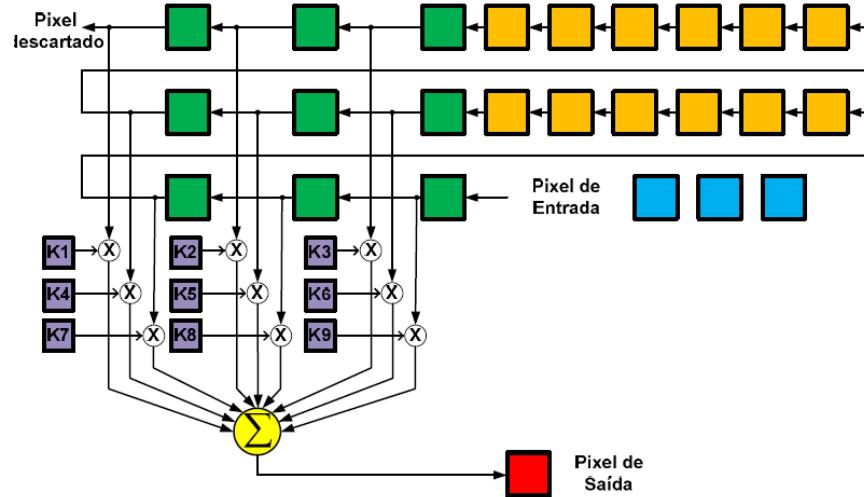
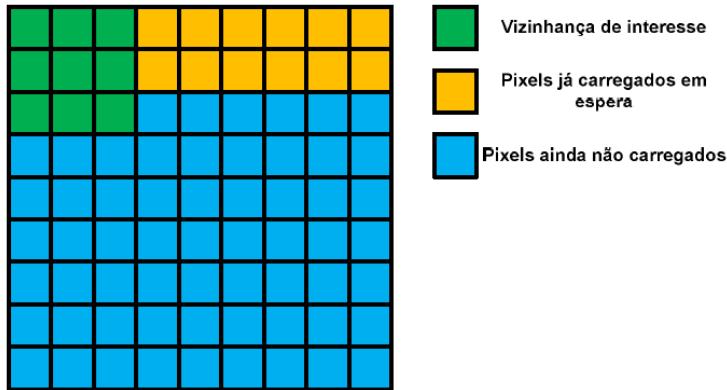
PIP

IOB

SoC

Aplicação

Bibliografia



# Conteúdo

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

PIP

IOB

SoC

Aplicação

Bibliografia

## 1 Objetivos

## 2 Introdução

## 3 Famílias da Altera

## 4 Fluxo de projeto

## 5 FPGA

- CLB
- LUT
- PIP
- IOB
- SoC

## 6 Aplicação

## 7 Bibliografia

Objetivos

Introdução

Famílias da Altera

Fluxo de projeto

FPGA

CLB

LUT

PIP

IOB

SoC

Aplicação

Bibliografia

# Bibliografia

- Pedroni, V.A. *Circuit Design with VHDL*. MIT Press, 2004
- LaMeres, B. J. (2023). *Introduction to Logic Circuits & Logic Design with VHDL*. Suíça: Springer International Publishing.
- MORI, J.Y. (2010). Implementação de Técnicas de Processamento de Imagens no Domínio Espacial em Sistemas Reconfiguráveis. Dissertação de Mestrado em Sistemas Mecatrônicos, publicação ENM.DM-31/10, Departamento de Engenharia Mecânica, Universidade de brasília, Brasília, DF,127p.