

Copropjeto Hardware/Software

Prof. Dr. Oscar Eduardo Anacona Mosquera

oscar.mosquera@ufmt.br

20 de março de 2024

Conteúdo

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Generate VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos

1 Objetivos

2 Introdução

3 Configuração do NIOS II

- Qsys
- NIOS II Processor
- JTAG UART
- On-Chip Memory
- System ID
- PIOs
- Interconexões
- Coprocessador em Hardware
- Generate VHDL ou verilog
- Compilação
- Programação

4 Eclipse

5 Agradecimentos

Objetivos

● NIOS II:

- ▶ Compreender os conceitos e características do processador NIOS II.
- ▶ Aprender a configurar e personalizar o NIOS II para atender às necessidades específicas do projeto.

● Qsys:

- ▶ Entender o papel e a funcionalidade do Qsys como ferramenta de integração de sistemas em FPGAs.
- ▶ Aprender a utilizar o Qsys para criar e interconectar diferentes componentes de hardware em um projeto.
- ▶ Explorar as opções de configuração e personalização oferecidas pelo Qsys para otimizar o design do sistema.
- ▶ Integrar o processador NIOS II criado anteriormente utilizando o Qsys em um projeto FPGA.

● Eclipse:

- ▶ Aprender a configurar o Eclipse para desenvolvimento de software embarcado para o NIOS II.
- ▶ Explorar as ferramentas e recursos disponíveis no Eclipse para programação, depuração e análise de sistemas embarcados.
- ▶ Desenvolver e depurar aplicações simples para o processador NIOS II utilizando o Eclipse.

● Criação de um Coprojeto Hardware/Software:

- ▶ Entender o conceito de coprojeto Hardware/Software e sua importância na integração de sistemas embarcados.
- ▶ Aprender a criar e configurar um coprojeto Hardware/Software no ambiente de desenvolvimento.
- ▶ Explorar as técnicas de comunicação e sincronização entre o hardware e o software no contexto do coprojeto.

Conteúdo

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Generate VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos

1 Objetivos

2 Introdução

3 Configuração do NIOS II

- Qsys
- NIOS II Processor
- JTAG UART
- On-Chip Memory
- System ID
- PIOs
- Interconexões
- Coprocessador em Hardware
- Generate VHDL ou verilog
- Compilação
- Programação

4 Eclipse

5 Agradecimentos

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Generate VHDL ou verilog

Compilação

Programação

Eclipse

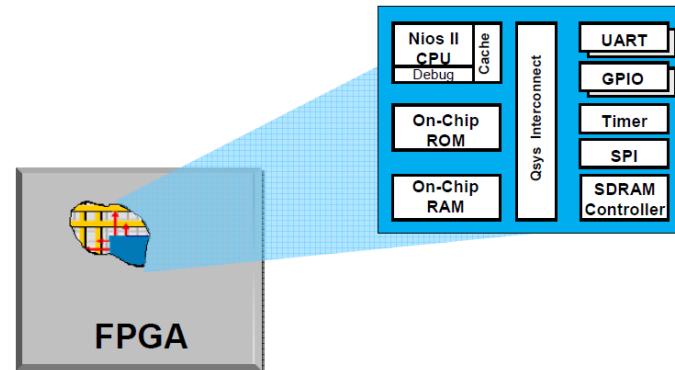
Agradecimentos

Processador Soft-Core

O Nios II é um processador soft-core, o que significa que ele é projetado para ser configurado em um FPGA, em vez de ser um componente físico fixo. Isso oferece flexibilidade e adaptabilidade para integrar o processador em uma variedade de sistemas.

Microprocessador RISC de 32 bits de segunda geração de núcleo flexível:

- Desenvolvido internamente pela Altera
- Isento de royalties
- Arquitetura Harvard
- Processador Nios II + todos os periféricos escritos em HDL
- Pode ser direcionado para todos os FPGAs da Altera
- Síntese utilizando o motor de síntese integrado Quartus II



FPGA Hardware Design Flow

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

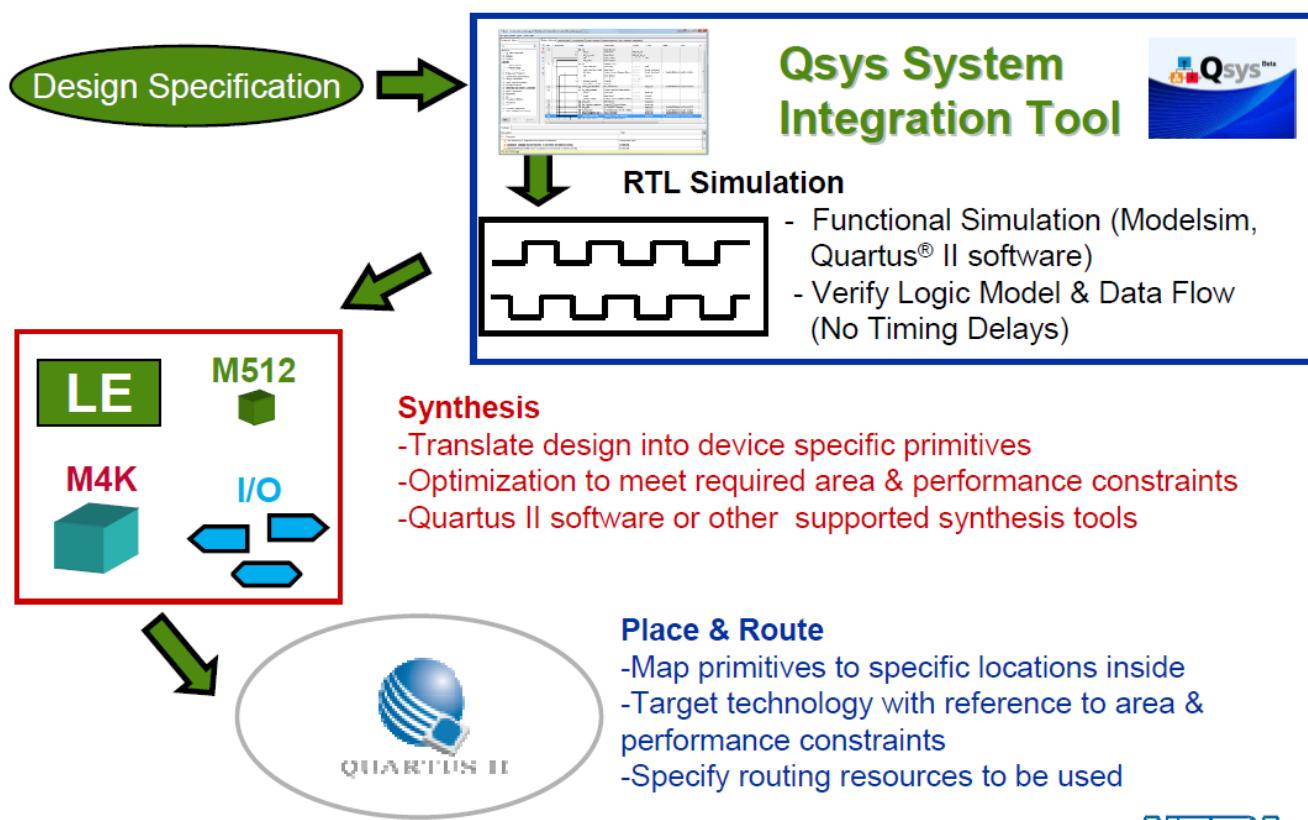
Generate VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos

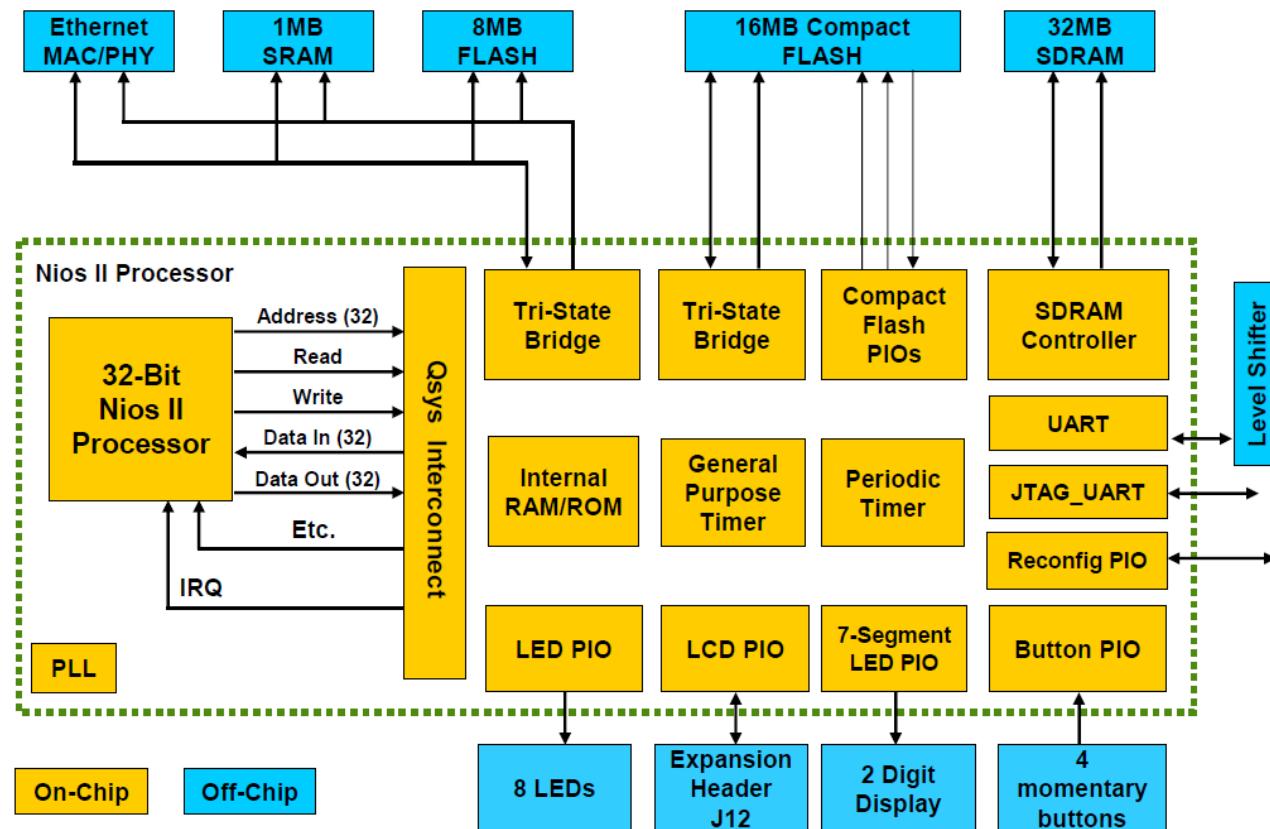


© 2011 Altera Corporation—Confidential

ALTERA.

“Standard” Reference Design Block Diagram

Objetivos
 Introdução
 Configuração do NIOS II
 Qsys
 NIOS II Processor
 JTAG UART
 On-Chip Memory
 System ID
 PIOs
 Interconexões
 Coprocessador em Hardware
 Gerar VHDL ou verilog
 Compilação
 Programação
 Eclipse
 Agradecimentos



Sistema de diagrama de blocos

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Generate VHDL ou verilog

Compilação

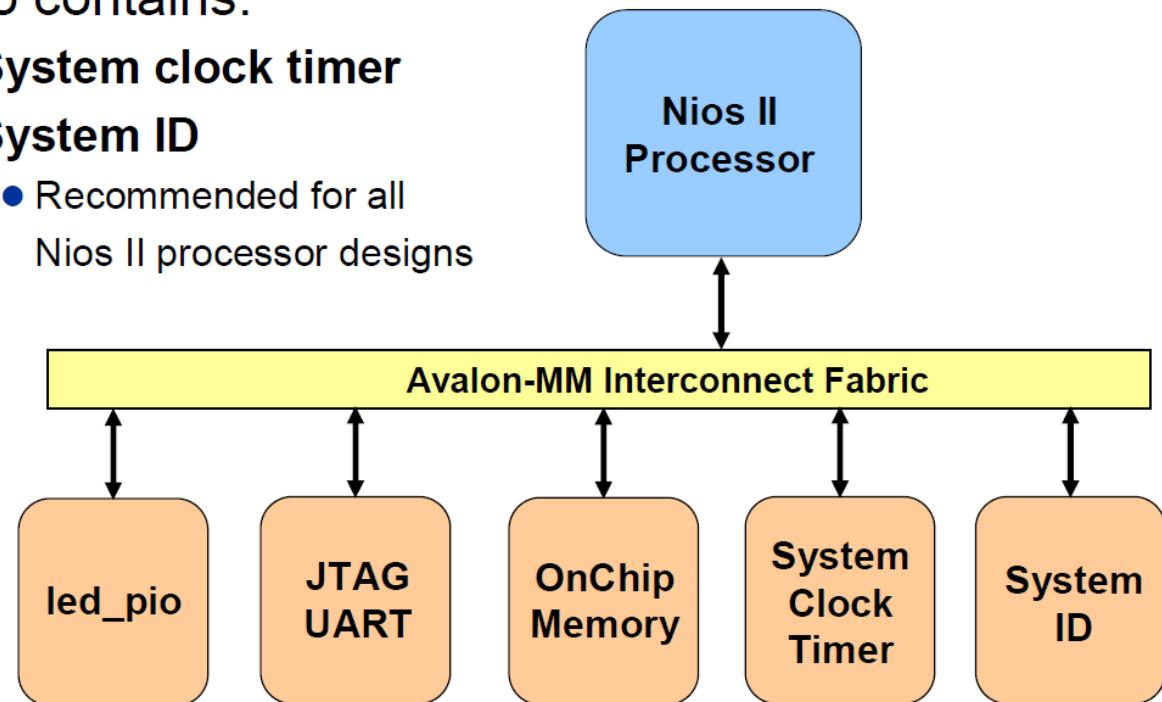
Programação

Eclipse

Agradecimentos

■ Also contains:

- System clock timer
- System ID
 - Recommended for all Nios II processor designs



Conteúdo

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Generate VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos

1 Objetivos

2 Introdução

3 Configuração do NIOS II

- Qsys
- NIOS II Processor
- JTAG UART
- On-Chip Memory
- System ID
- PIOs
- Interconexões
- Coprocessador em Hardware
- Generate VHDL ou verilog
- Compilação
- Programação

4 Eclipse

5 Agradecimentos

Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

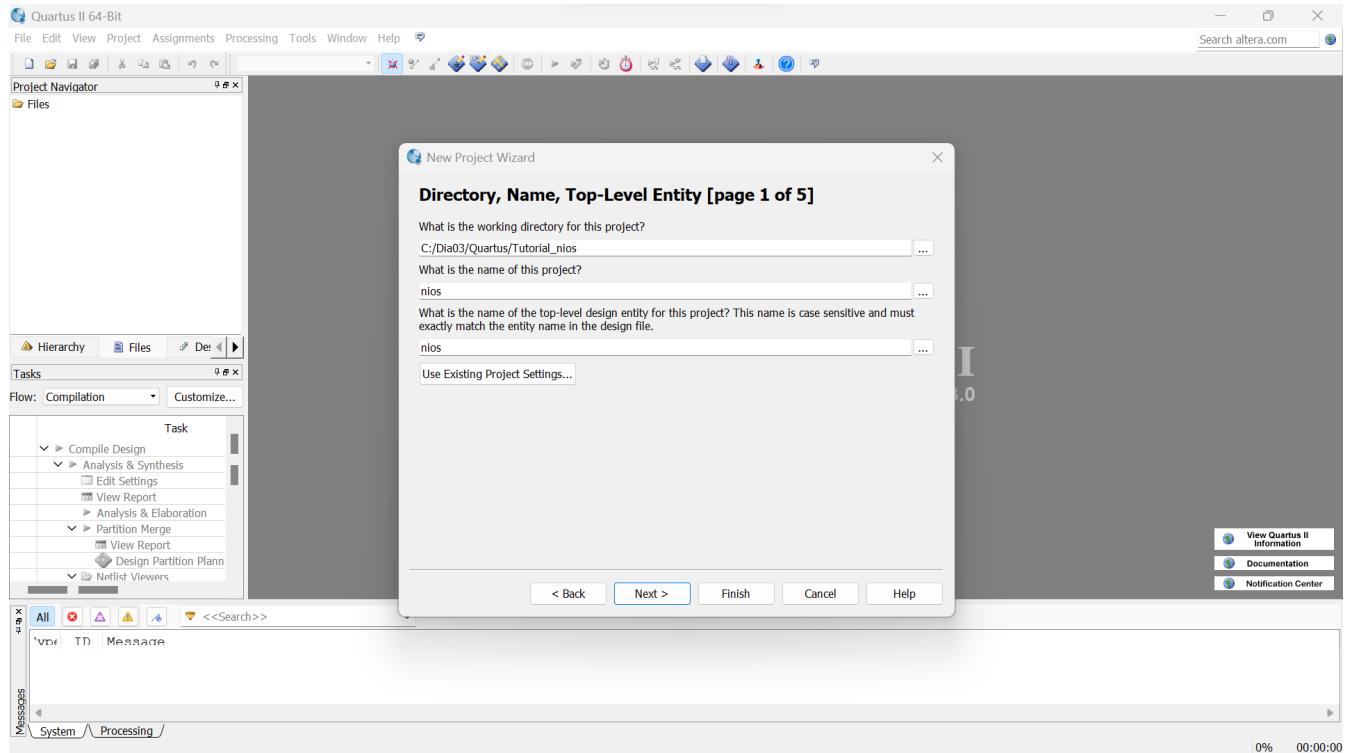
Generate VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

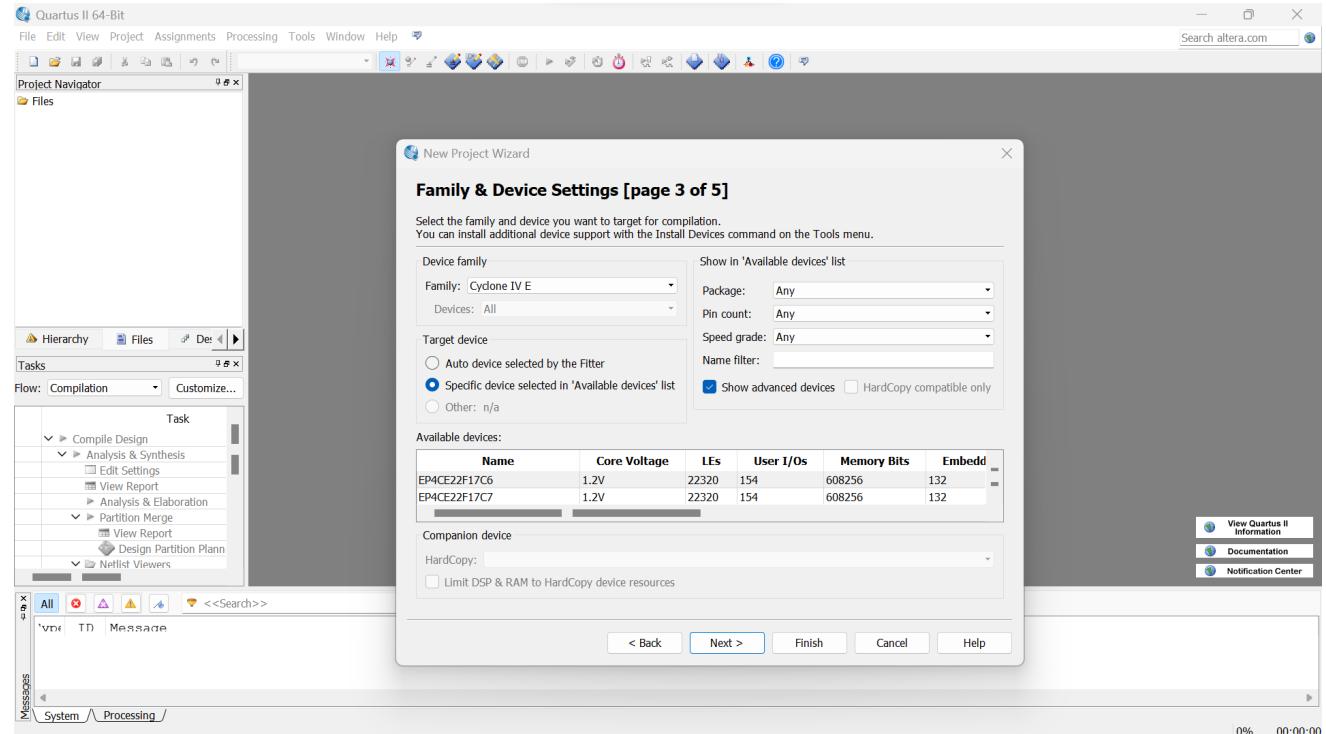
Generate VHDL ou verilog

Compilação

Programação

Eclipse

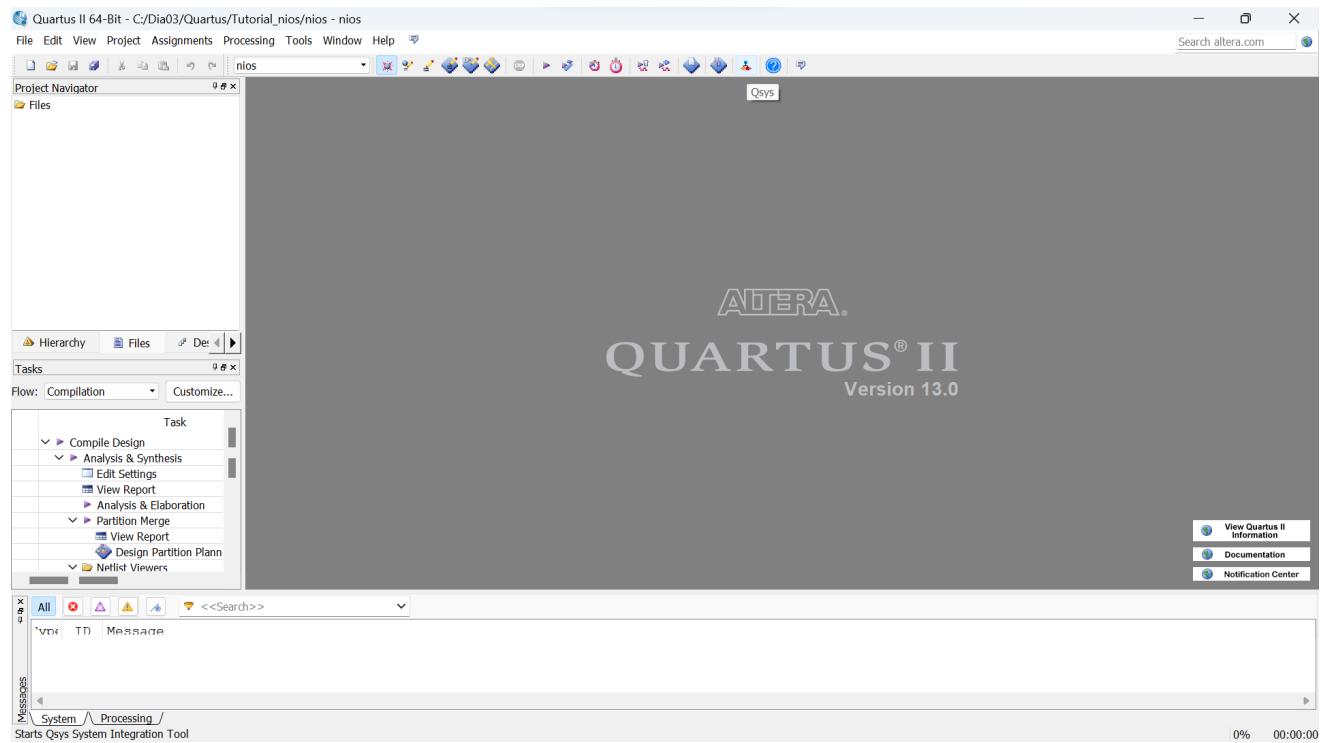
Agradecimentos



Criação do sistema hardware

● Passo 1: Tools

● Passo 2: Qsys



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

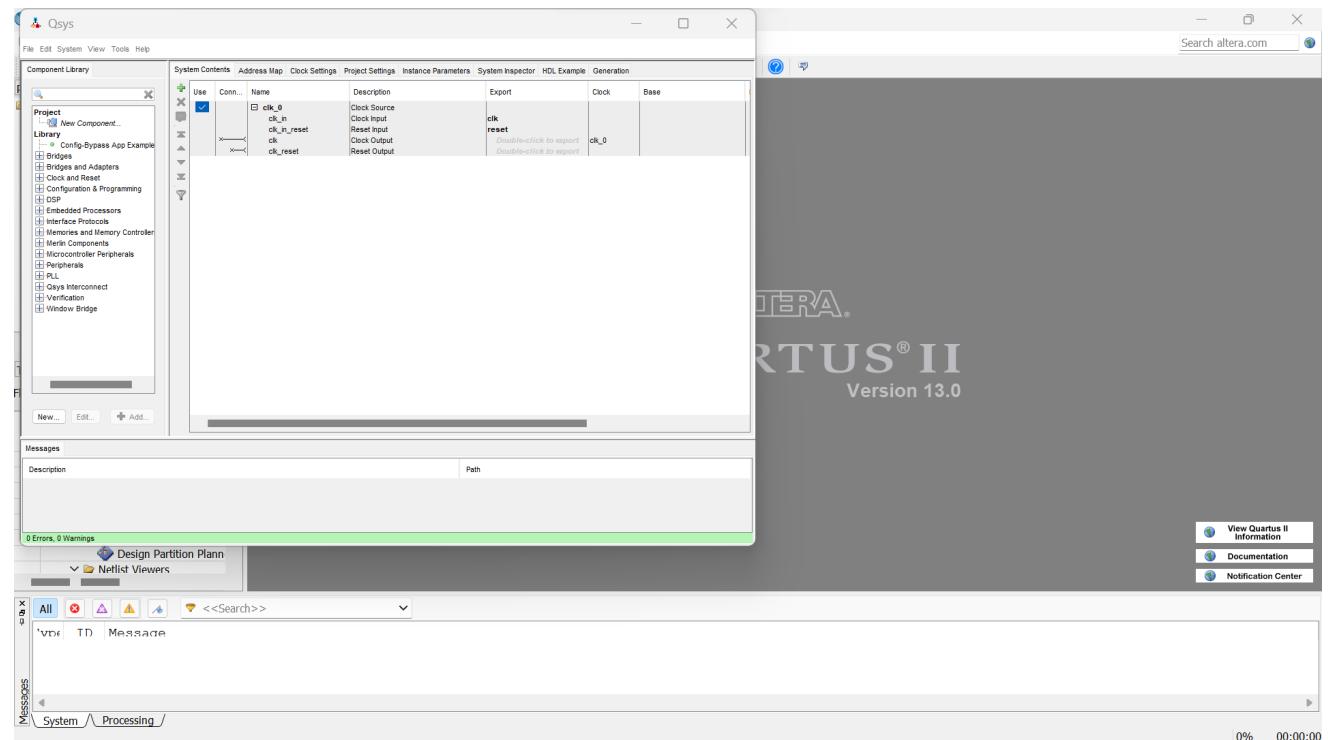
Generate VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos



Criação do sistema hardware

- **Passo 1:** Embedded Processors
- **Passo 2:** NIOS II Processor

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

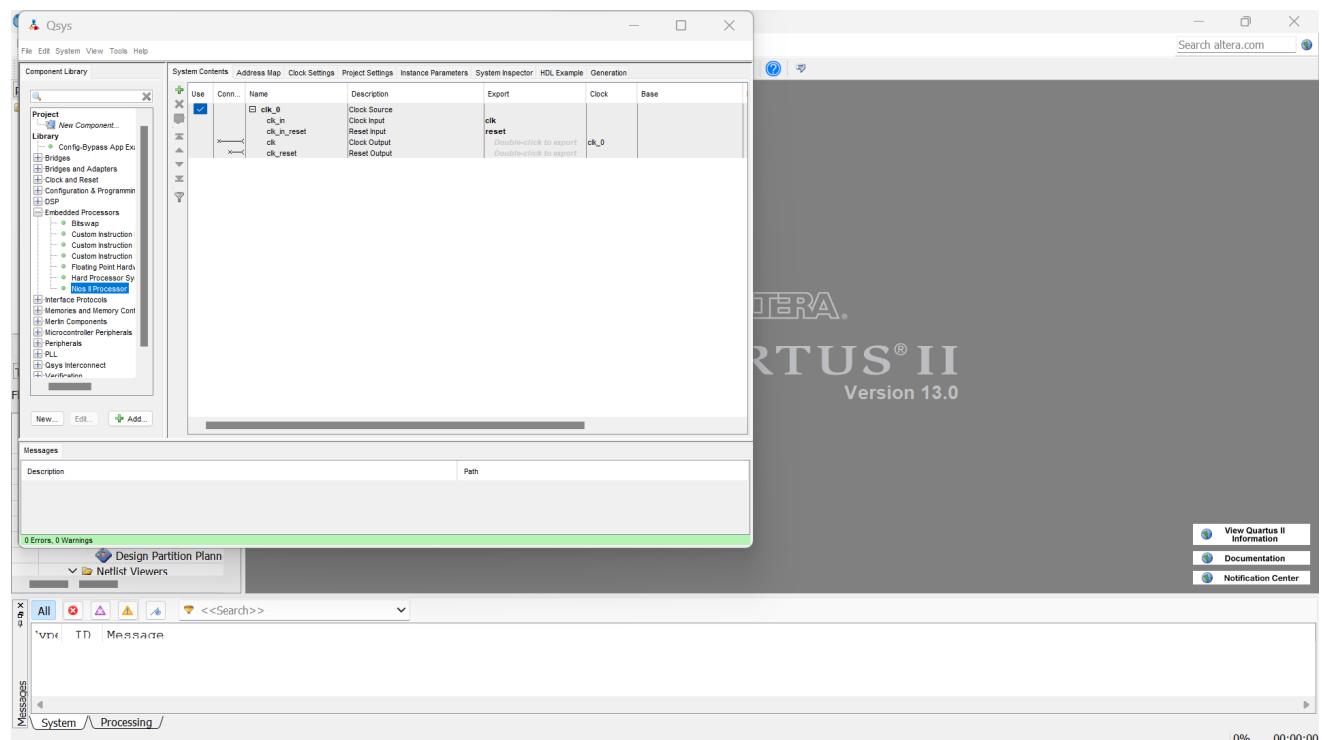
Geração VHDL ou Verilog

Compilação

Programação

Eclipse

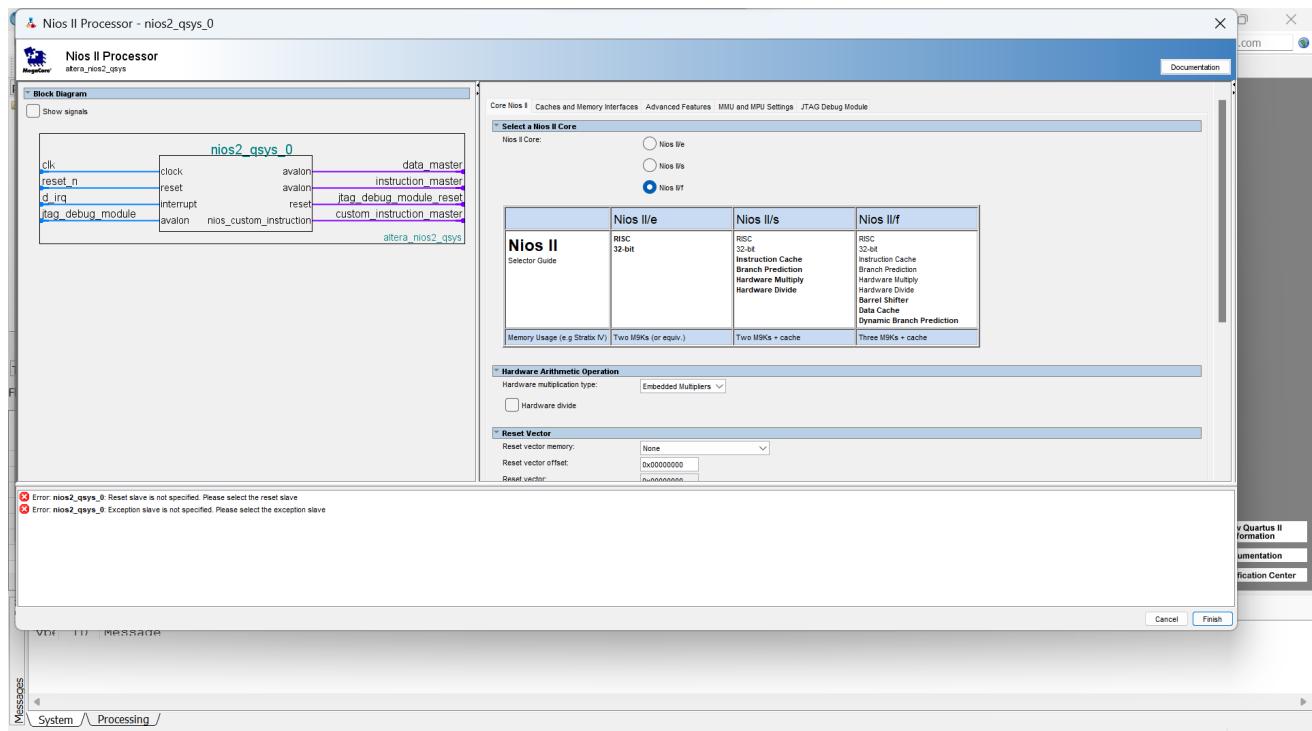
Agradecimentos



Criação do sistema hardware

- **Passo 1:** Nios II/e
- **Passo 2:** Finish

Objetivos
 Introdução
 Configuração do
 NIOS II
 Qsys
 NIOS II Processor
 JTAG UART
 On-Chip Memory
 System ID
 PIOs
 Interconexões
 Coprocessador em Hardware
 Gerar VHDL ou verilog
 Compilação
 Programação
 Eclipse
 Agradecimentos



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

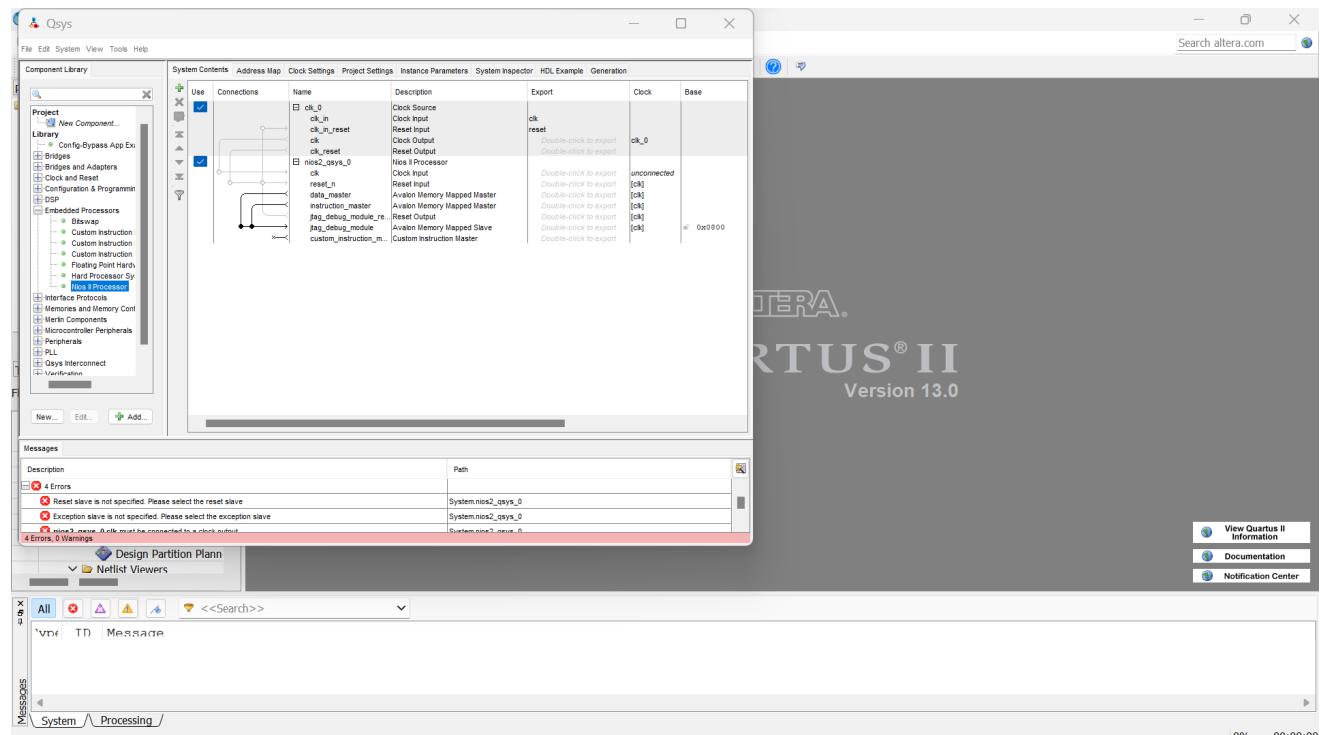
Gerar VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Gerar VHDL ou verilog

Compilação

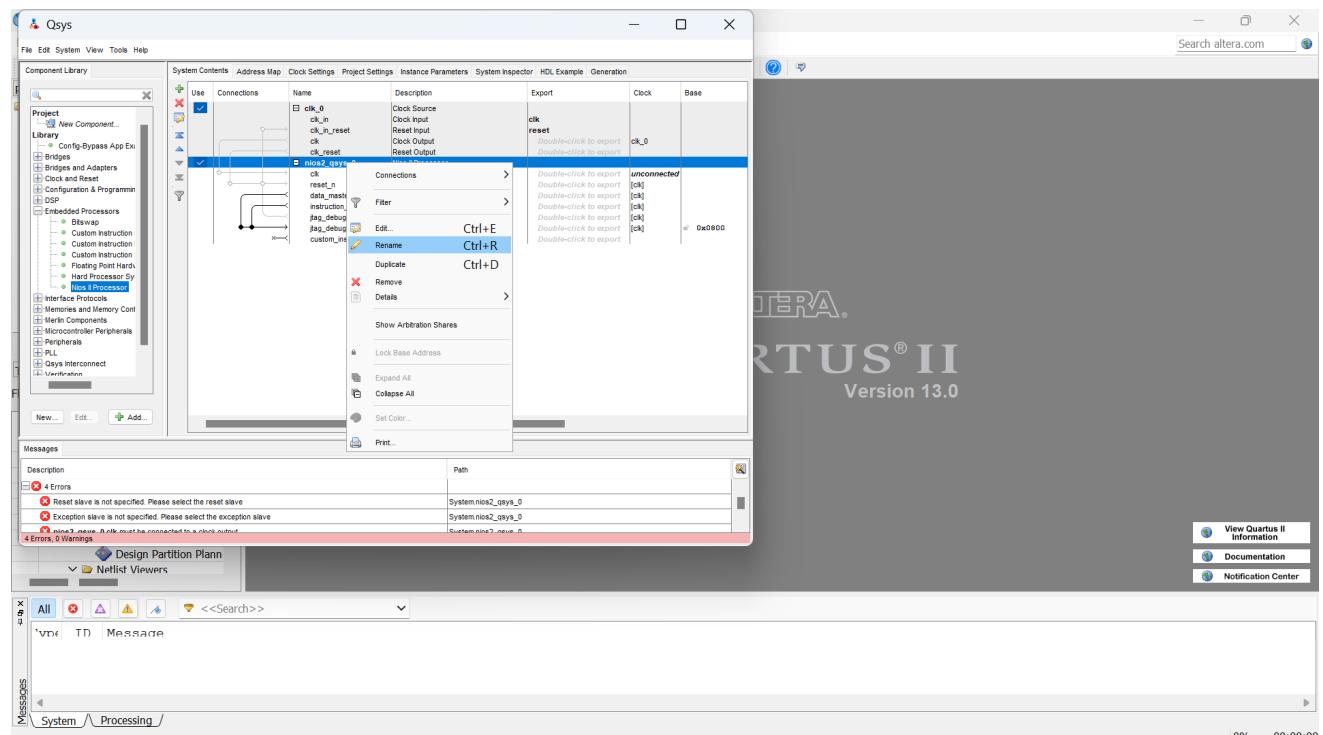
Programação

Eclipse

Agradecimentos

Criação do sistema hardware

- **Passo 1:** click direito sobre o nome do processador
- **Passo 2:** renomear como **cpu**



Criação do sistema hardware

Objetivos

Introdução

Configuração do NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

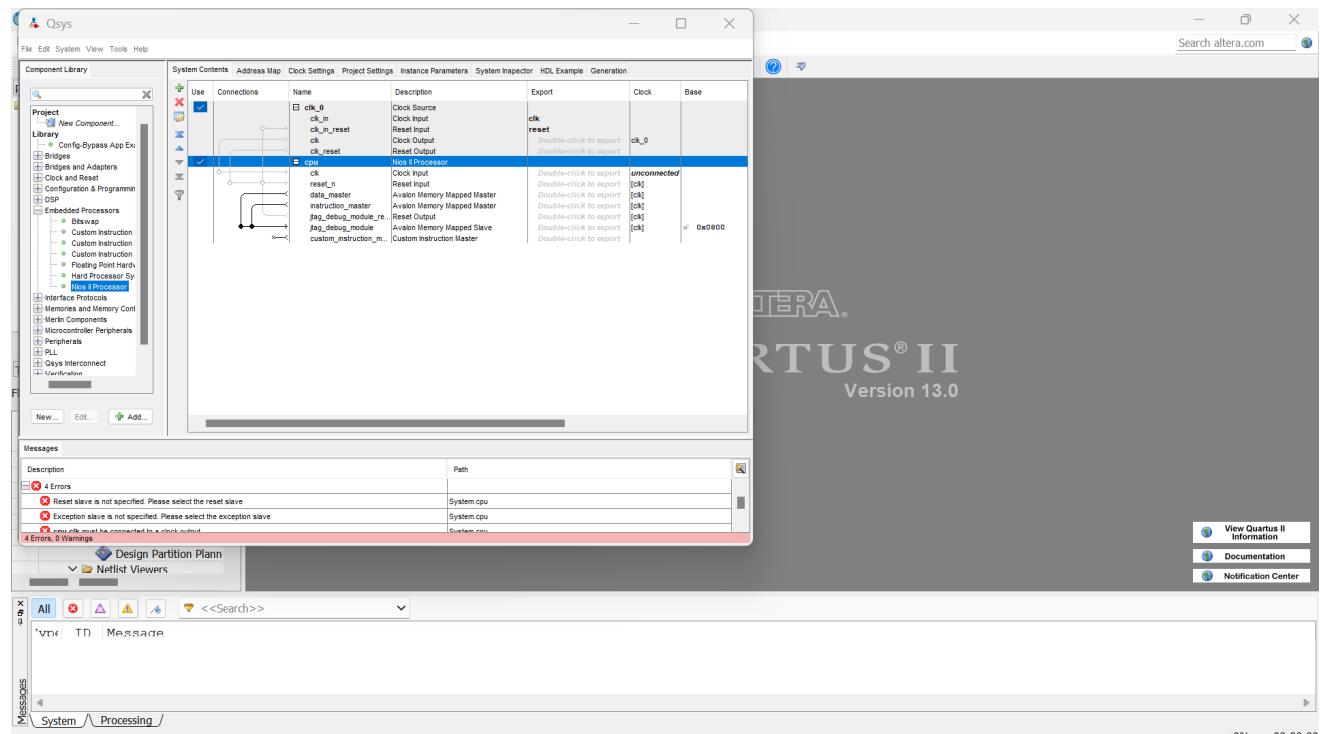
Gerar VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Gerar VHDL ou verilog

Compilação

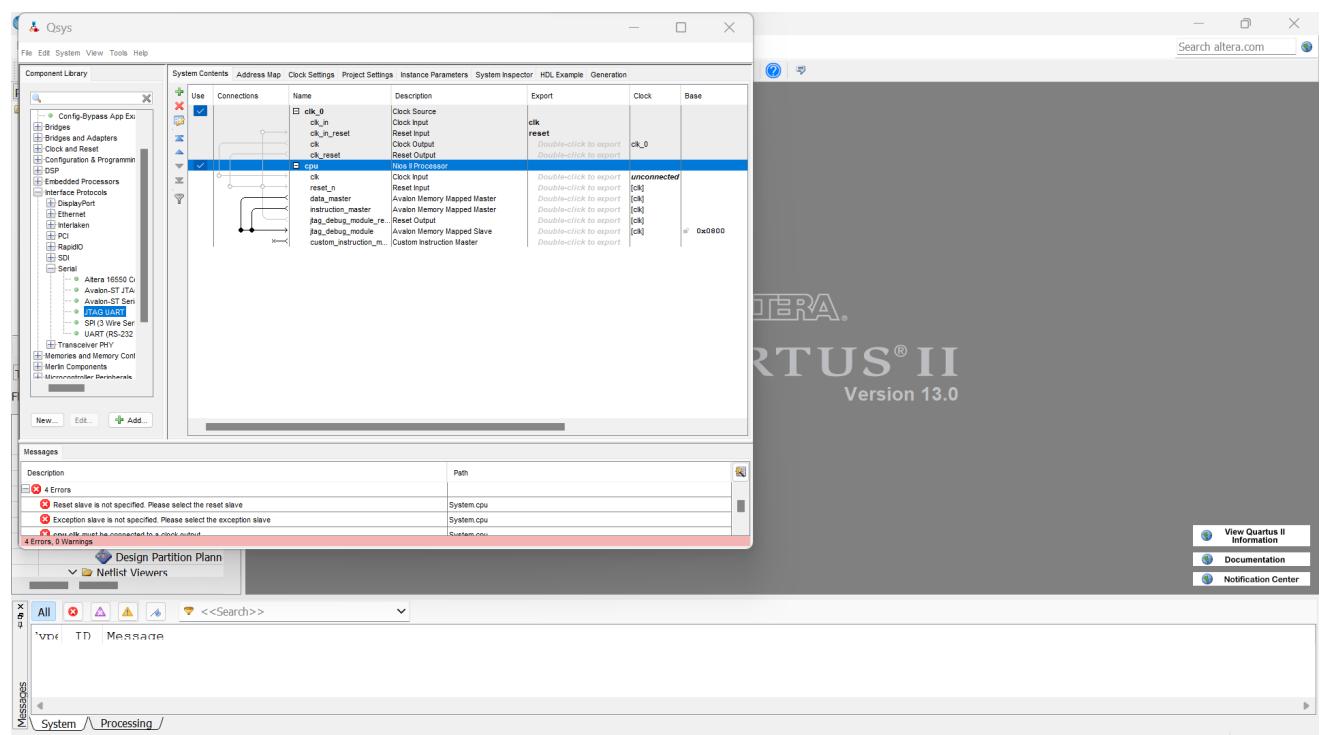
Programação

Eclipse

Agradecimentos

Criação do sistema hardware

- **Passo 1:** Interface Protocols
- **Passo 2:** Serial
- **Passo 2:** JTAG UART



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

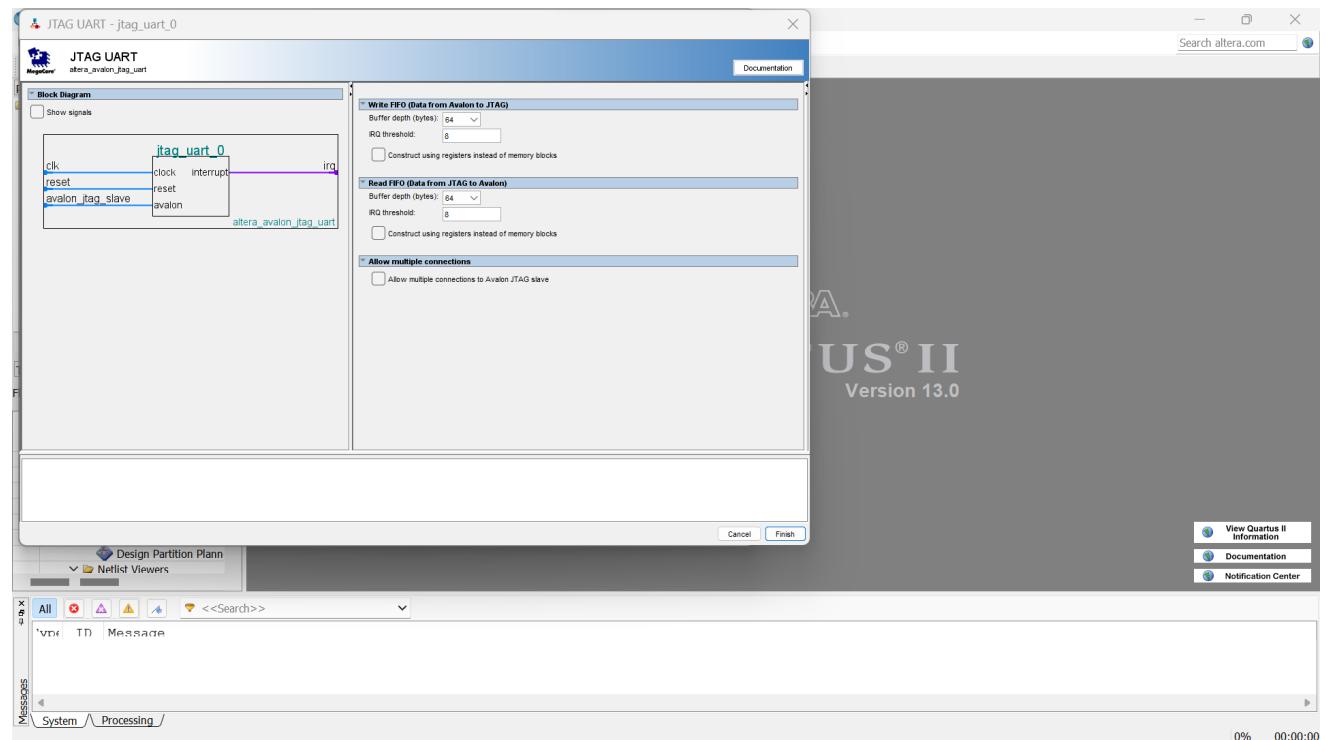
Gere VHDL ou Verilog

Compilação

Programação

Eclipse

Agradecimentos



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Gere VHDL ou verilog

Compilação

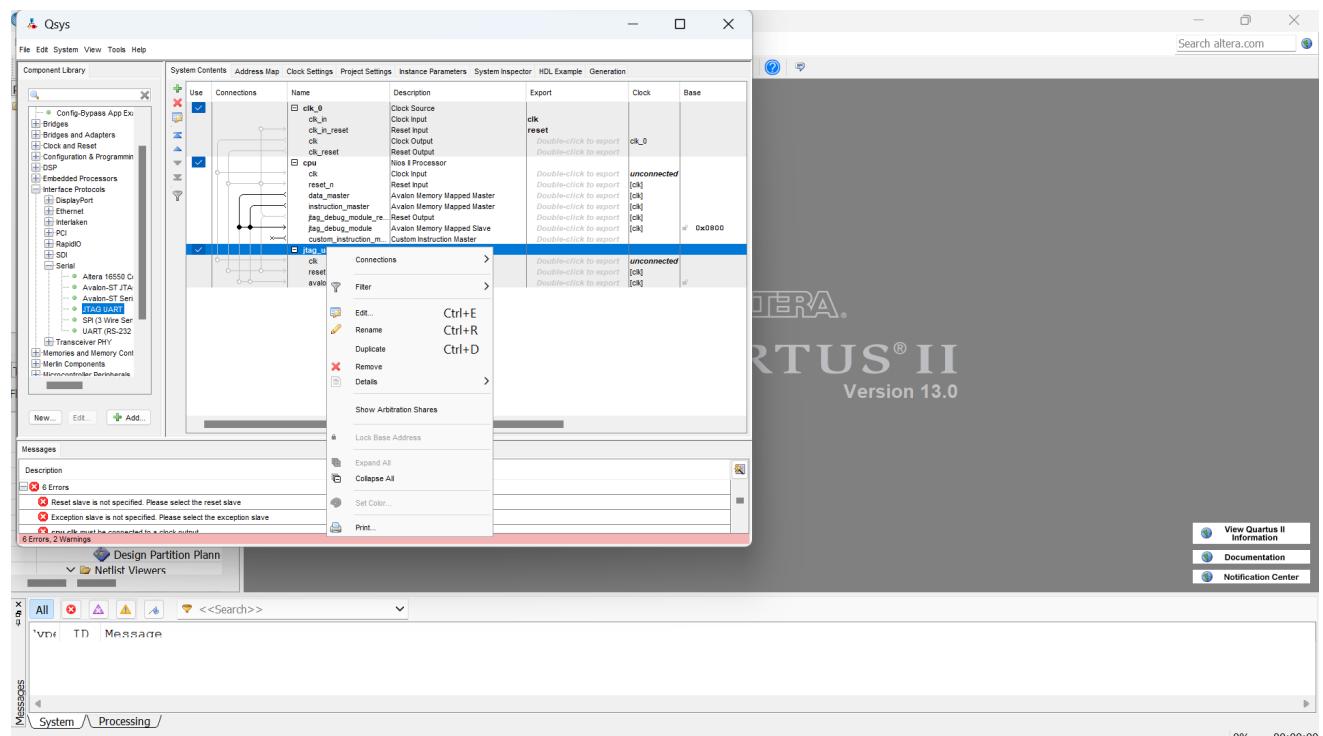
Programação

Eclipse

Agradecimentos

Criação do sistema hardware

- **Passo 1:** click direito sobre o JTAG UART
- **Passo 2:** renomear como jtag



Criação do sistema hardware

Objetivos

Introdução

Configuração do NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

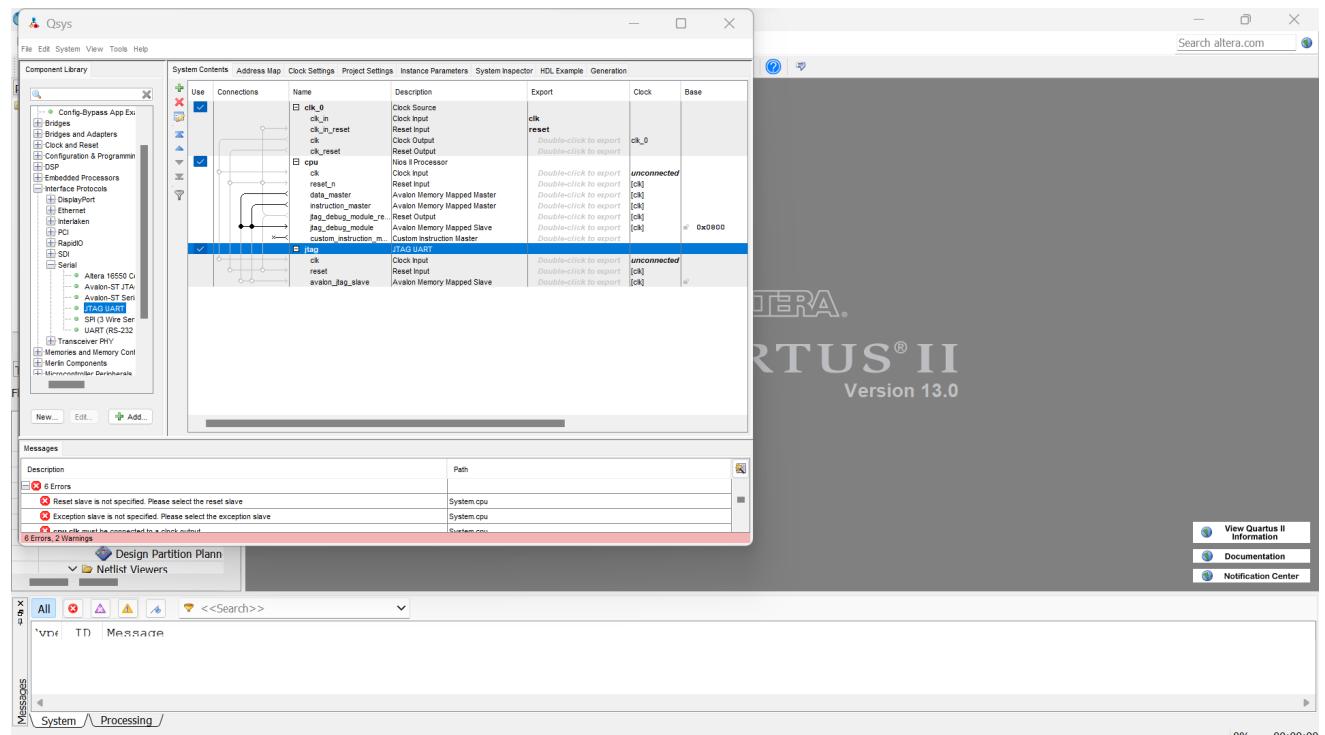
Generate VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Gerar VHDL ou verilog

Compilação

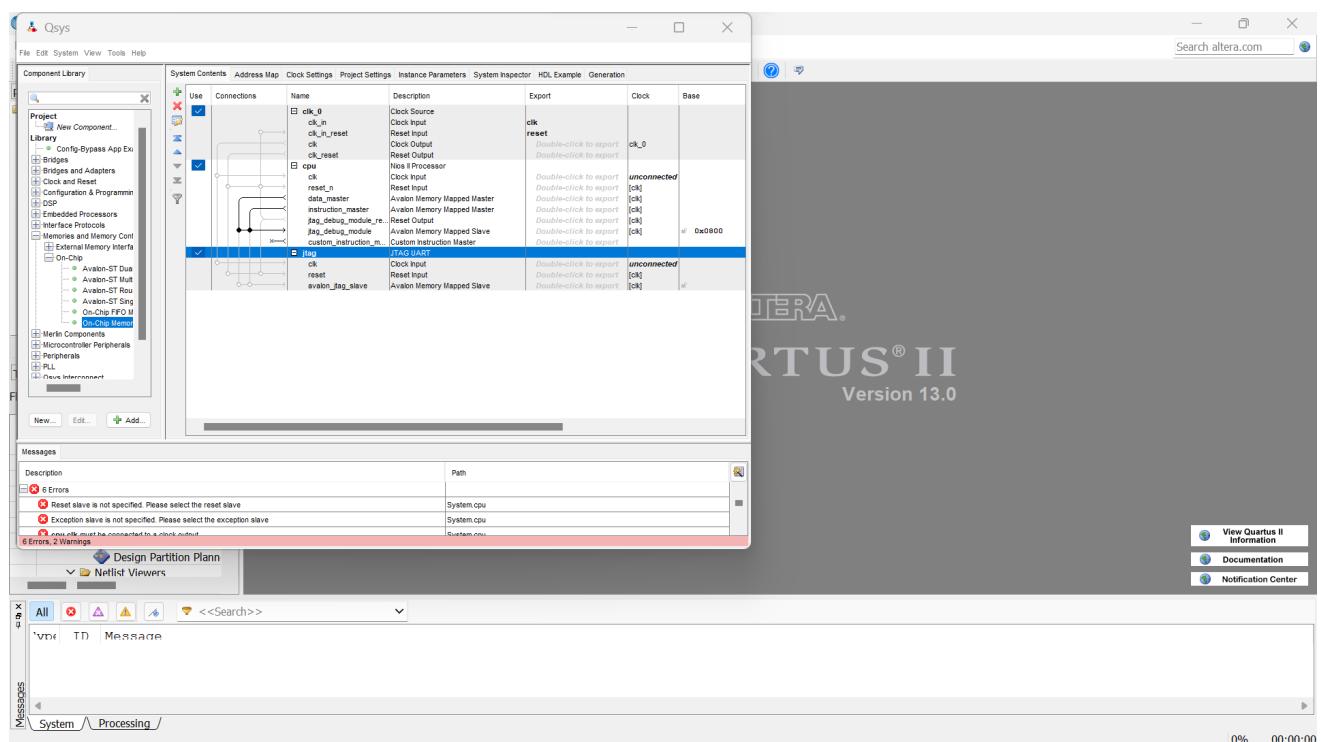
Programação

Eclipse

Agradecimentos

Criação do sistema hardware

- **Passo 1:** Memories and Memory Interface
- **Passo 2:** On-Chip
- **Passo 3:** On-Chip Memory (RAM or ROM)



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

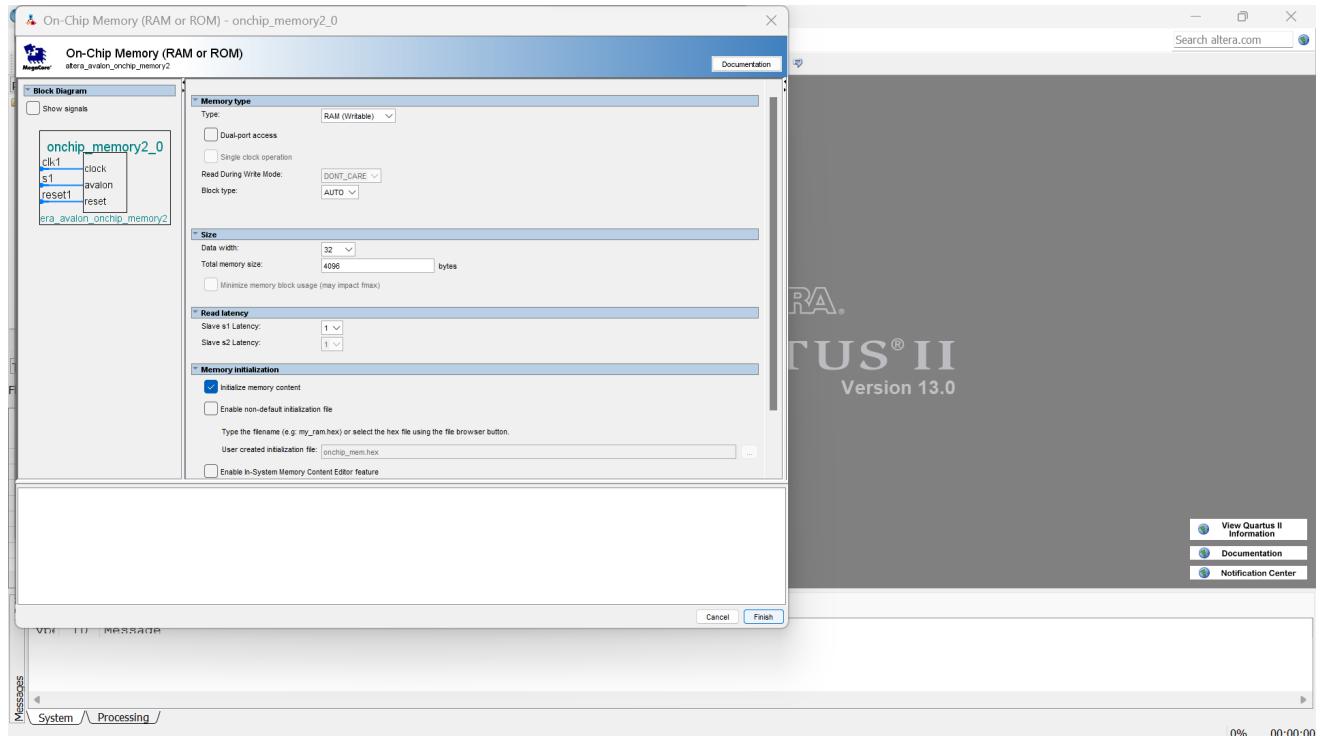
Gere VHDL ou Verilog

Compilação

Programação

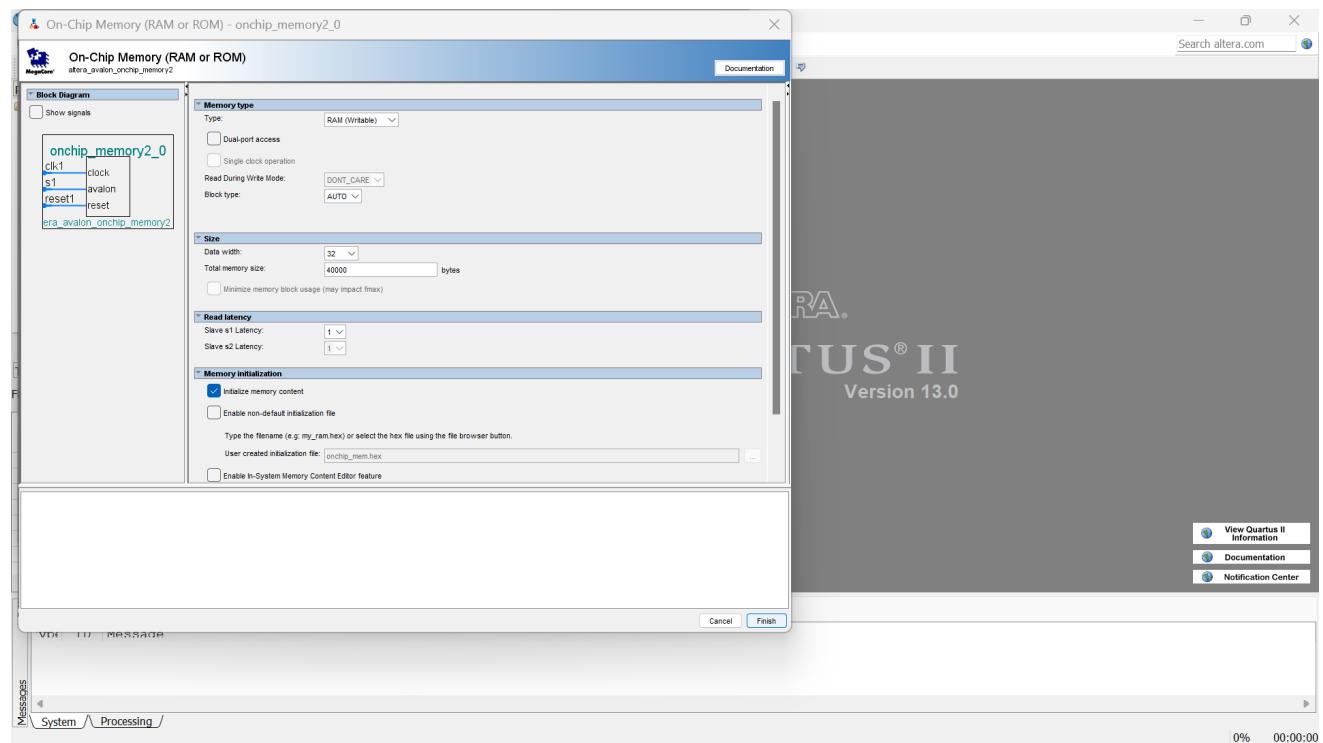
Eclipse

Agradecimentos



Criação do sistema hardware

Size-> Total Memory size: 40000 bytes



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Gerar VHDL ou verilog

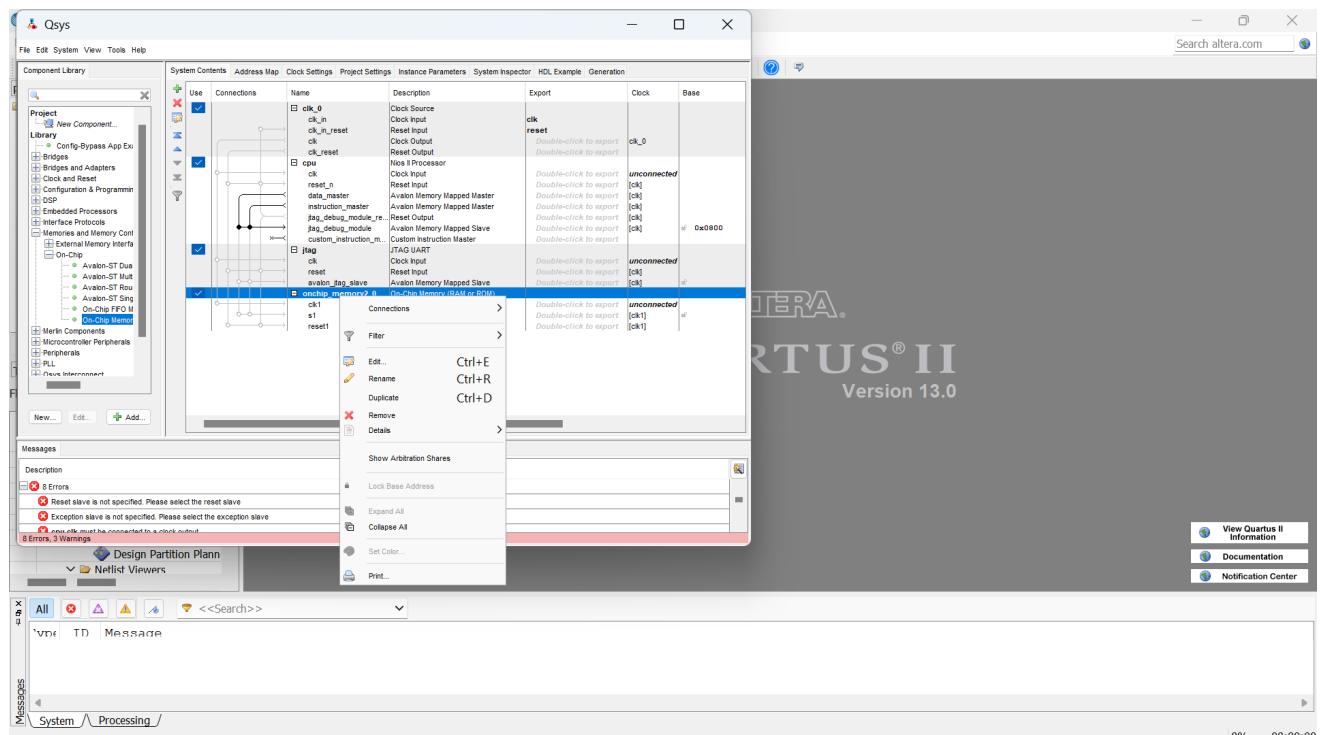
Compilação

Programação

Eclipse

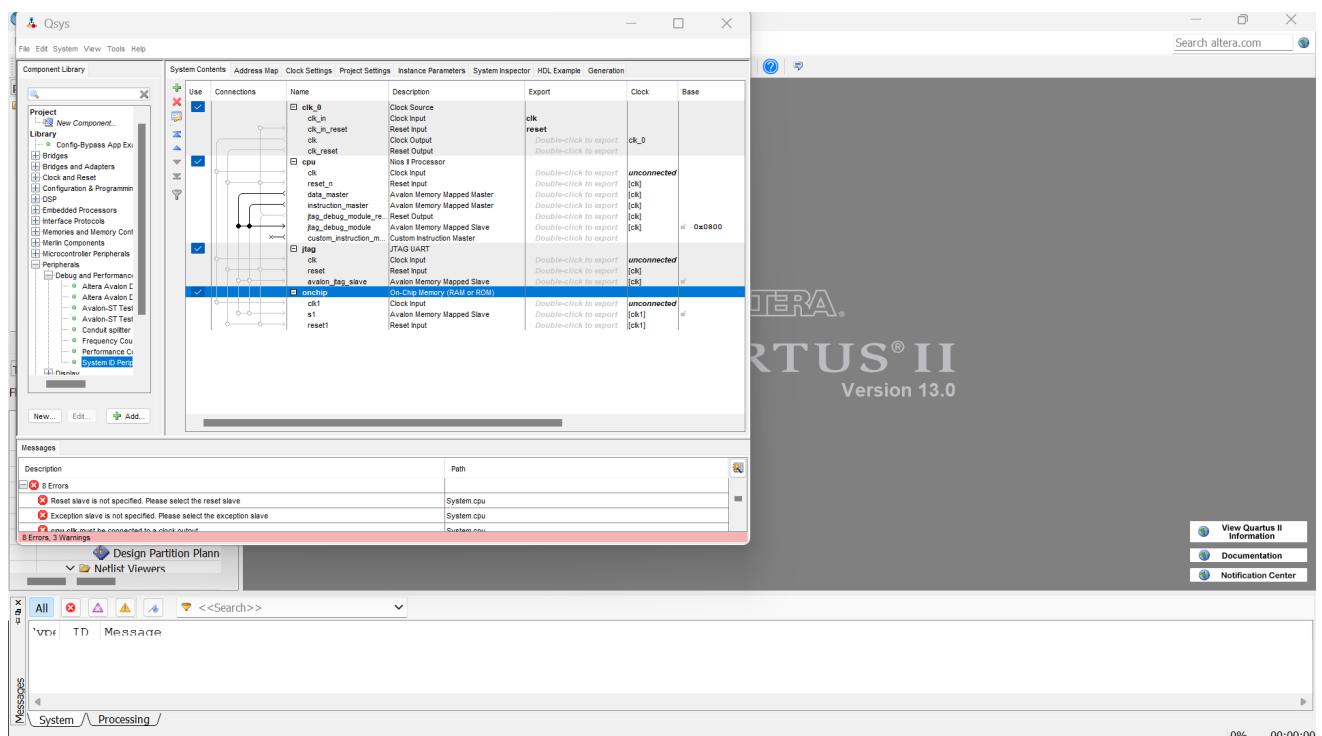
Agradecimentos

- **Passo 1:** click direito sobre o On chip Memory
- **Passo 2:** renomear como **Onchip**



Criação do sistema hardware

- **Passo 1:** Peripherals
- **Passo 2:** Debug and performance
- **Passo 3:** System ID peripheral



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

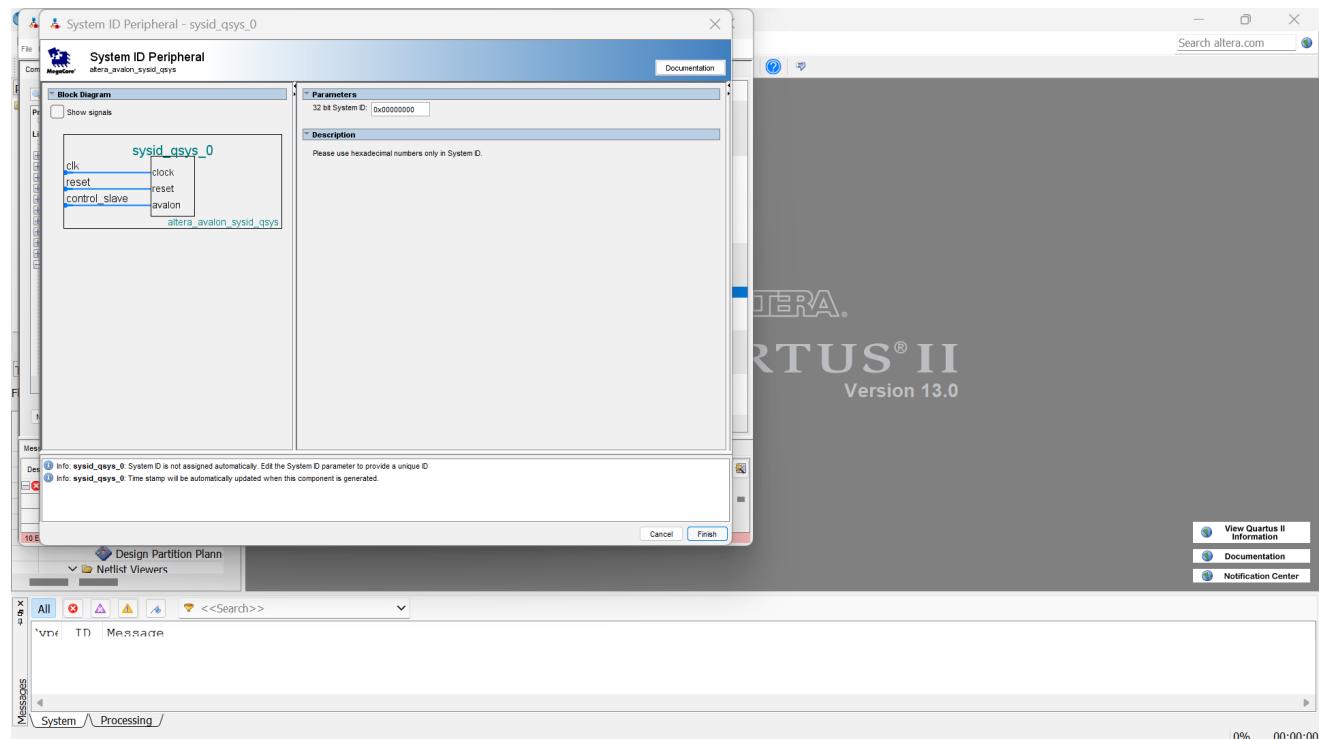
Generate VHDL ou Verilog

Compilação

Programação

Eclipse

Agradecimentos



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Gerador VHDL ou verilog

Compilação

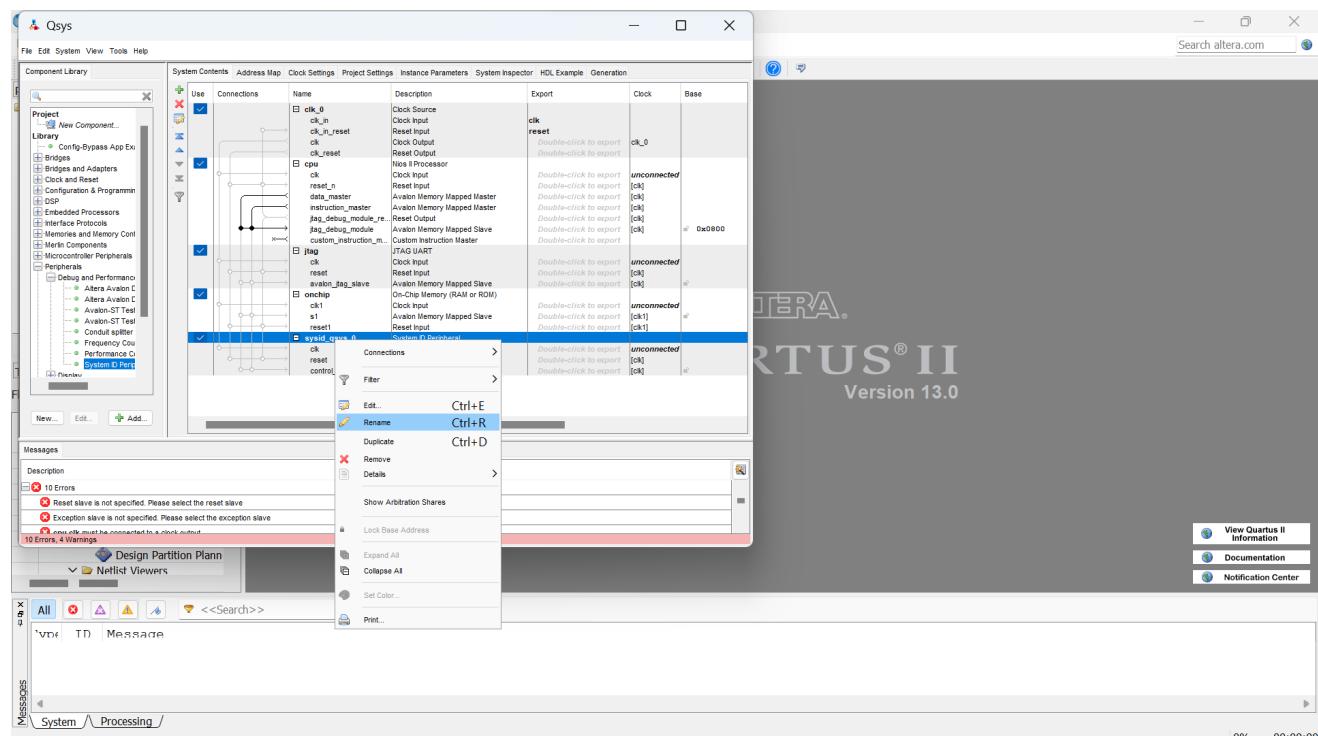
Programação

Eclipse

Agradecimentos

Criação do sistema hardware

- **Passo 1:** click direito sobre o SysID qsys
- **Passo 2:** renomear como sysid



Criação do sistema hardware

Objetivos

Introdução

Configuração do NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

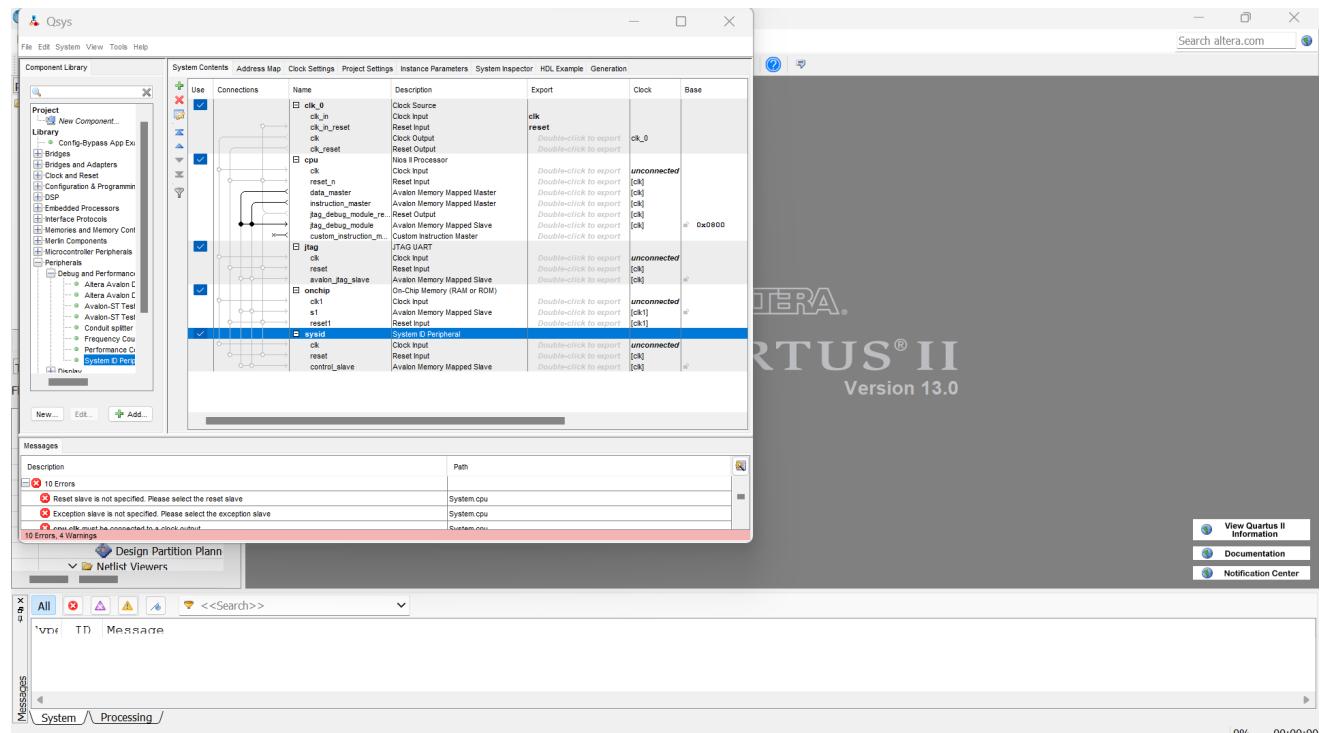
Generate VHDL ou verilog

Compilação

Programação

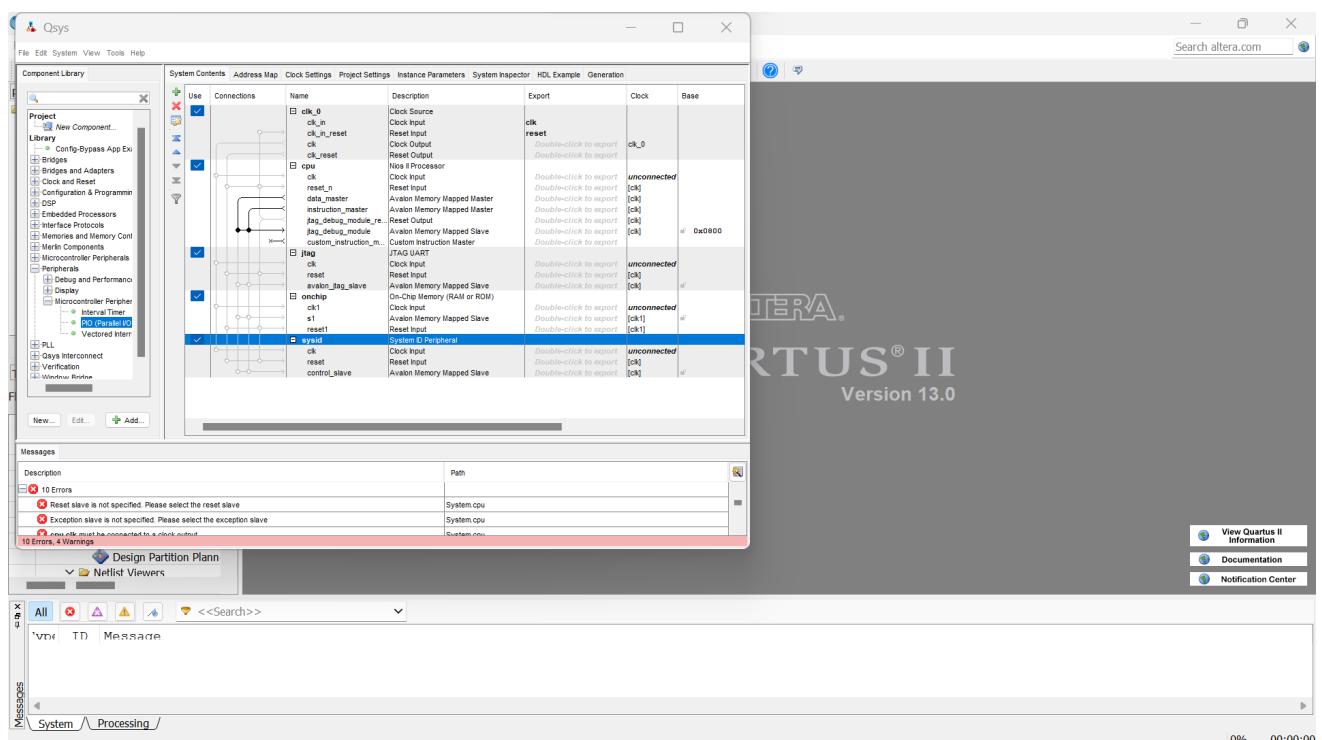
Eclipse

Agradecimentos



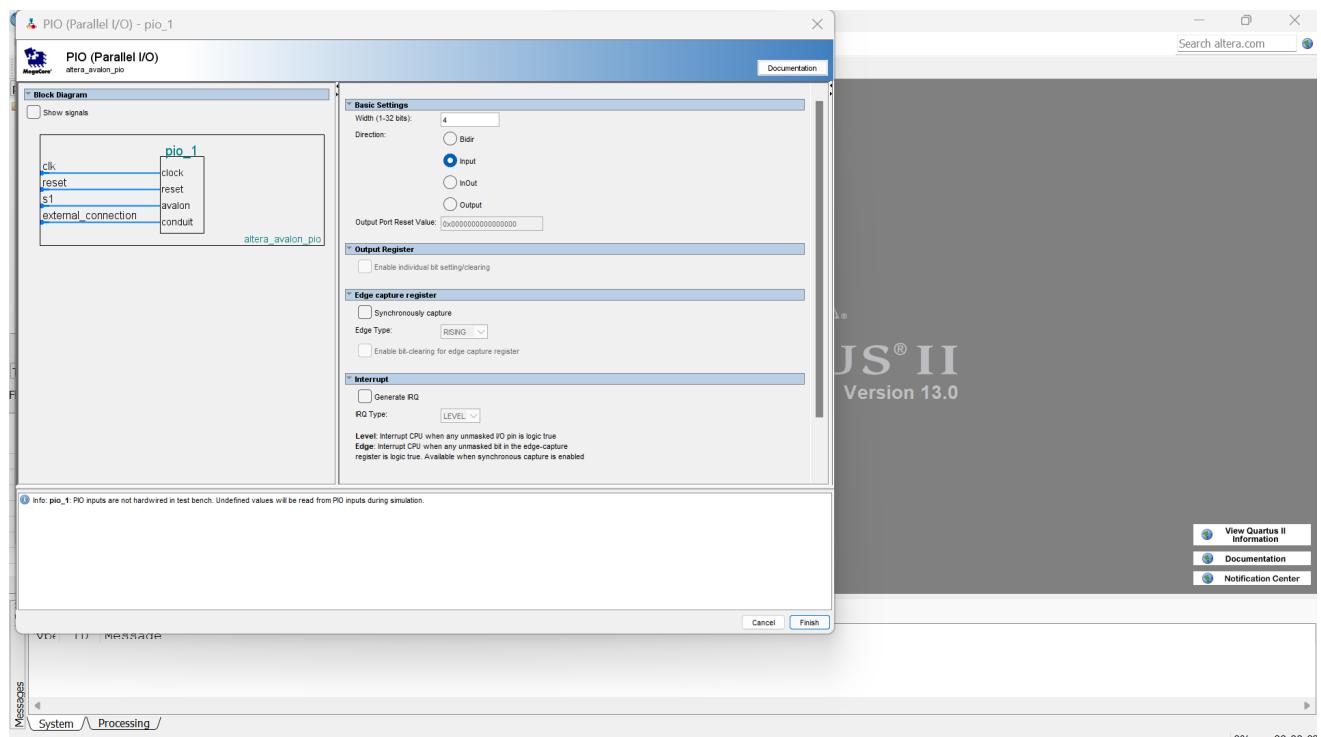
Criação do sistema hardware

- **Passo 1:** Peripherals
- **Passo 2:** Microcontroller Peripherals
- **Passo 3:** PIO (parallel I/O)



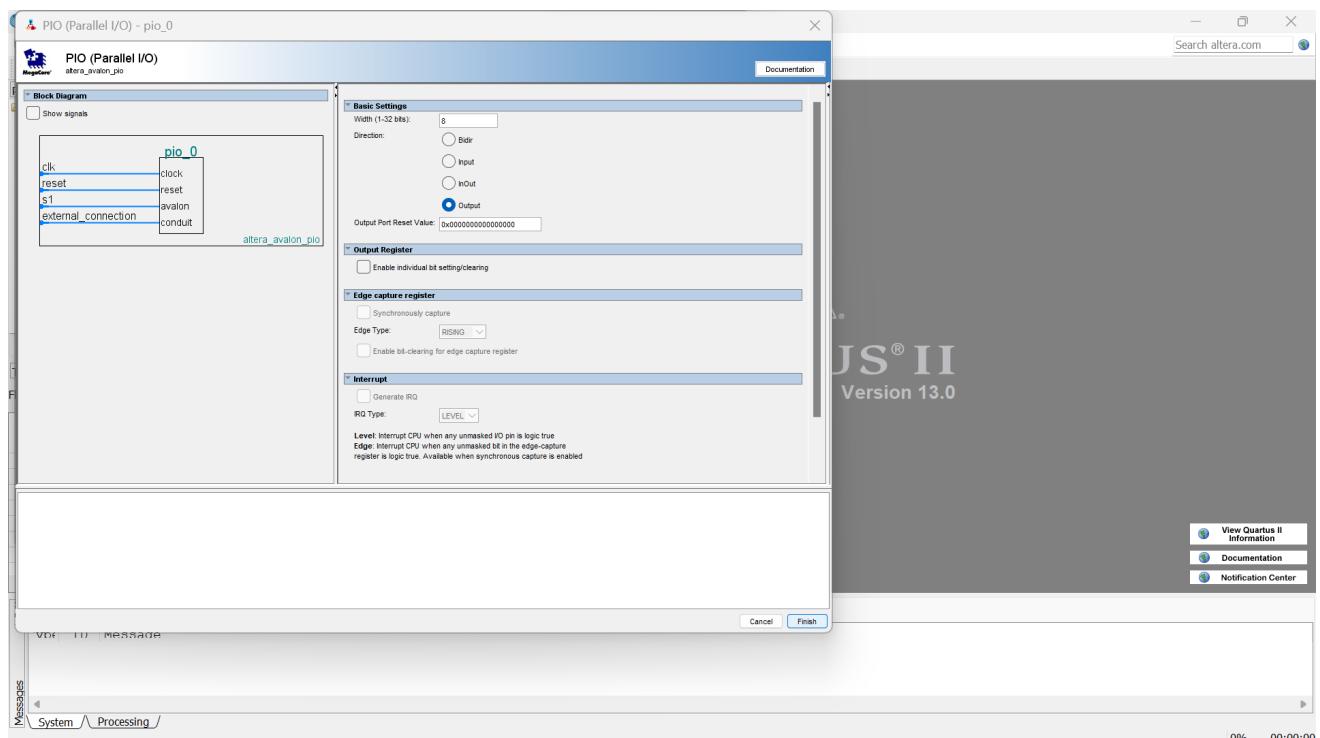
Criação do sistema hardware

- **Passo 1:** Width 4 bits
- **Passo 2:** Input



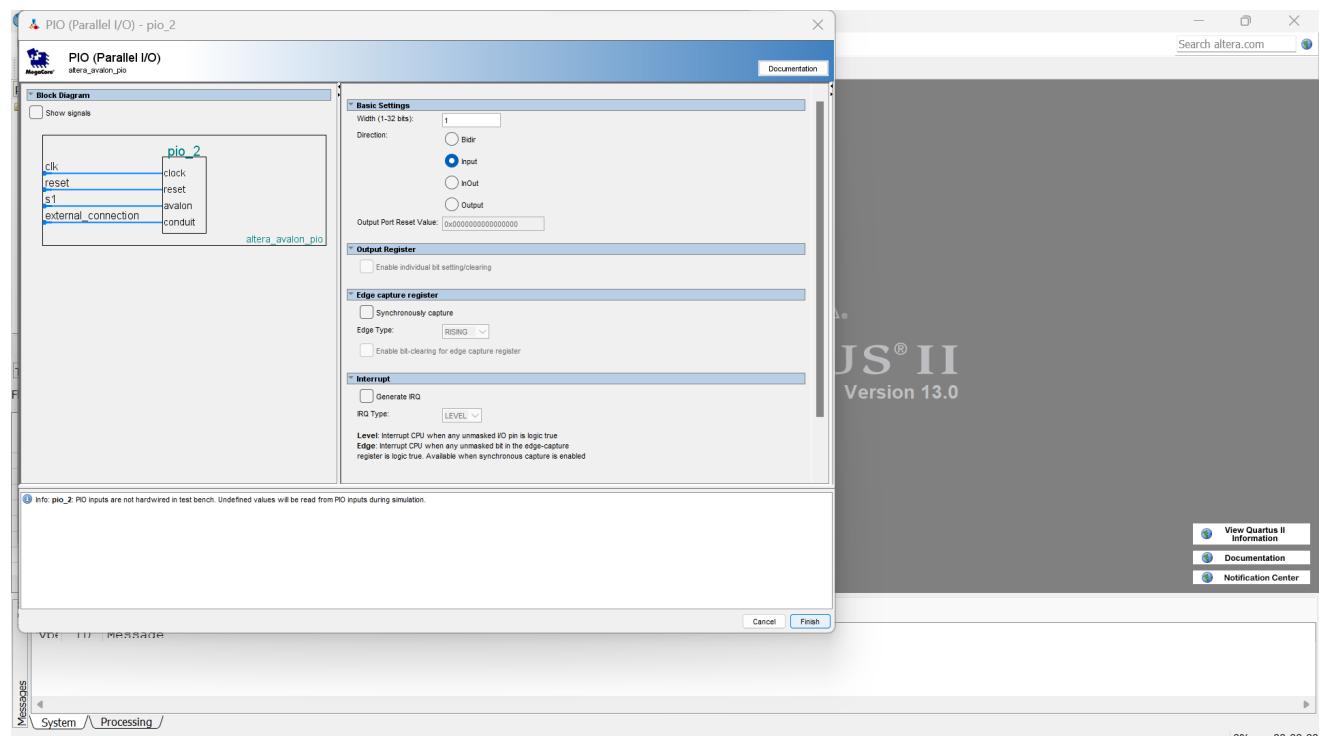
Criação do sistema hardware

- **Passo 1:** Width 8 bits
- **Passo 2:** Output



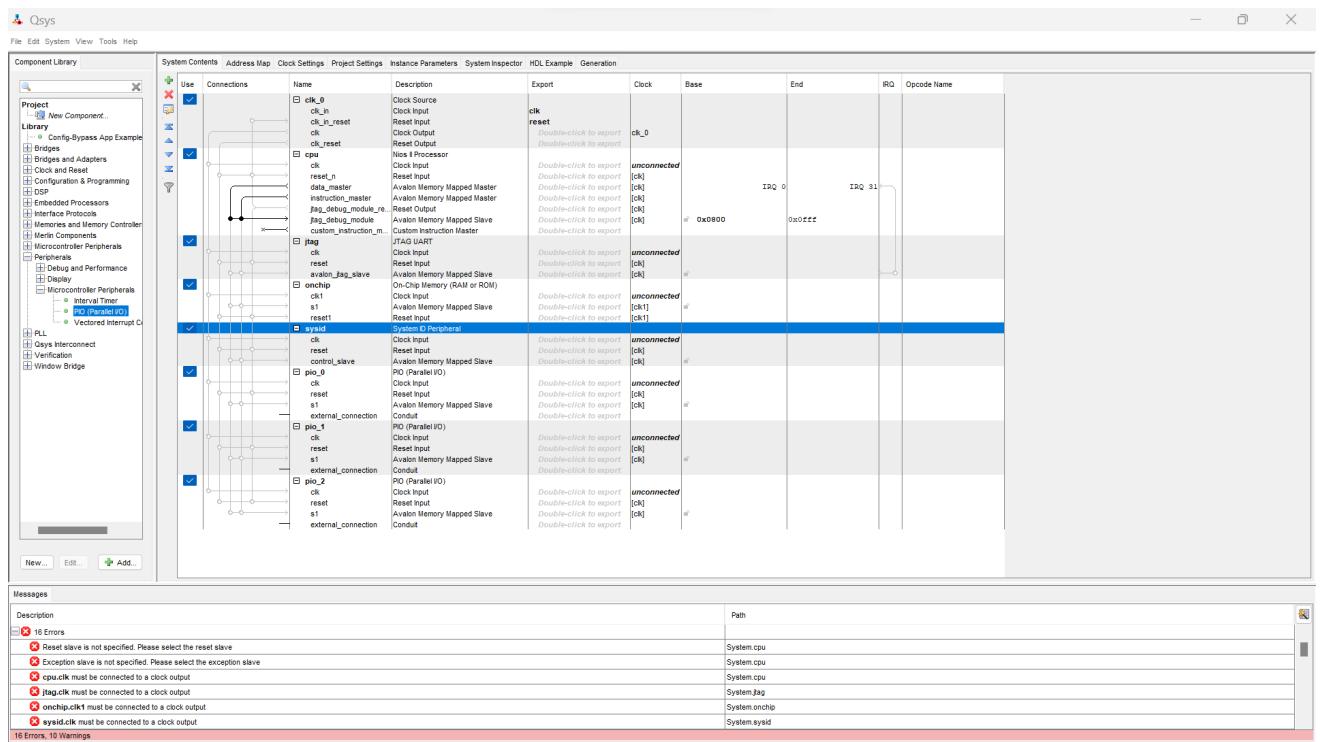
Criação do sistema hardware

- **Passo 1:** Width 1 bit
- **Passo 2:** Input



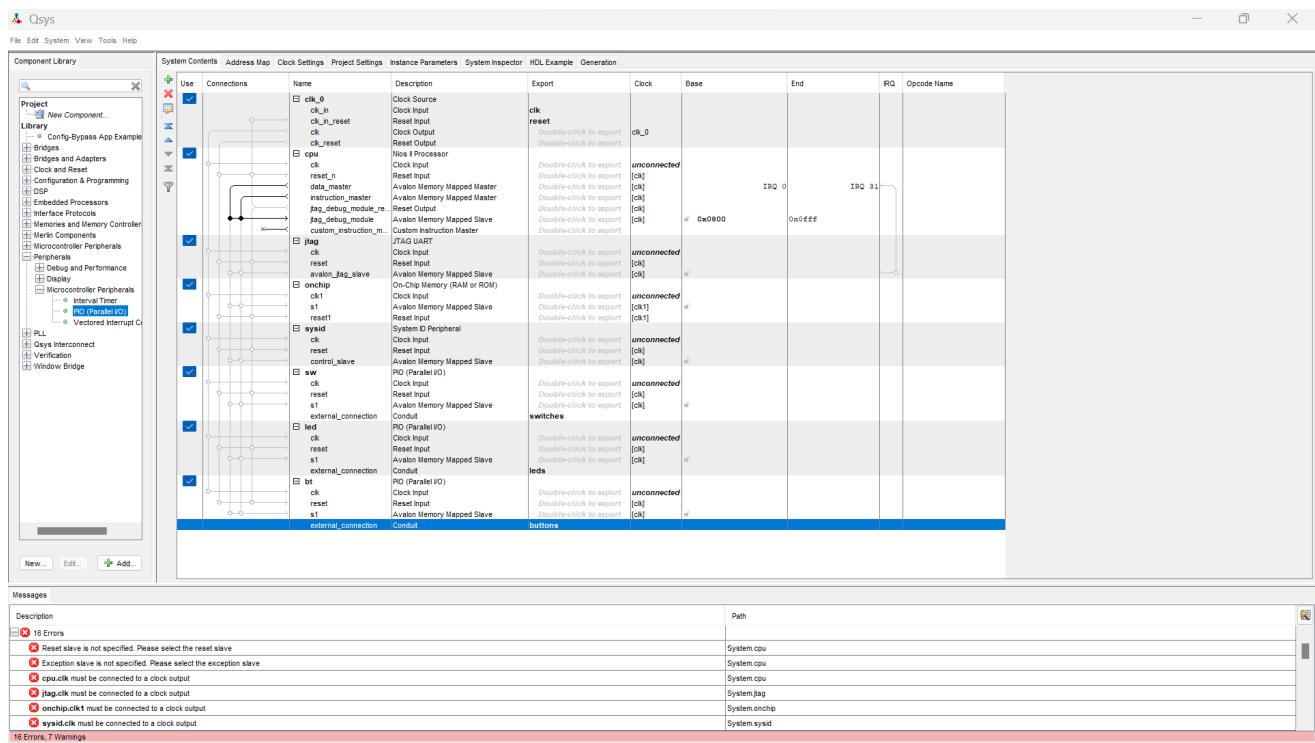
Criação do sistema hardware

- **Passo 1:** Renomear como sw
- **Passo 2:** Renomear como led
- **Passo 2:** Renomear como bt



Criação do sistema hardware

- **Passo 1:** External connection-> switches
- **Passo 2:** External connection-> leds
- **Passo 2:** External connection-> buttons



Criação do sistema hardware

Objetivos

Introdução

Configuração do NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Gereate VHDL ou verilog

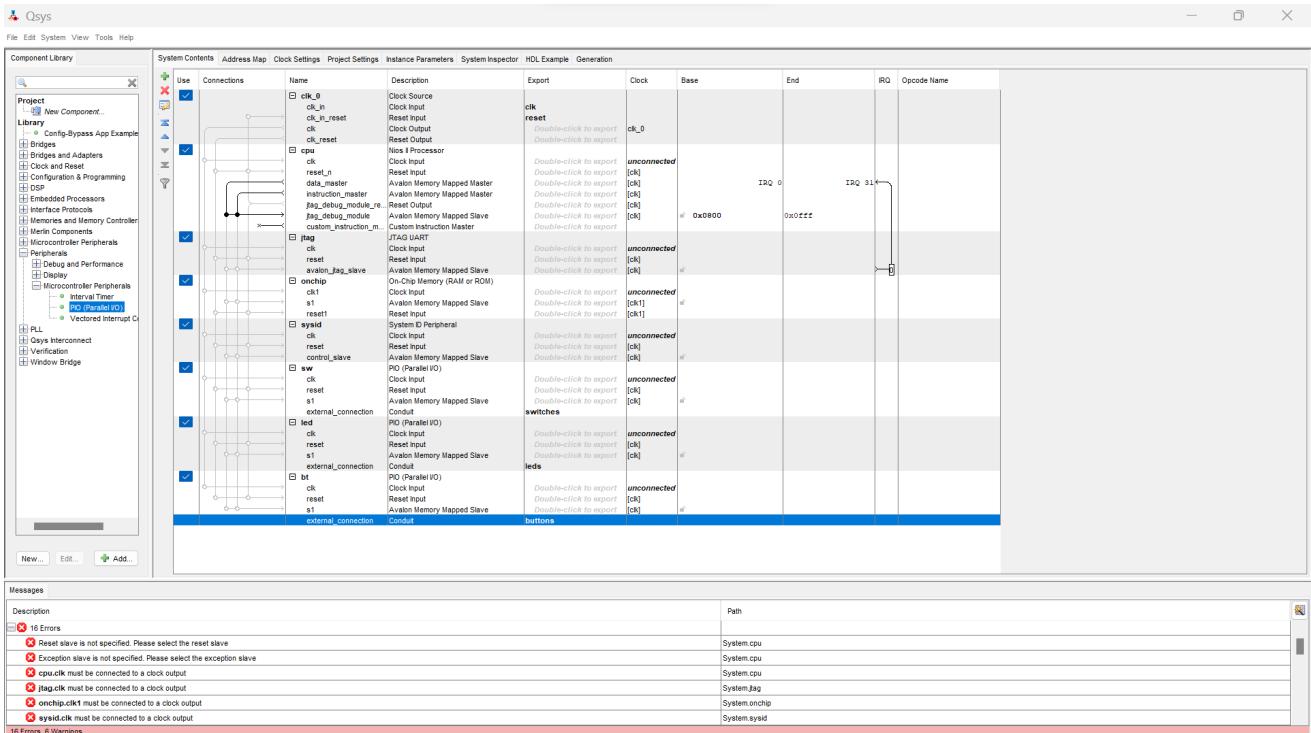
Compilação

Programação

Eclipse

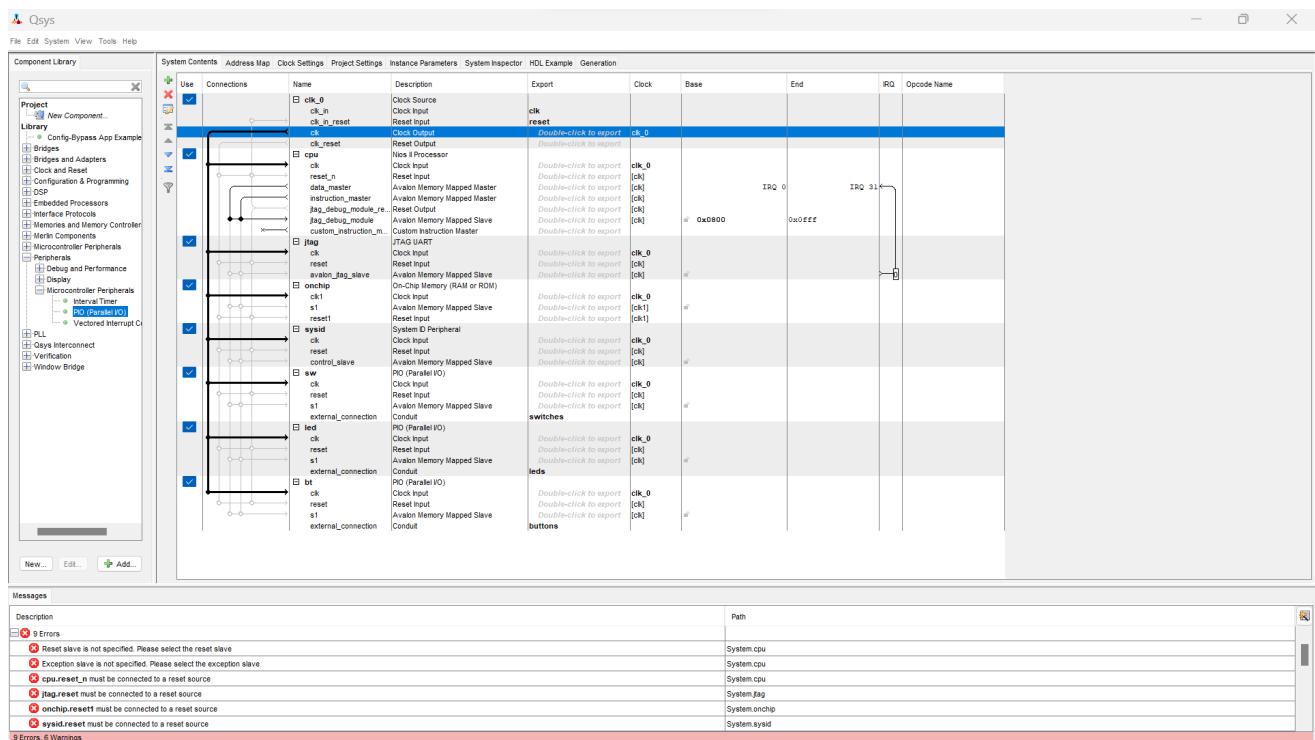
Agradecimentos

● Passo 1: Ligar IRQ com avalon jtag slave



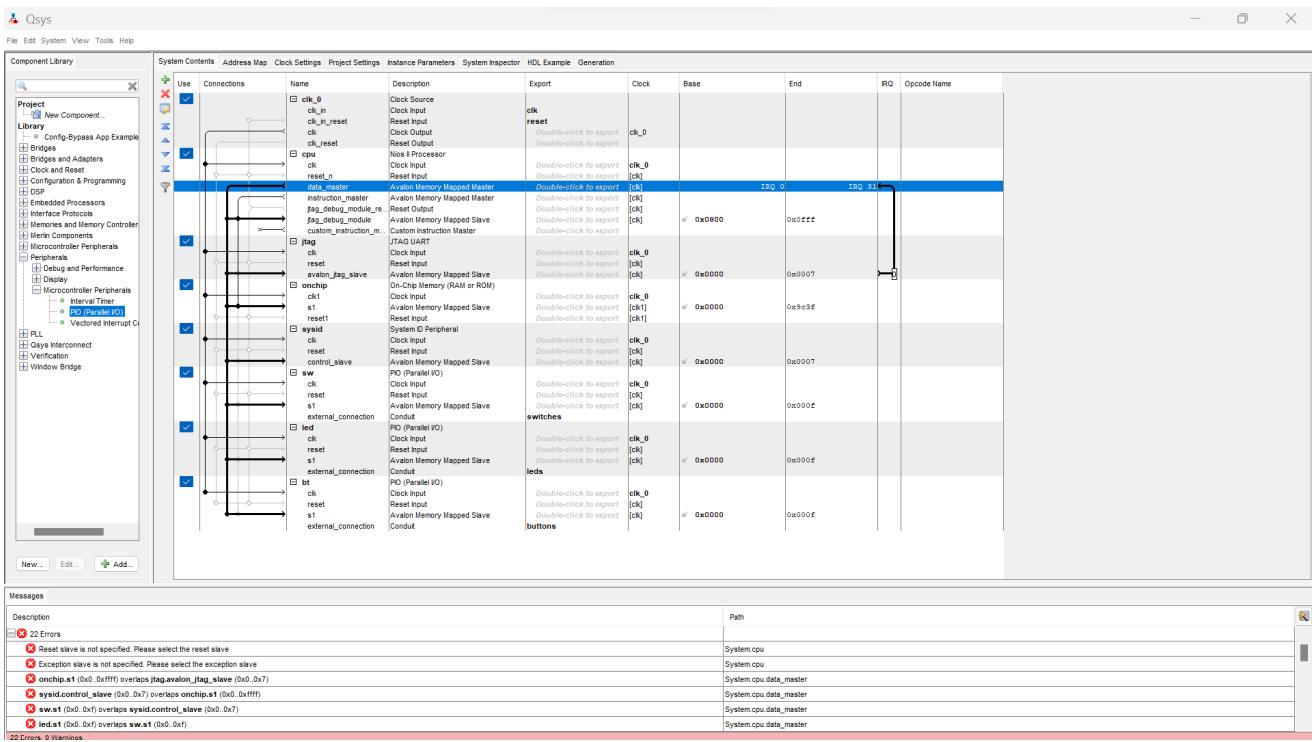
Criação do sistema hardware

Ligar o clock com todos os clocks dos periféricos



Criação do sistema hardware

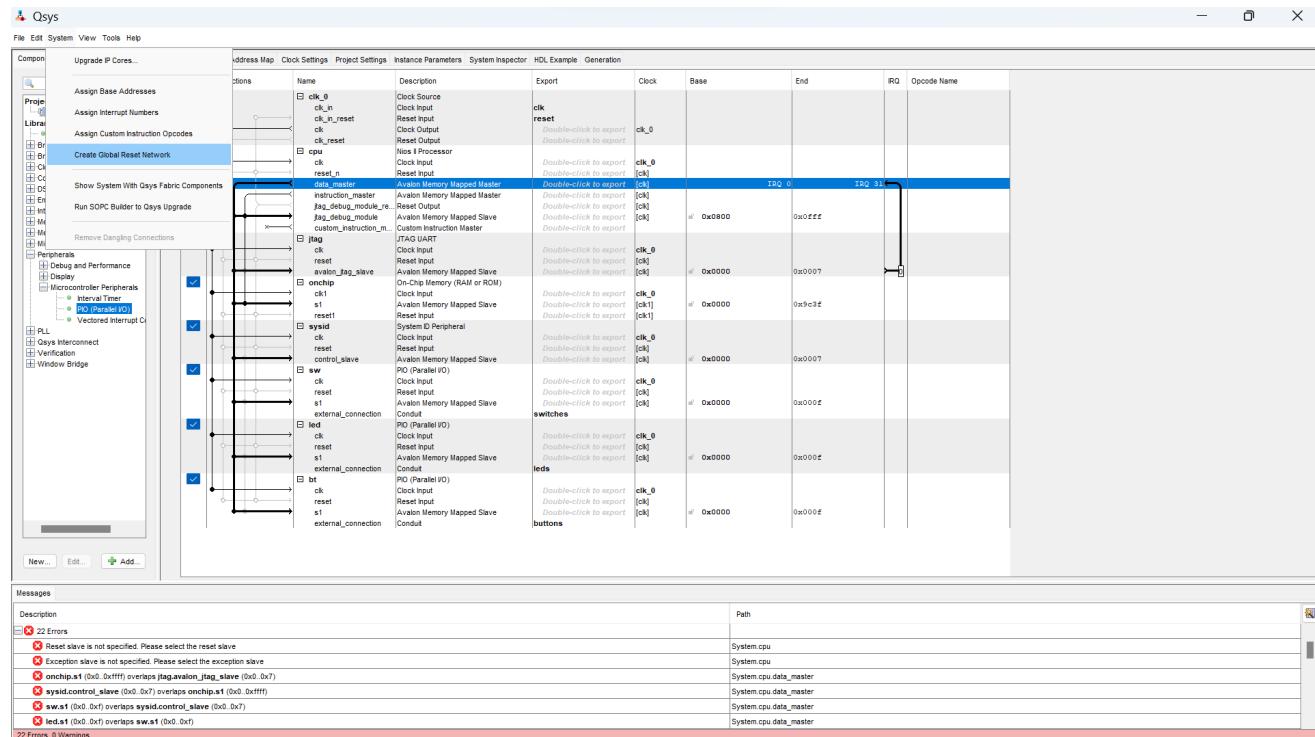
Ligar o data master com todos os slaves/s1



Criação do sistema hardware

● Passo 1: System

● Passo 2: Create Global Reset Network



Criação do sistema hardware

Objetivos

Introdução

Configuração do NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

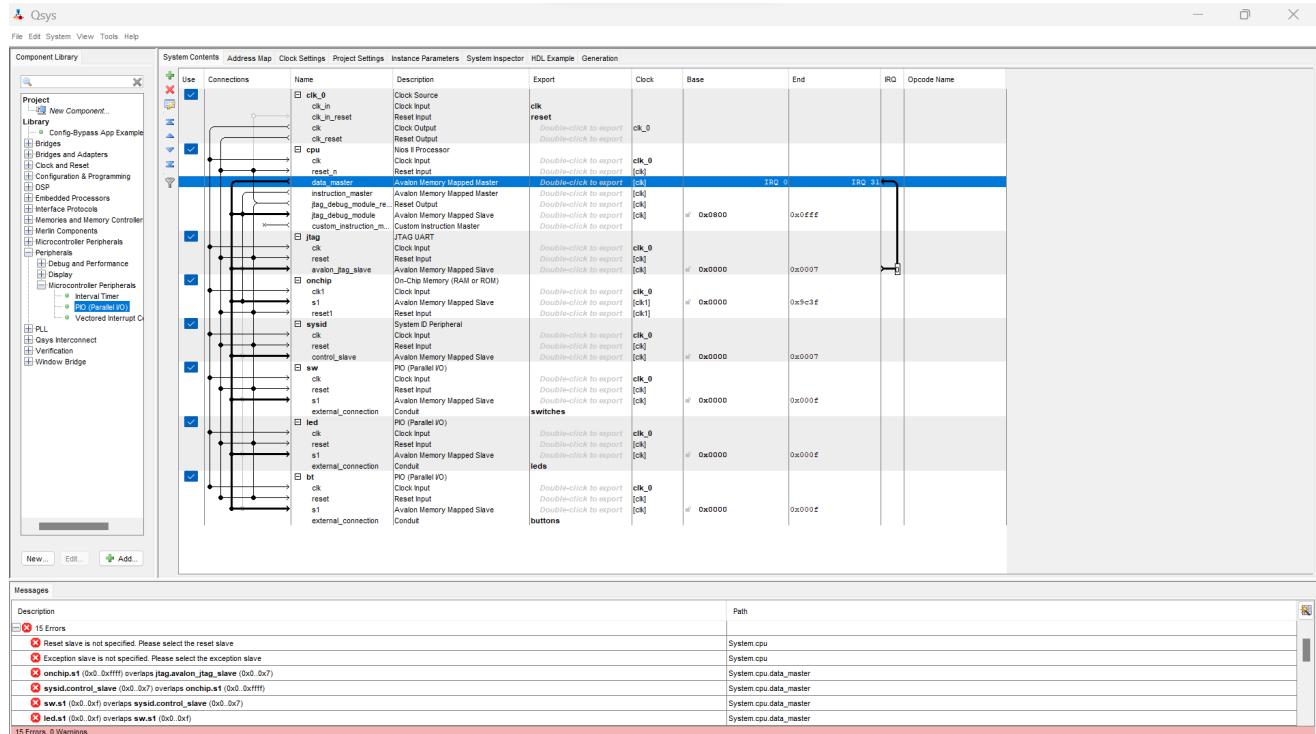
Gereate VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Generate VHDL ou verilog

Compilação

Programação

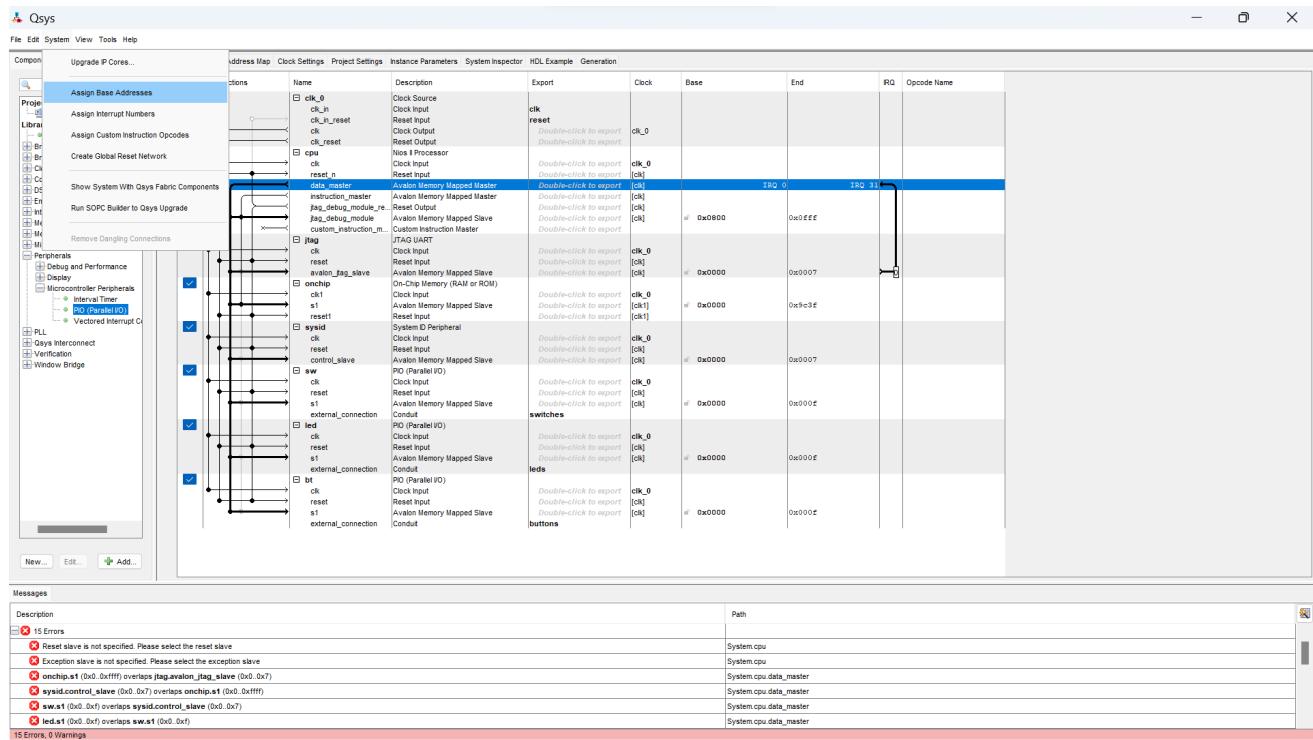
Eclipse

Agradecimentos

Criação do sistema hardware

● Passo 1: System

● Passo 2: Assign Base Addresses



Criação do sistema hardware

Objetivos

Introdução

Configuração do NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

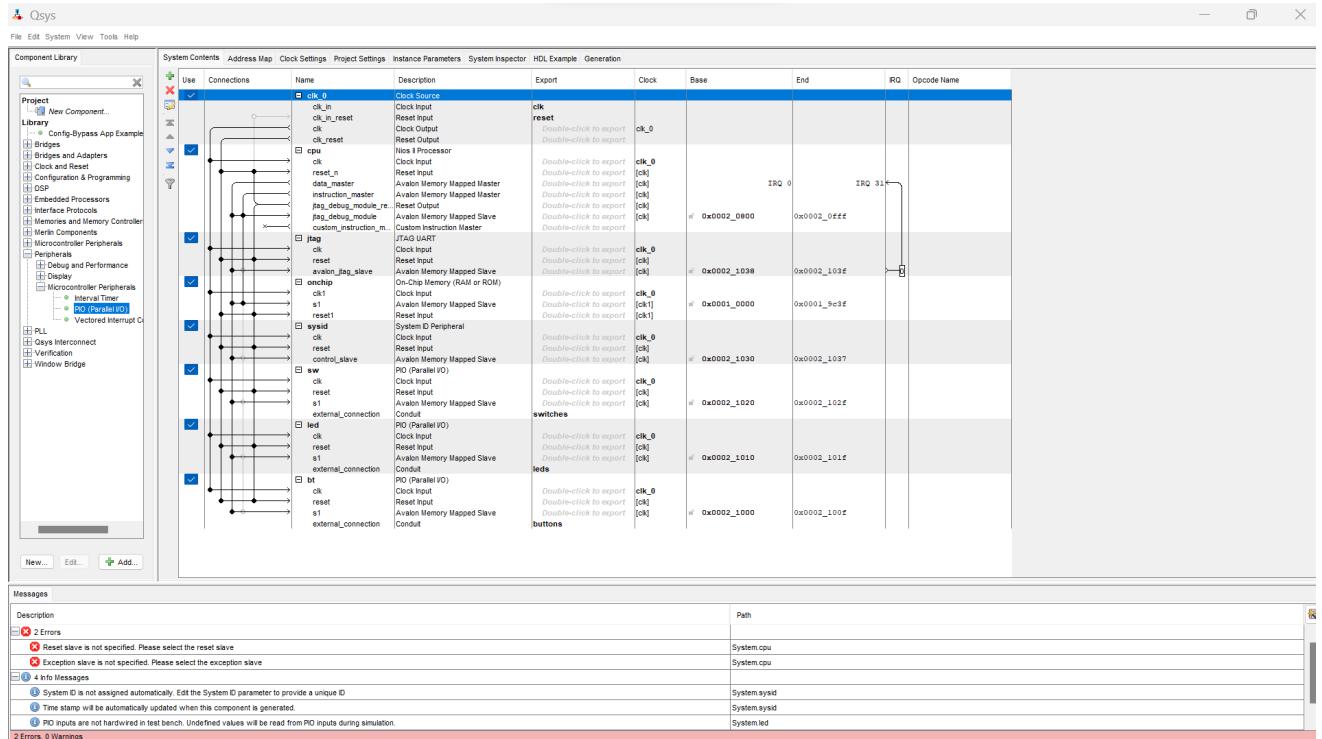
Gereate VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos

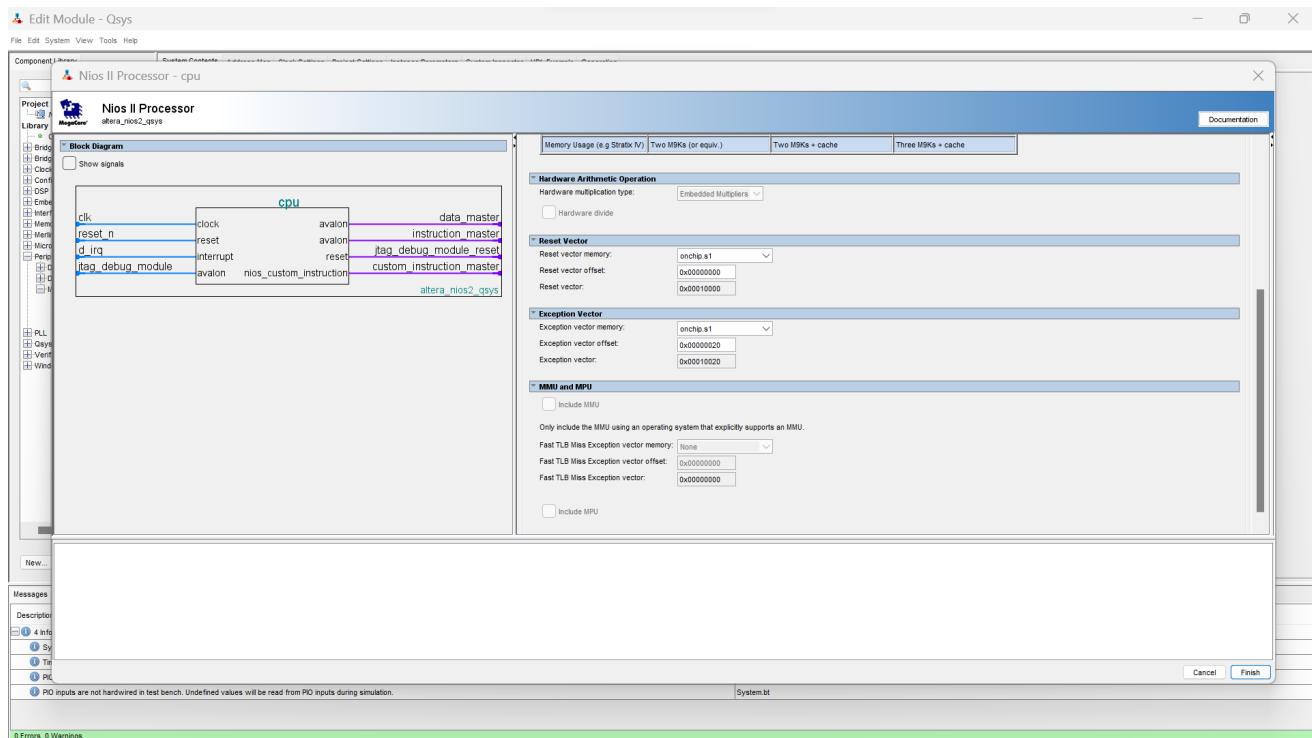


Criação do sistema hardware

- **Passo 1:** cpu

- **Passo 2:** Reset Vector-> Reset Vector Memory-> onchip.s1

- **Passo 2:** Exception Vector-> Exception Vector Memory-> onchip.s1



Criação do sistema hardware

Objetivos

Introdução

Configuração do NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

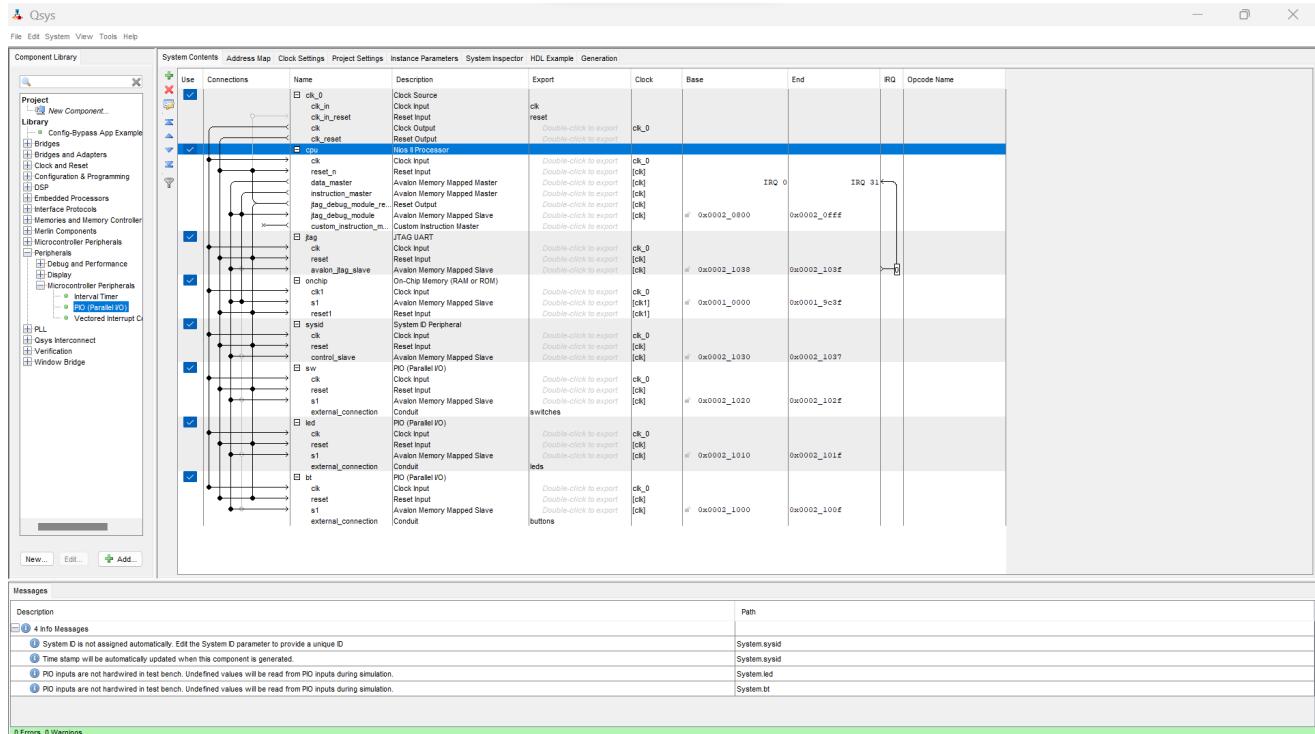
Gereate VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos



Coprojeto Hardware/Software

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

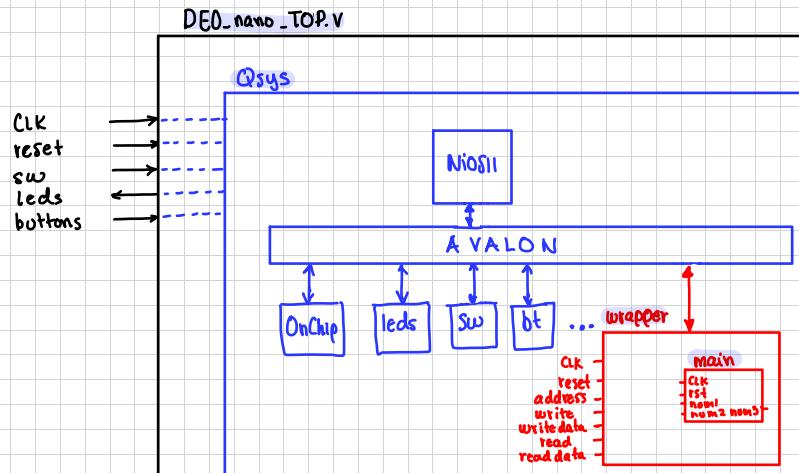
Generate VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos



Coprojeto Hardware/Software

Adicionar ao projeto do Quartus II os arquivos **main.vhd** e **wrapper.vhd**.

The screenshot shows the Quartus II 64-Bit software interface. The Project Navigator pane displays files: wrapper_avalon.vhd, main.vhd, nios_qsys.qsys, and DE0_NANO_TOP.v. The main editor pane shows VHDL code for an architecture named syn:

```
begin
  if (rising_edge(CLOCK_50)) then
    if reset = '1' then
      num3<=(others => '0');
    else
      num3<=num1+num2;
    end if;
  end if;

end process;

end architecture syn;
```

The Tasks pane shows a tree view with options like Compile Design, Analysis & Synthesis, and Partition Merge. The Messages pane at the bottom indicates no errors or warnings.

Coprojeto Hardware/Software

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Gere VHDL ou verilog

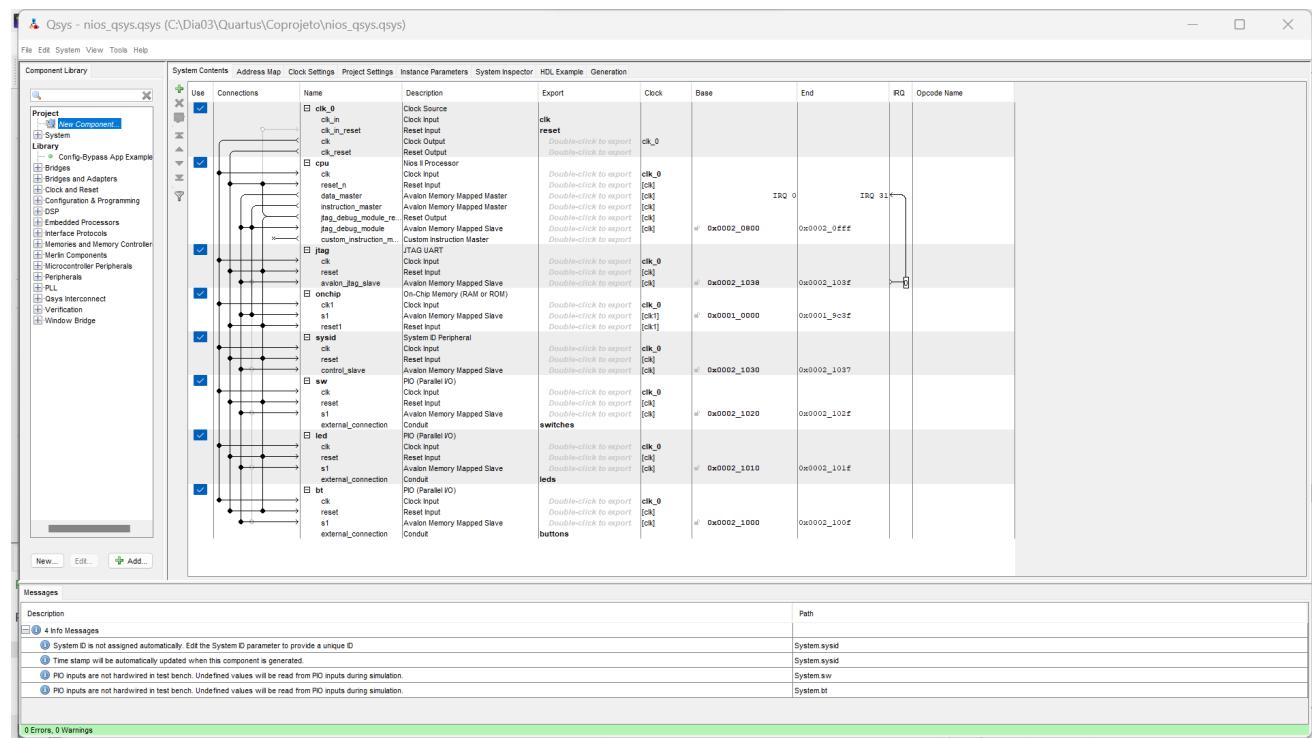
Compilação

Programação

Eclipse

Agradecimentos

Criar um novo componente no Qsys.



Coprojeto Hardware/Software

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Gere VHDL ou verilog

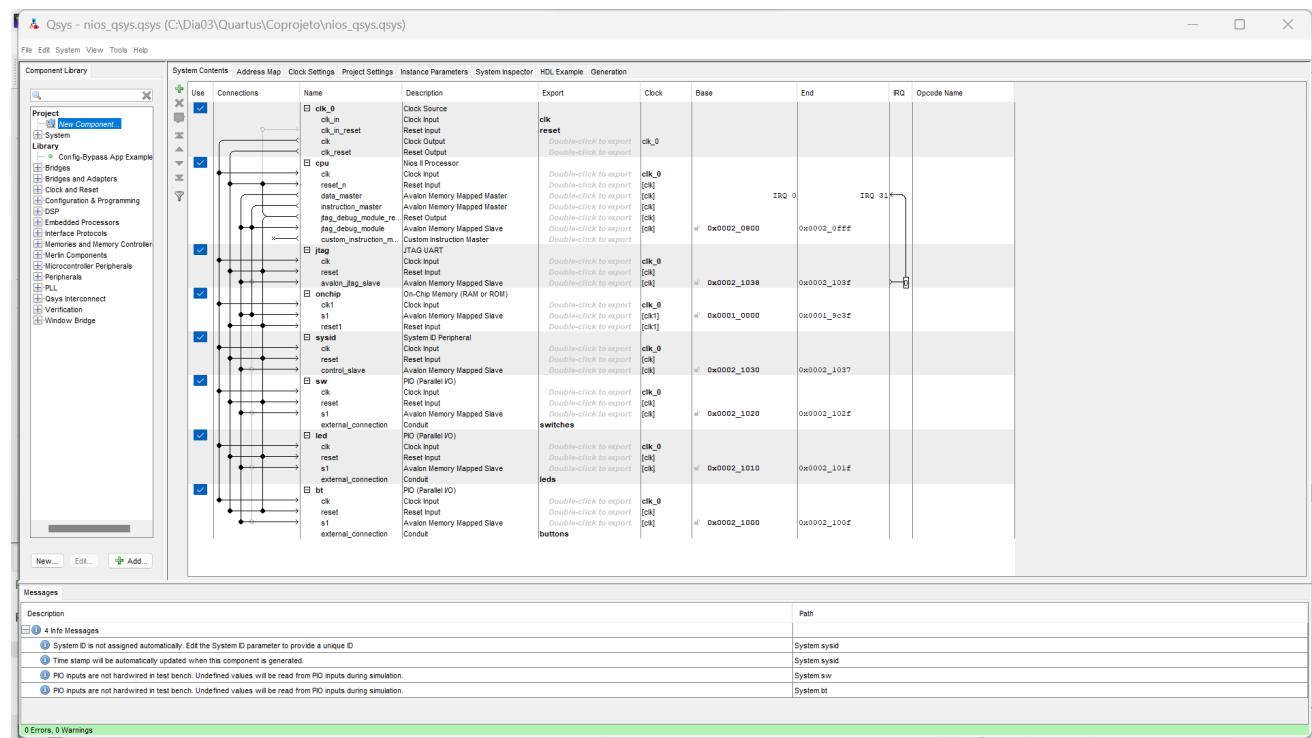
Compilação

Programação

Eclipse

Agradecimentos

Criar um novo componente no Qsys.



Coprojeto Hardware/Software

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

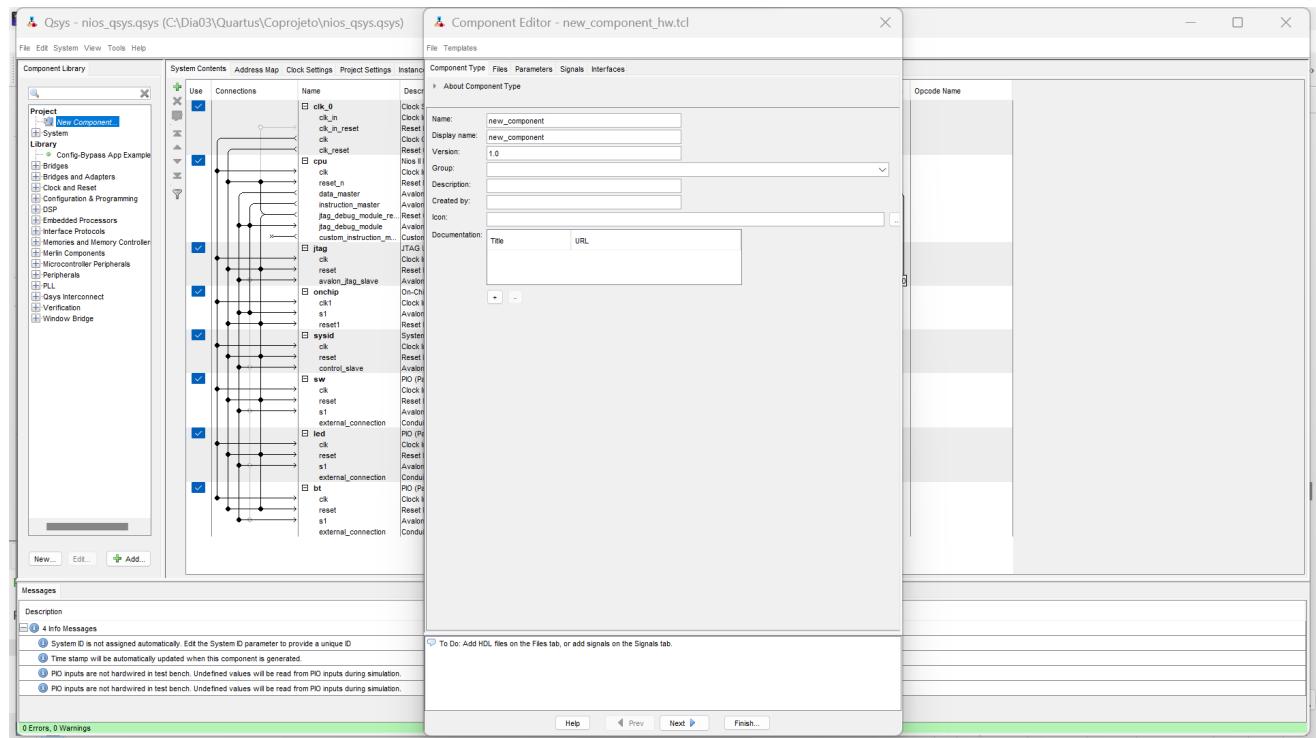
Generate VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos



Coprojeto Hardware/Software

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Generate VHDL ou verilog

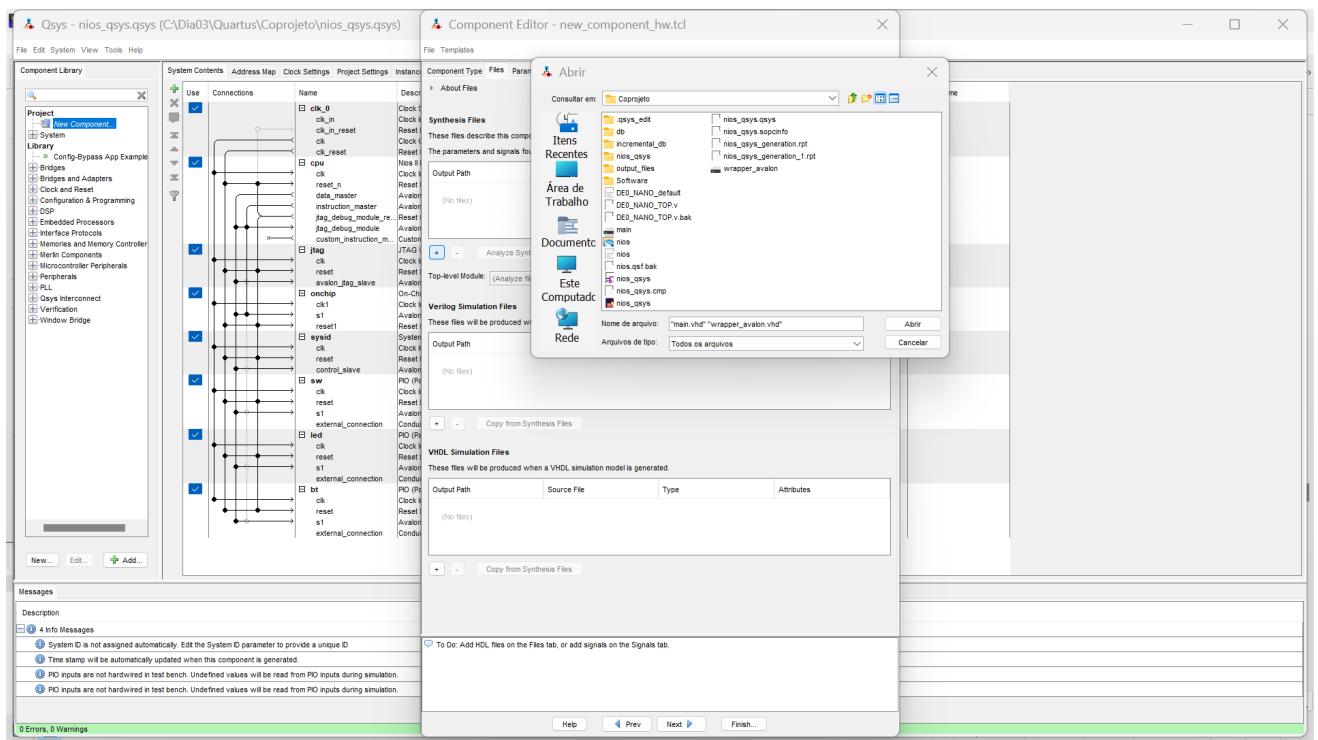
Compilação

Programação

Eclipse

Agradecimentos

- **Passo 1:** Files-> Synthesis Files-> Adicionar os arquivos **main.vhd** e **wrapper.vhd**
- **Passo 2:** Escolher o arquivo **wrapper.vhd** como TOP



Coprojeto Hardware/Software

Objetivos

Introdução

Configuração do NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Gere VHDL ou verilog

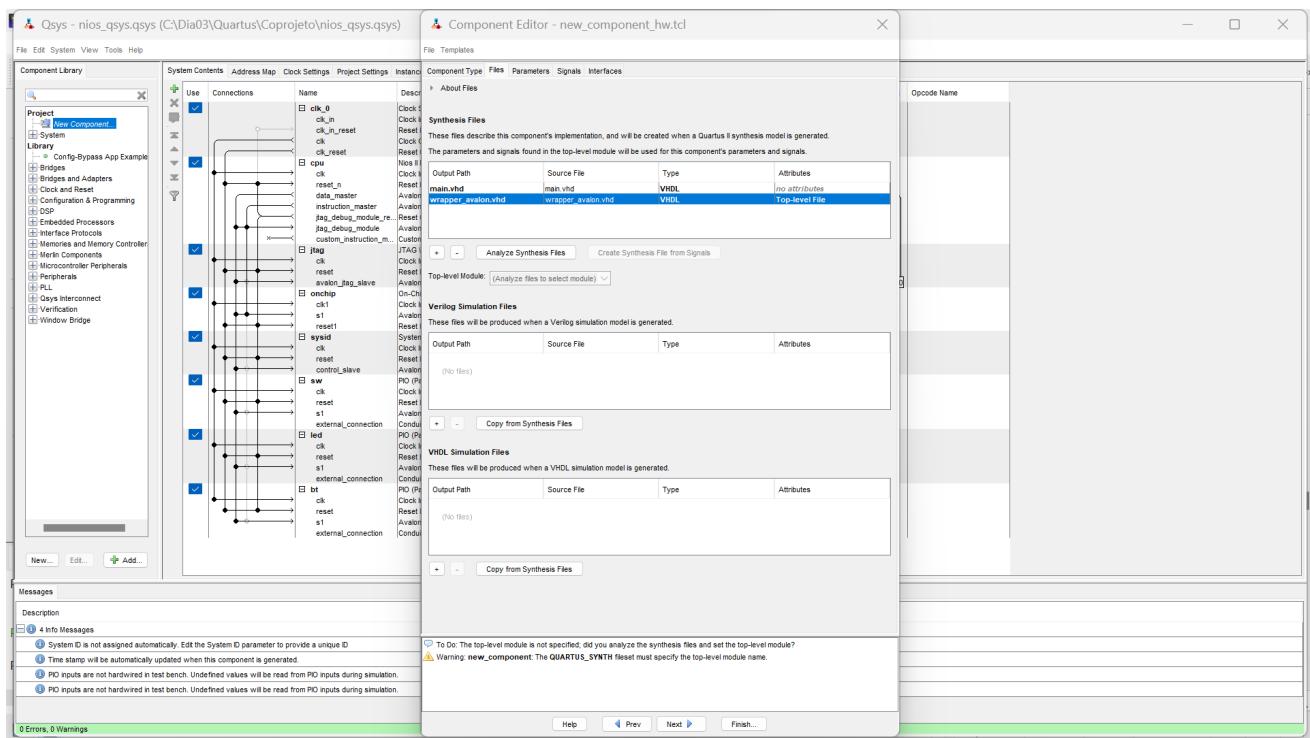
Compilação

Programação

Eclipse

Agradecimentos

● Passo 1: Analyze Synthesis Files



Coprojeto Hardware/Software

Objetivos

Introdução

Configuração do NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

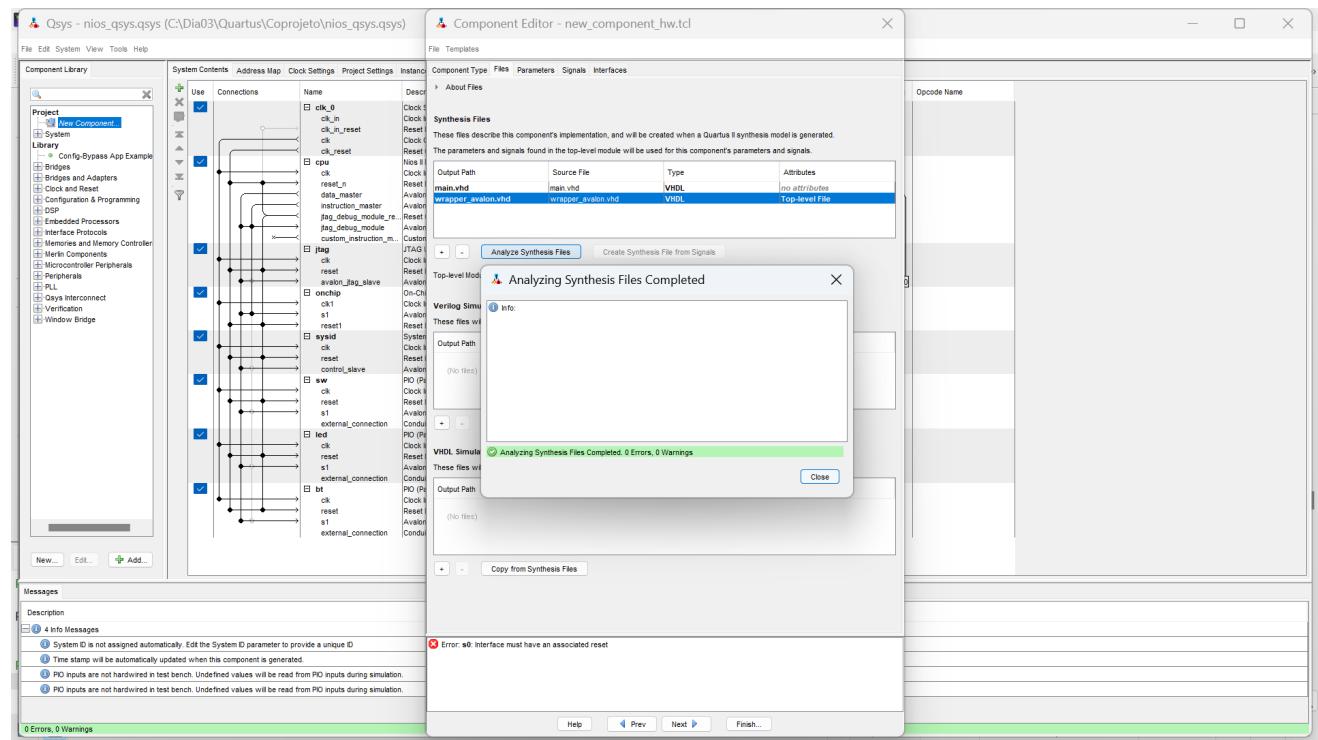
Gerar VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos



Coprojeto Hardware/Software

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Gere VHDL ou verilog

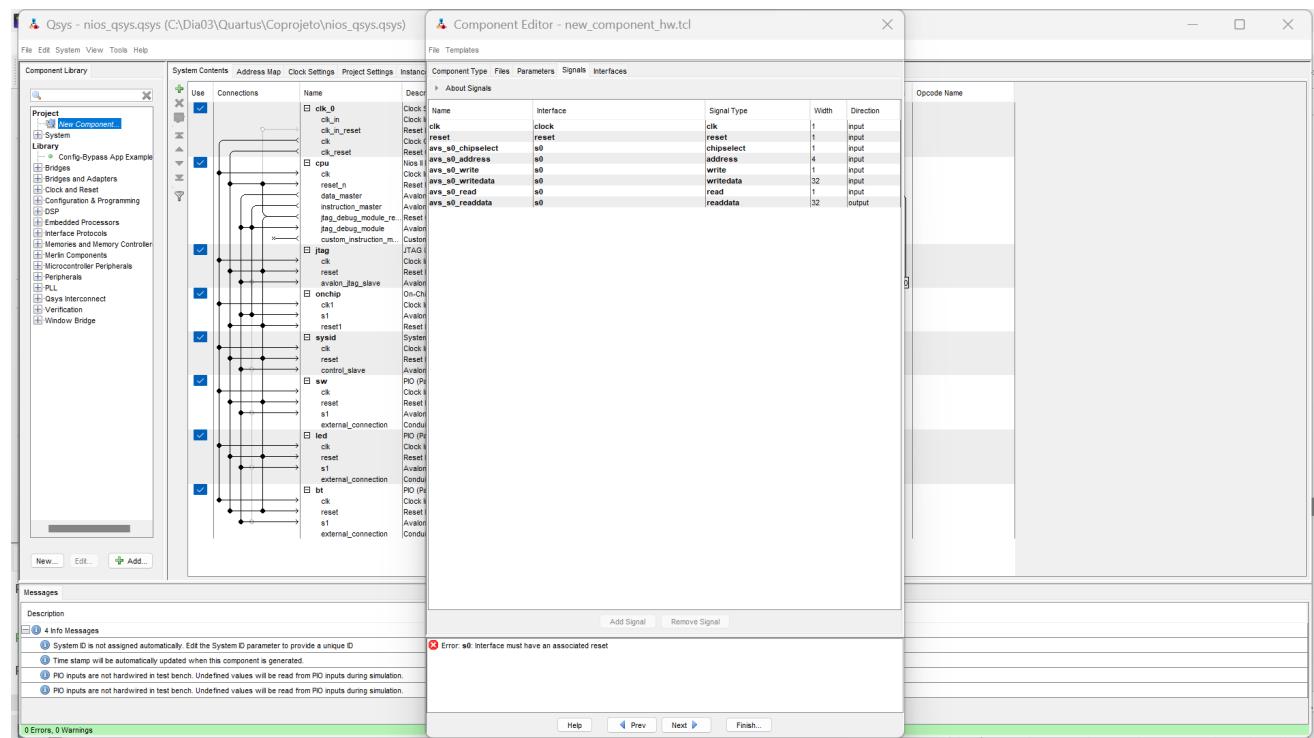
Compilação

Programação

Eclipse

Agradecimentos

Ir para Signals.



Coprojeto Hardware/Software

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Gereate VHDL ou verilog

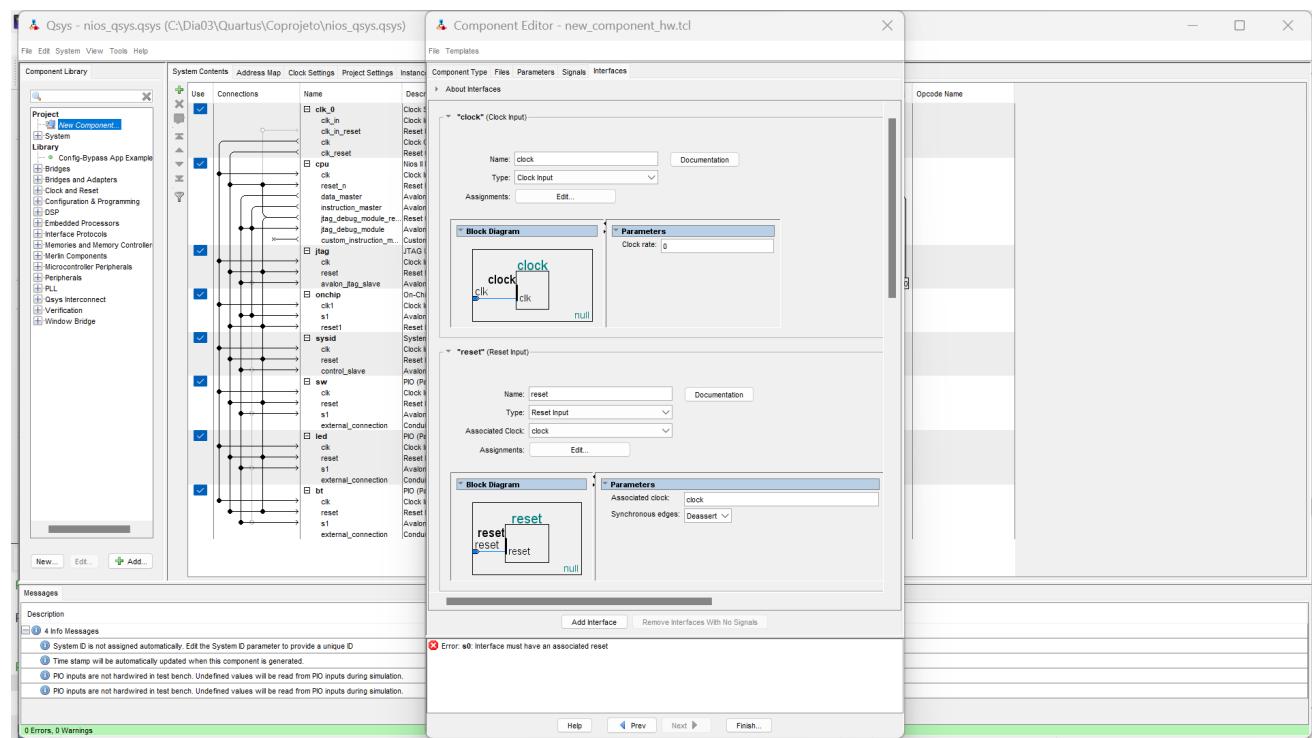
Compilação

Programação

Eclipse

Agradecimentos

Ir para Interfaces.



Coprojeto Hardware/Software

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Gere VHDL ou verilog

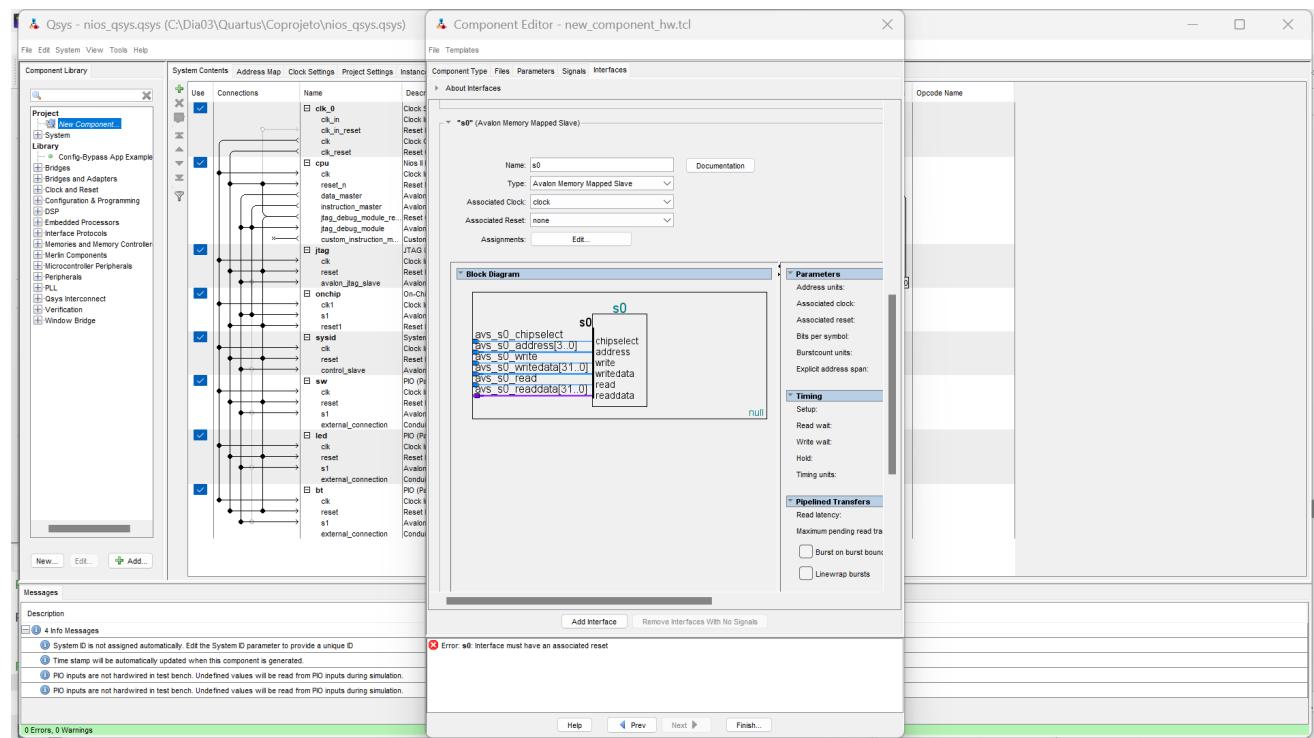
Compilação

Programação

Eclipse

Agradecimentos

Buscar a Opção s0 (Avalon Memory Mapped Slave)



Coprojeto Hardware/Software

Objetivos

Introdução

Configuração do
NIOS IIQsys
NIOS II Processor

JTAG UART

On-Chip Memory
System ID

PIOs

Interconexões

Coprocessador em Hardware
Generate VHDL ou verilog
Compilação
Programação

Eclipse

Agradecimentos

Configurar Associated reset: reset

▼ "s0" (Avalon Memory Mapped Slave)

Name:	s0	Documentation
Type:	Avalon Memory Mapped Slave	▼
Associated Clock:	clock	▼
Associated Reset:	reset	▼
Assignments:	Edit...	

Coprojeto Hardware/Software

Funcionamento das operações de leitura e escrita através do Avalon.

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

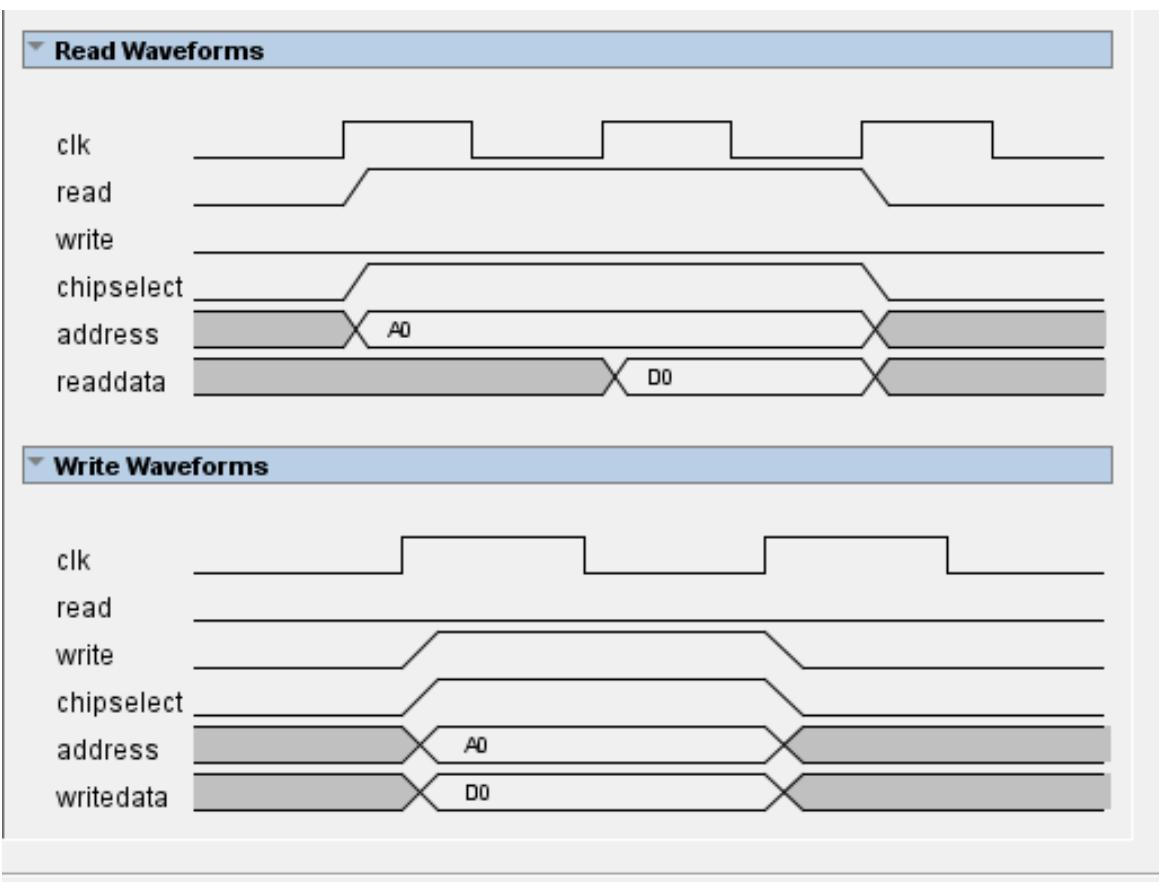
Generate VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos



Coprojeto Hardware/Software

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Gere VHDL ou verilog

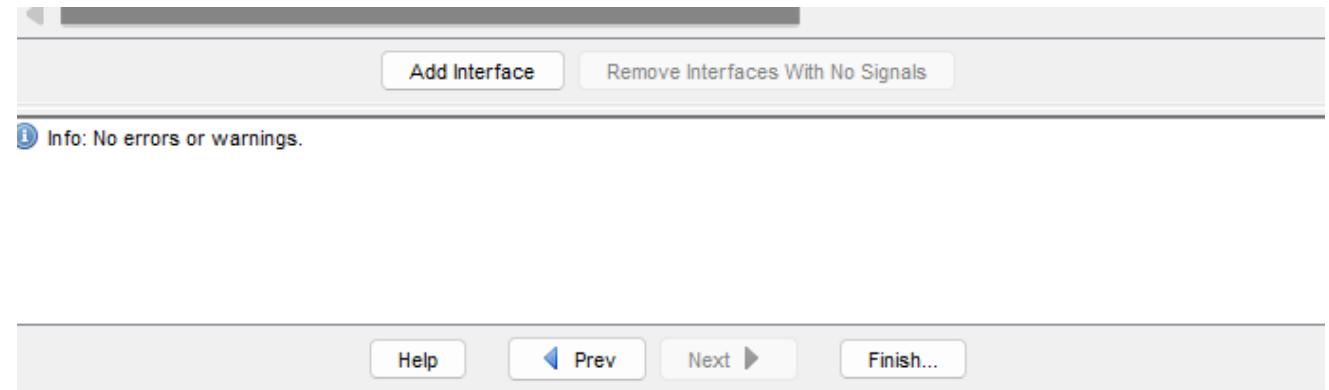
Compilação

Programação

Eclipse

Agradecimentos

Se não houver erros, dar Finish



Yes, save

Coprojeto Hardware/Software

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

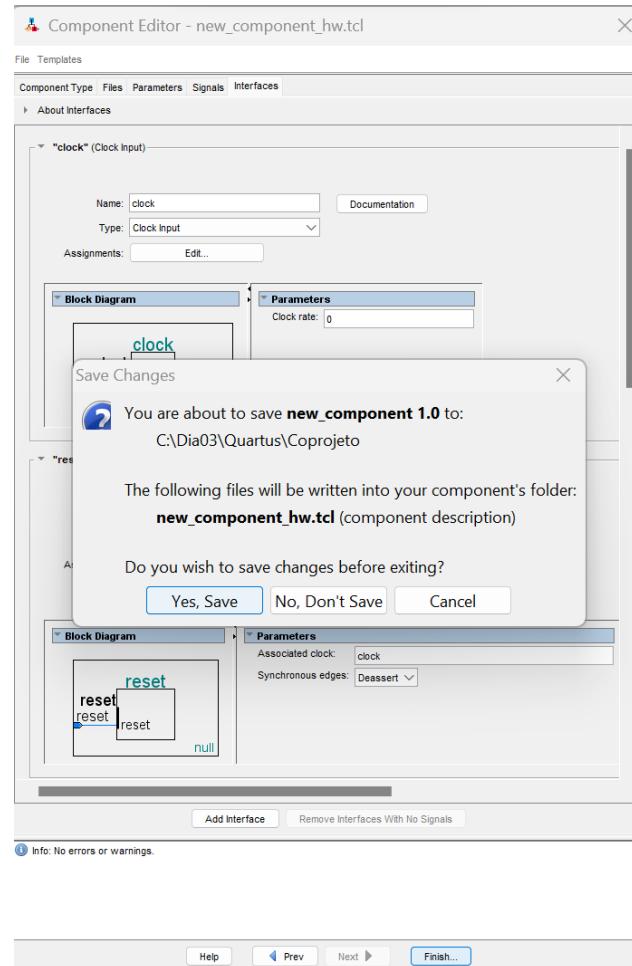
Gere VHDL ou verilog

Compilação

Programação

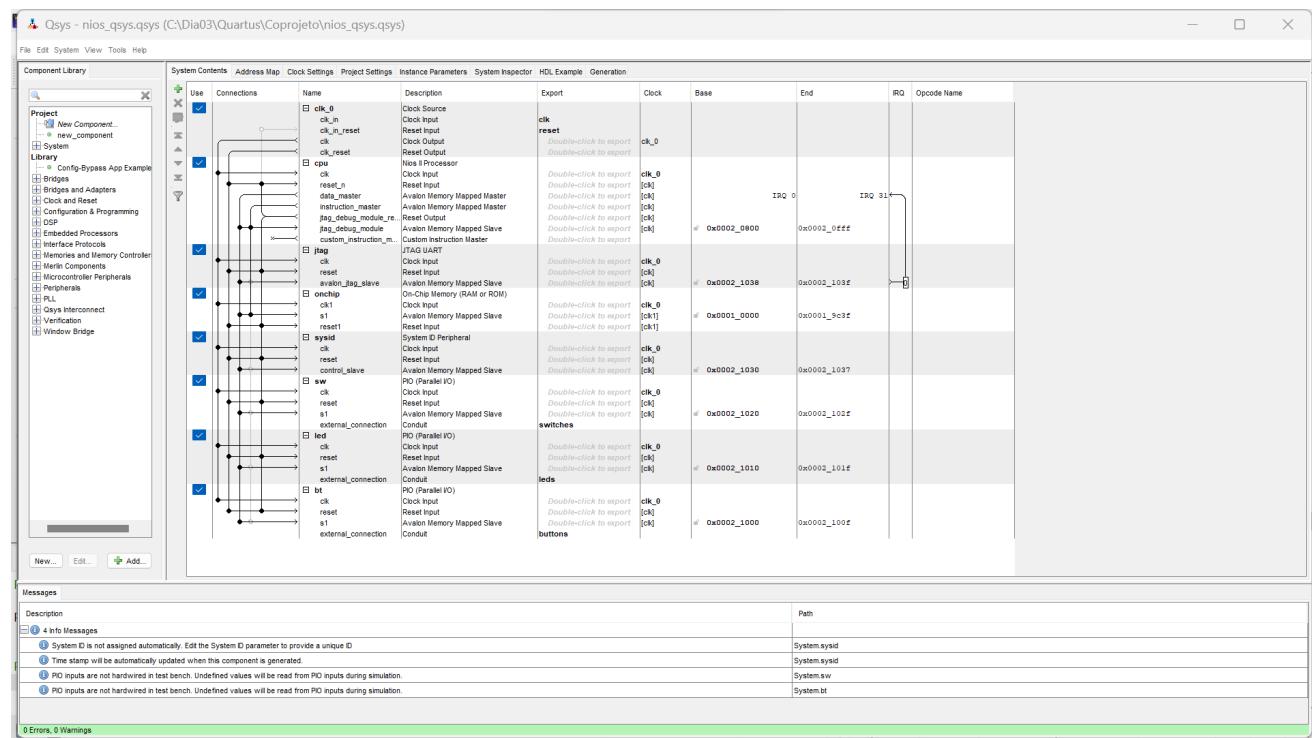
Eclipse

Agradecimentos



Coprojeto Hardware/Software

Adicionar o componente que foi criado.



Coprojeto Hardware/Software

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Gereate VHDL ou verilog

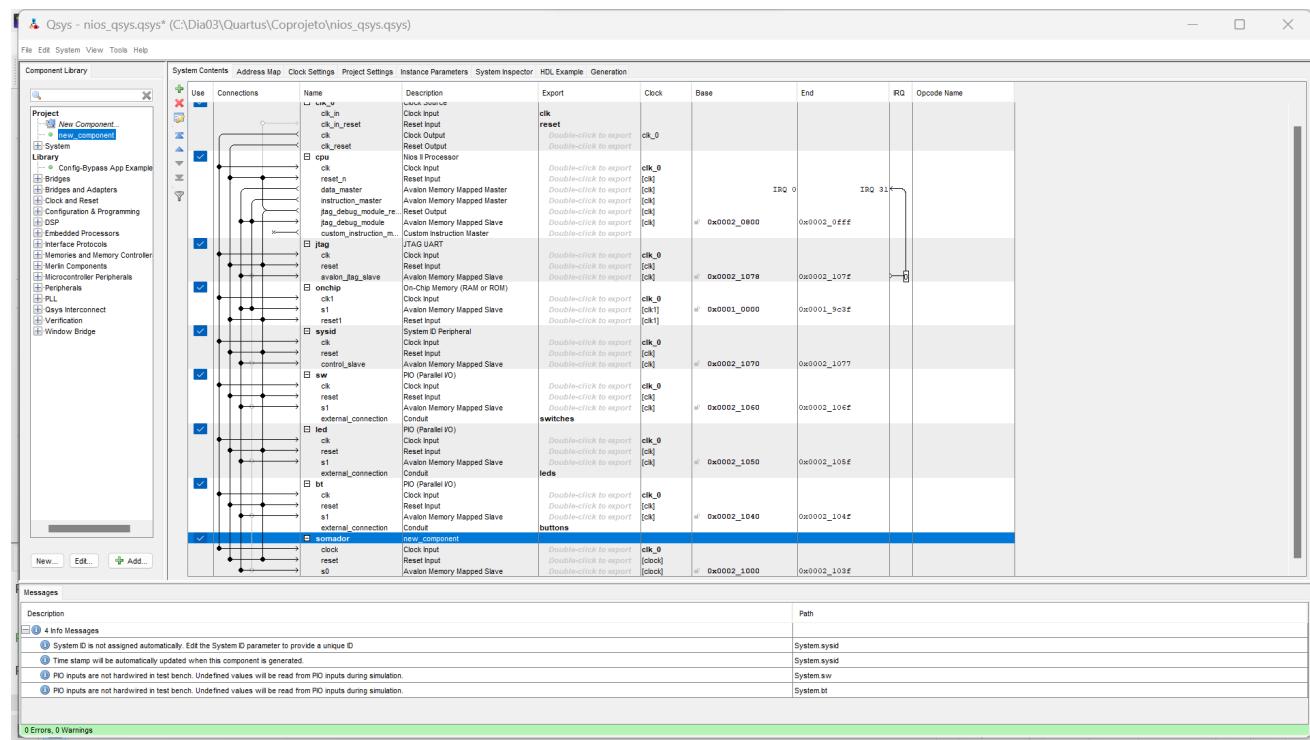
Compilação

Programação

Eclipse

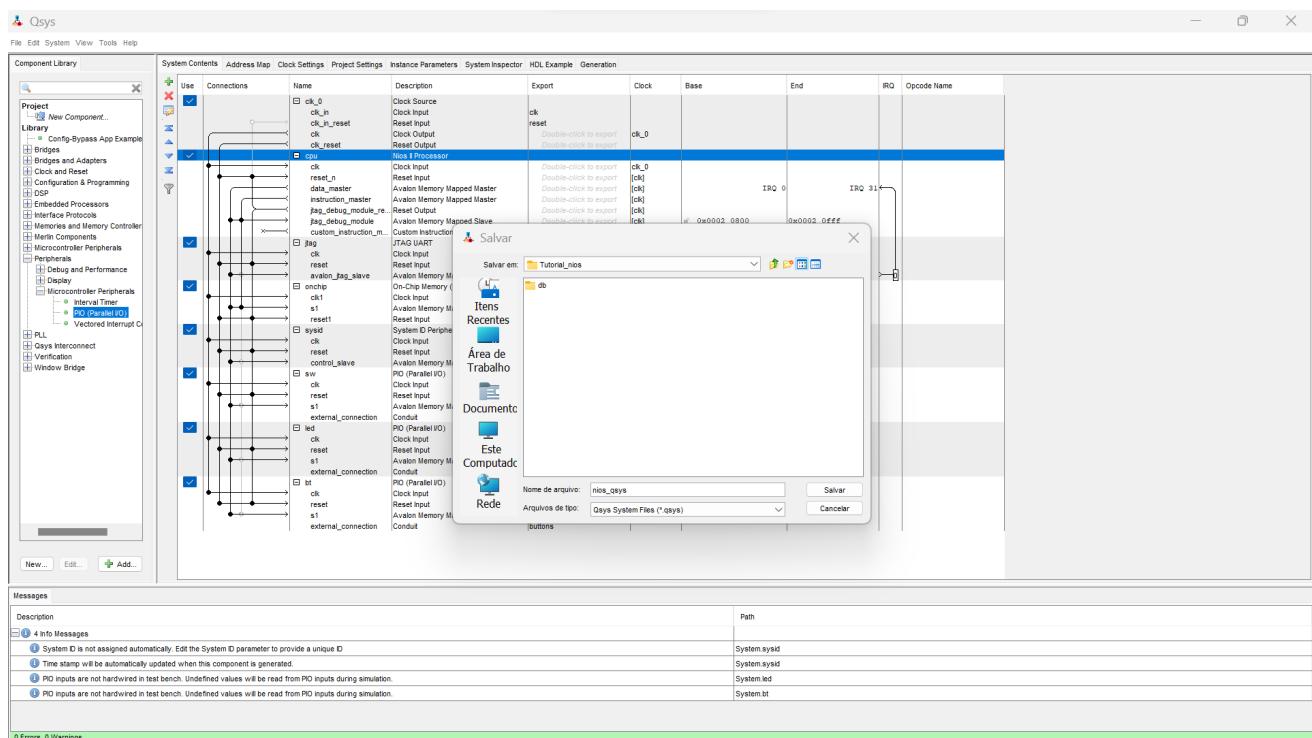
Agradecimentos

Renomear como somador e realizar as ligações do clock, reset e Address



Criação do sistema hardware

Guardar usando o nome nios_qsys



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Gereate VHDL ou verilog

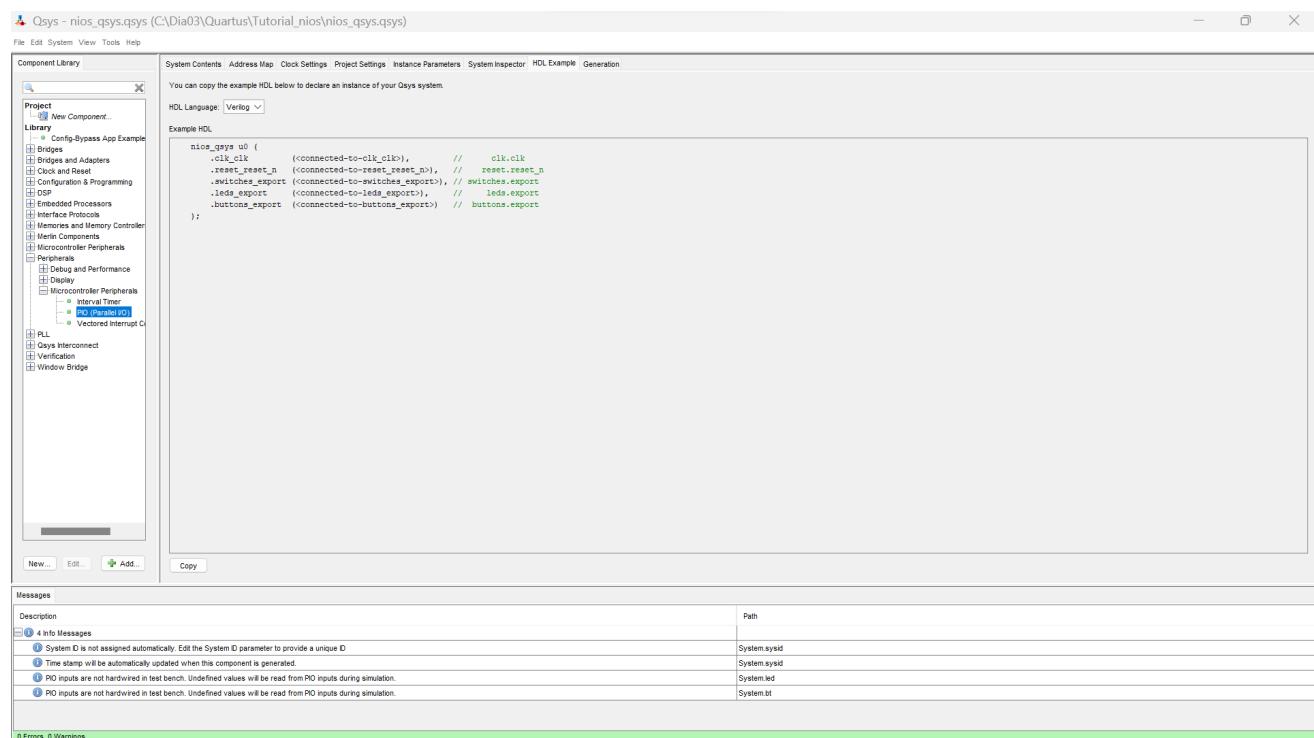
Compilação

Programação

Eclipse

Agradecimentos

Entidade do arquitetura em verilog



Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Generate VHDL ou verilog

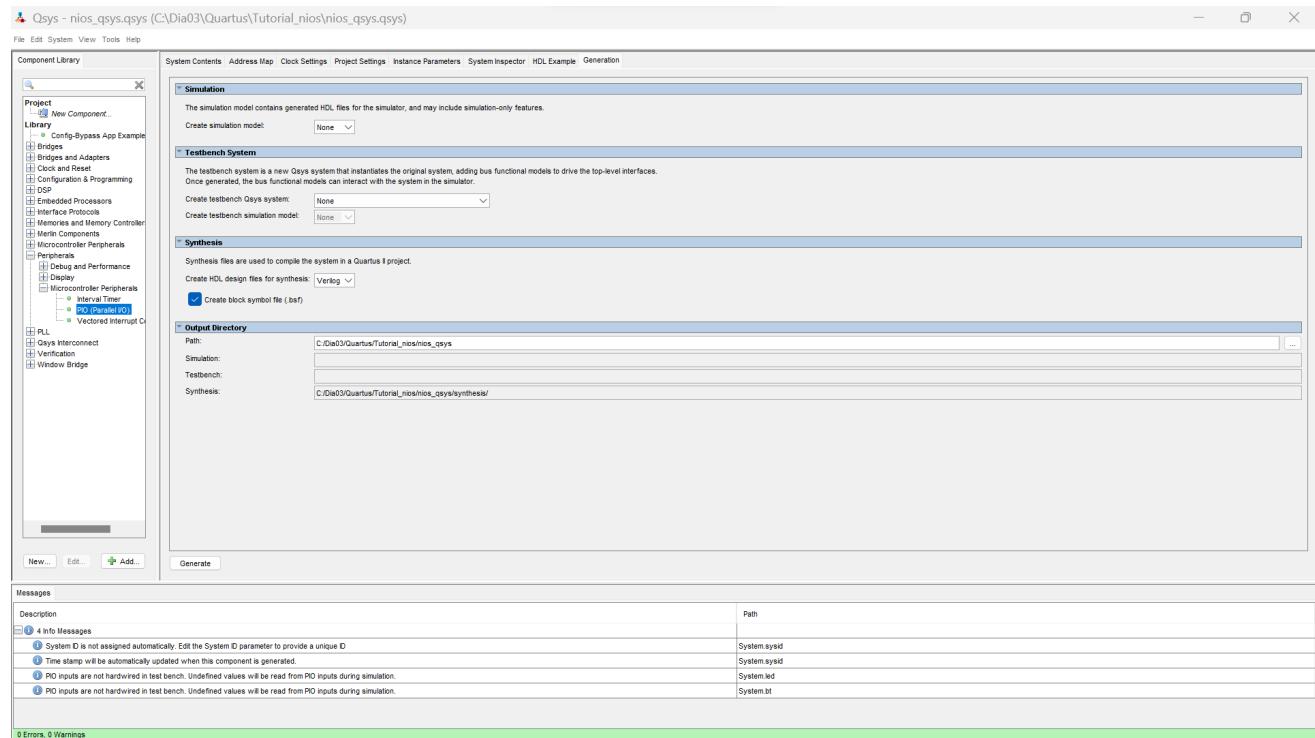
Compilação

Programação

Eclipse

Agradecimentos

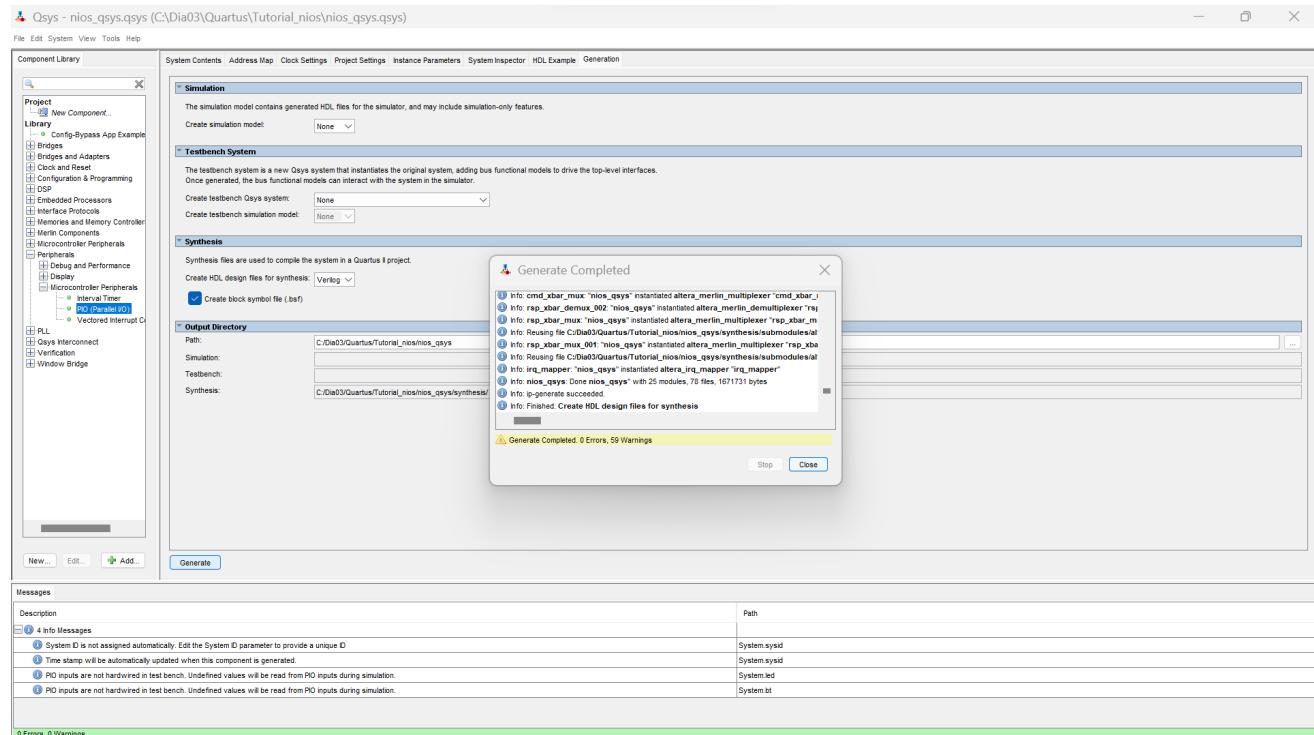
● Passo 1: Generate



Criação do sistema hardware

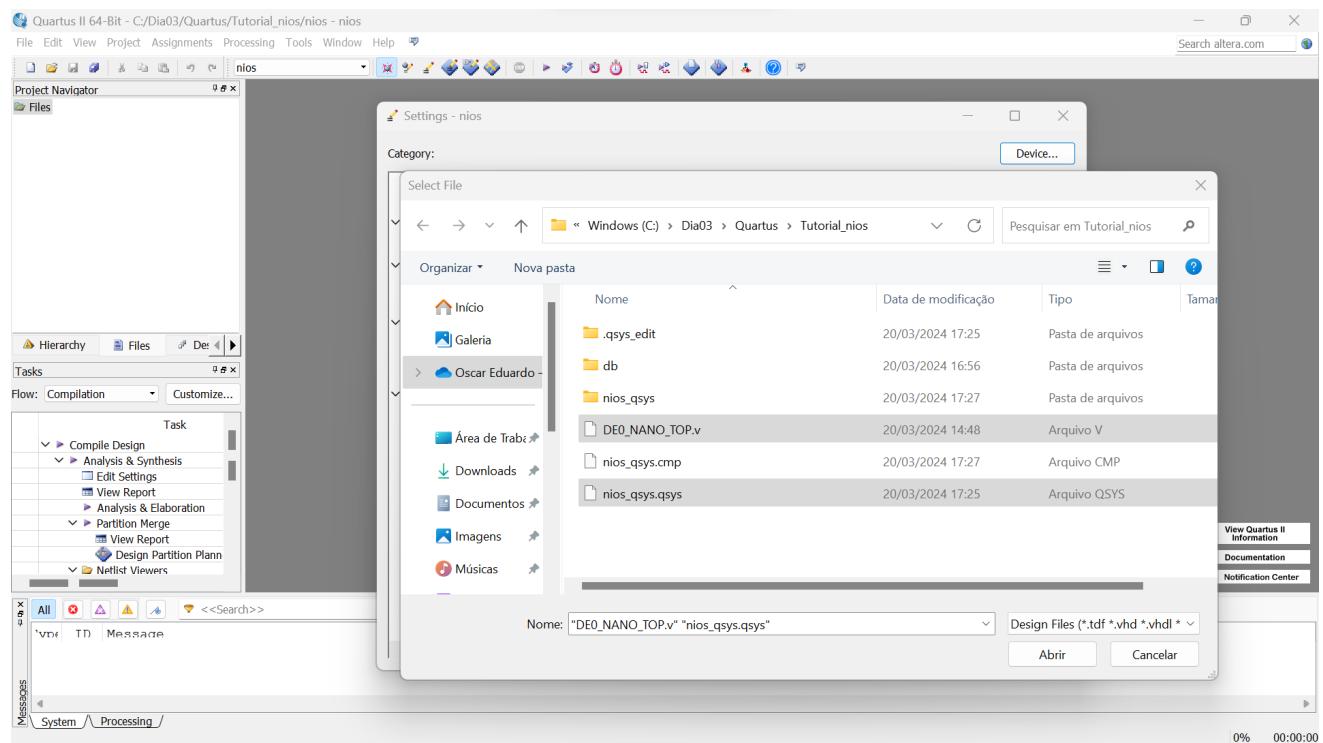
Coprocessador em
Supernova MIP

Generate VHDL or



Criação do sistema hardware

Adicionar o arquivo do qsys e o arquivo em verilog



Criação do sistema hardware

Instanciação do hardware

The screenshot shows the Quartus II 64-Bit interface. The main window displays a portion of a VHDL code:

```
94
95
96
97 enios_qsys u0(
98     .clk_clk(CLOCK_50),
99     .reset_reset_n(KEY[0]),
100    .switches_export(SW),
101    .buttons_export(~KEY[1]),
102    .leds_export(LED)
103 );
104
105
106
107
108
109
110 endmodule
```

The code is part of a top-level design entity named "DE0_NANO_TOP.v". Below the code editor, the "Messages" window shows a single entry:

'vme' TD Message
① 125061 Changed top-level design entity name to "DE0_NANO_TOP"

Criação do sistema hardware

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Gerar VHDL ou verilog

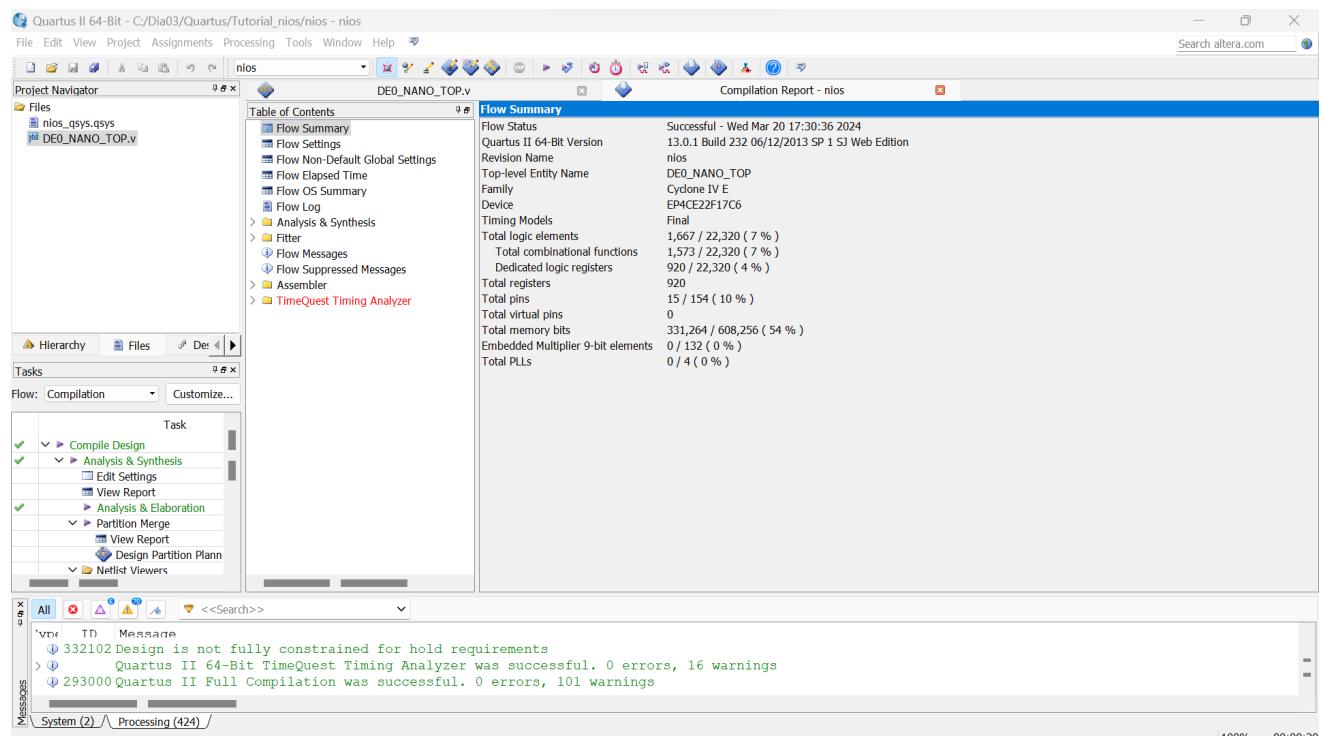
Compilação

Programação

Eclipse

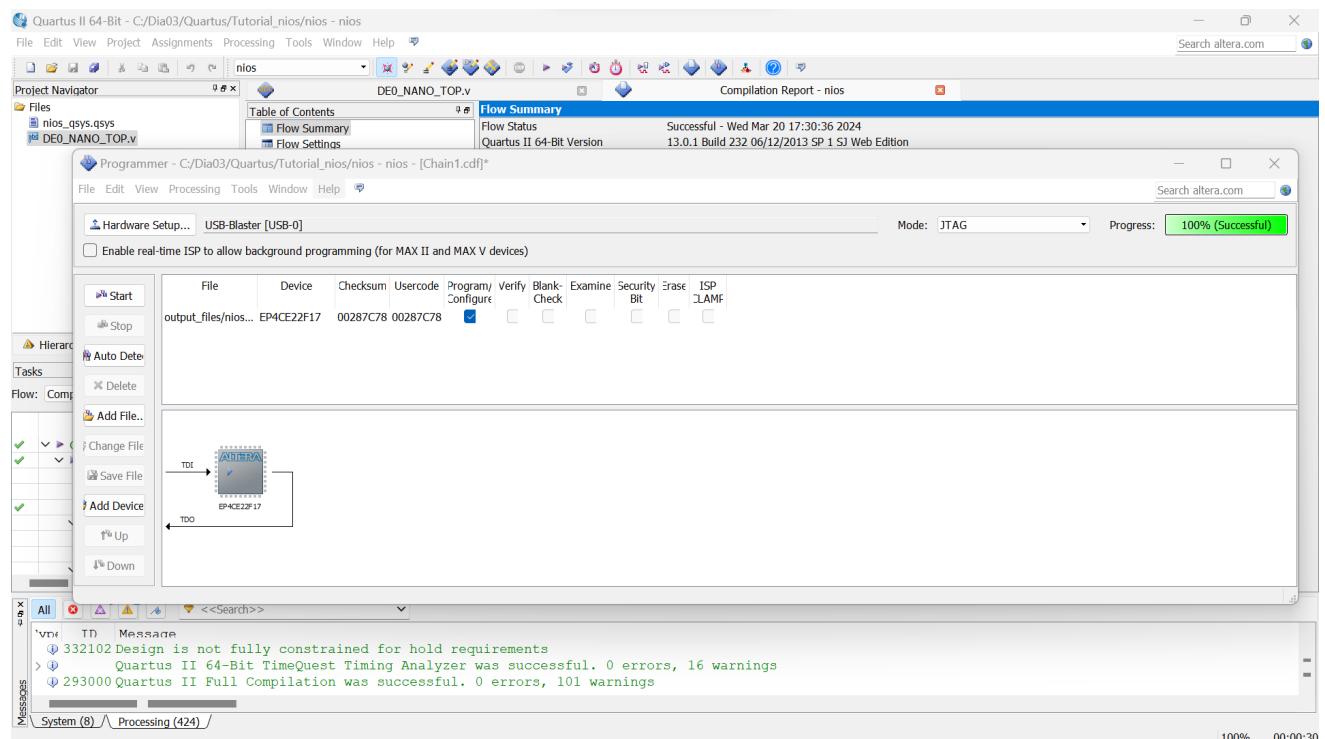
Agradecimentos

Compilação do programa



Configuração do Quartus

Programação da placa



Conteúdo

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Generate VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos

1 Objetivos

2 Introdução

3 Configuração do NIOS II

- Qsys
- NIOS II Processor
- JTAG UART
- On-Chip Memory
- System ID
- PIOs
- Interconexões
- Coprocessador em Hardware
- Generate VHDL ou verilog
- Compilação
- Programação

4 Eclipse

5 Agradecimentos

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Generate VHDL ou verilog

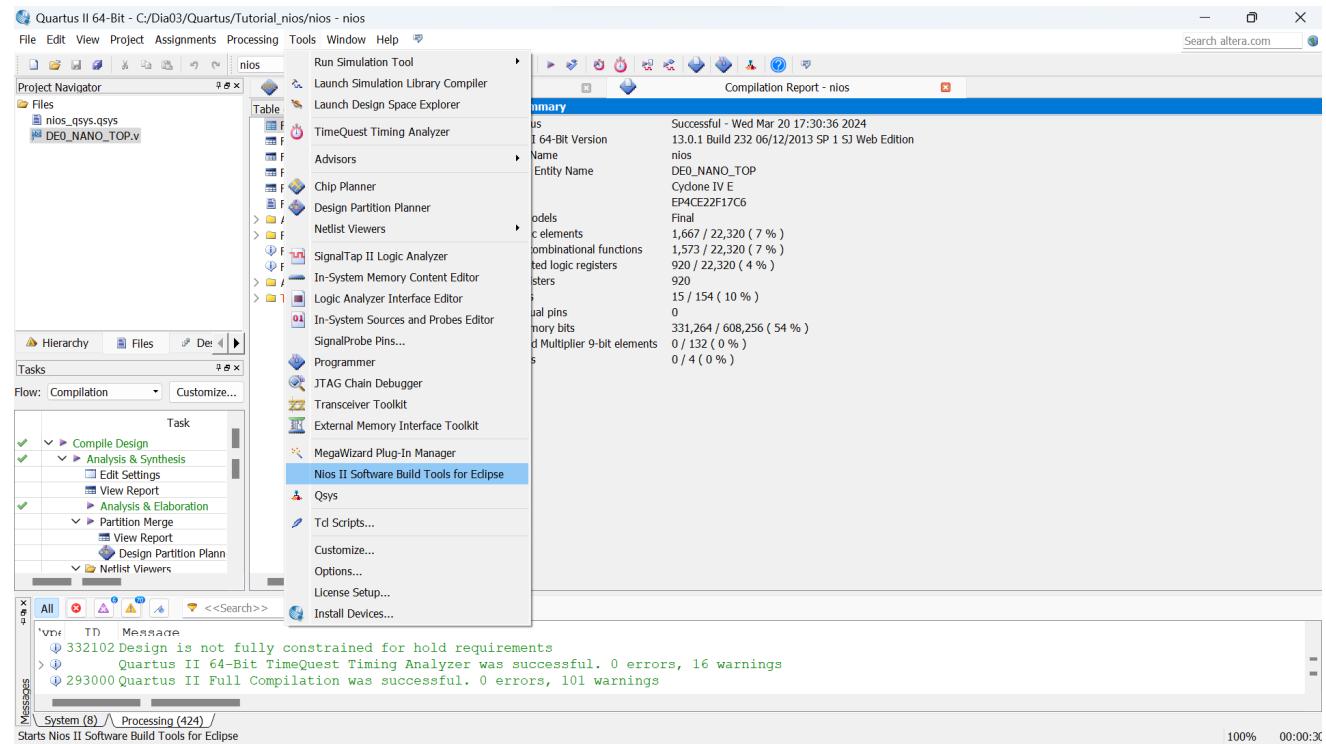
Compilação

Programação

Eclipse

Agradecimentos

- **Passo 1:** Tools
- **Passo 2:** NIOS II Software Build Tools for Eclipse



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Generate VHDL ou verilog

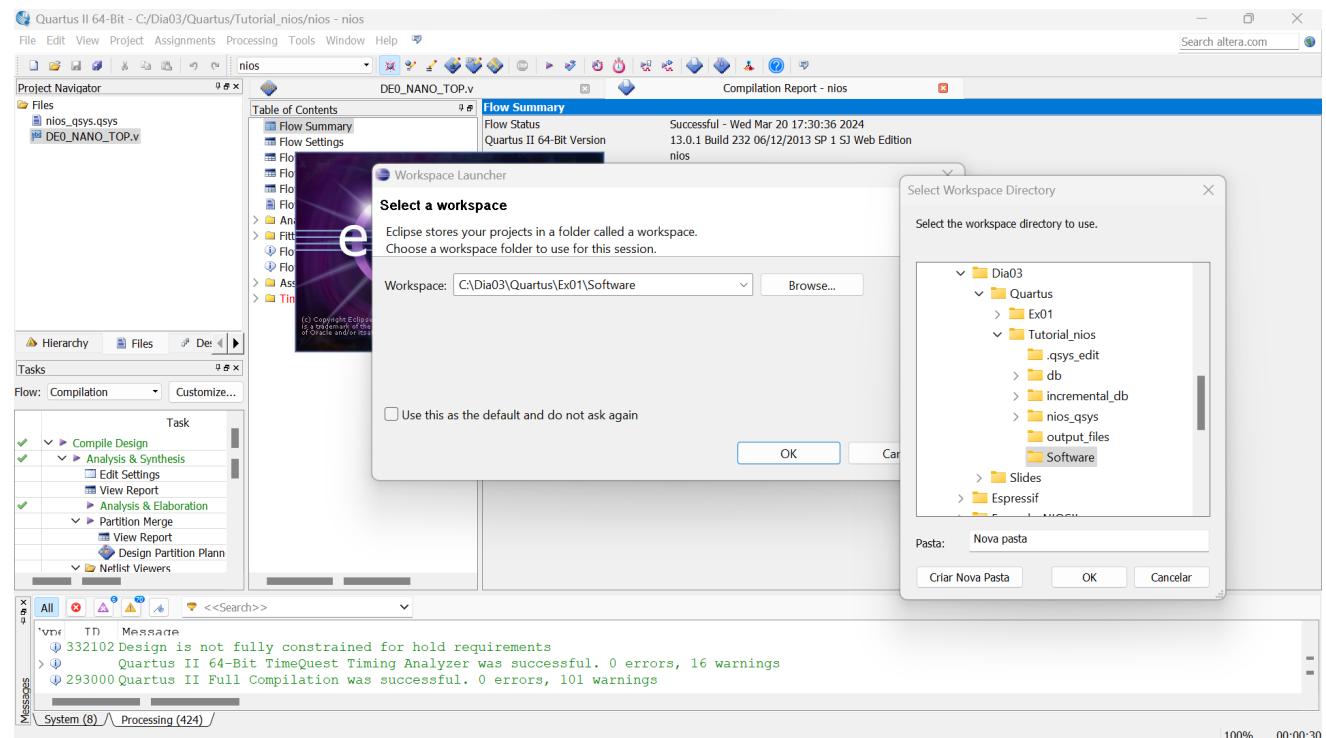
Compilação

Programação

Eclipse

Agradecimentos

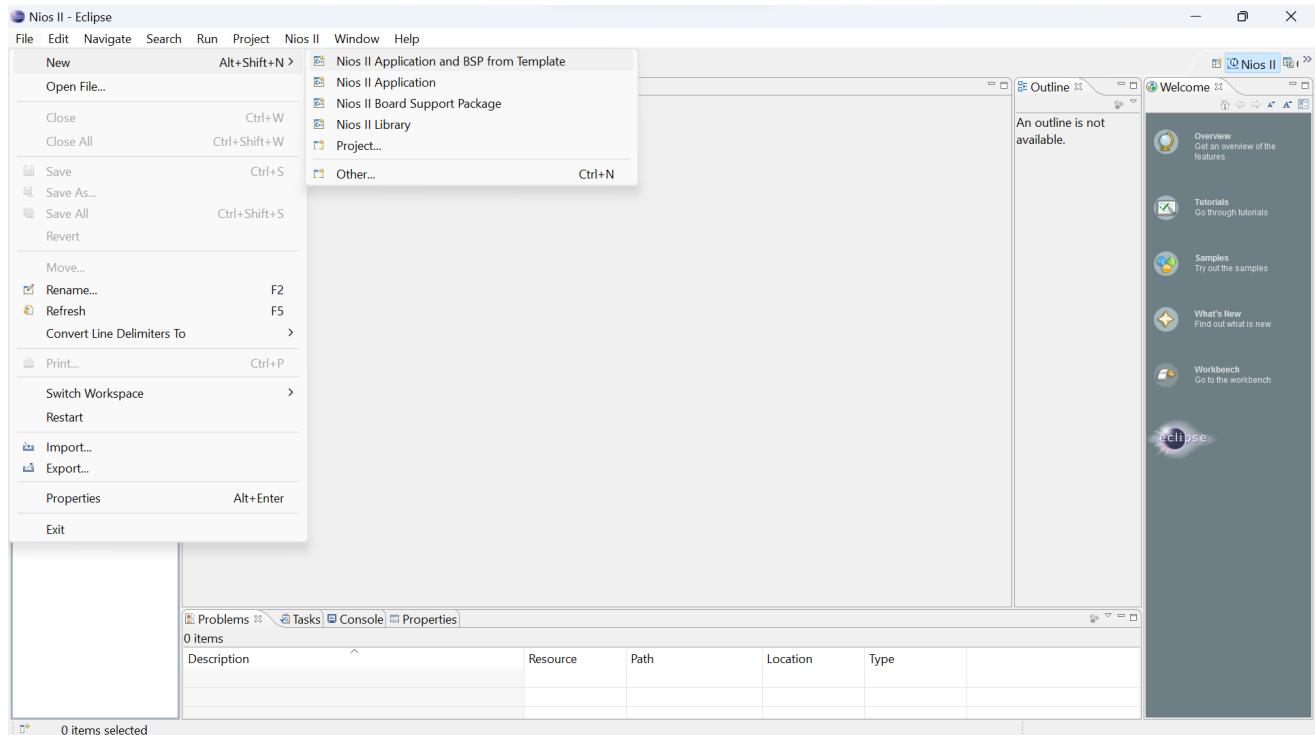
- **Passo 1:** Criar o workspace
- **Passo 2:** Criar uma pasta nomeada como Software



● Passo 1: File

● Passo 2: New

● Passo 2: NIOS II Application and BSP from Template



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Generate VHDL ou verilog

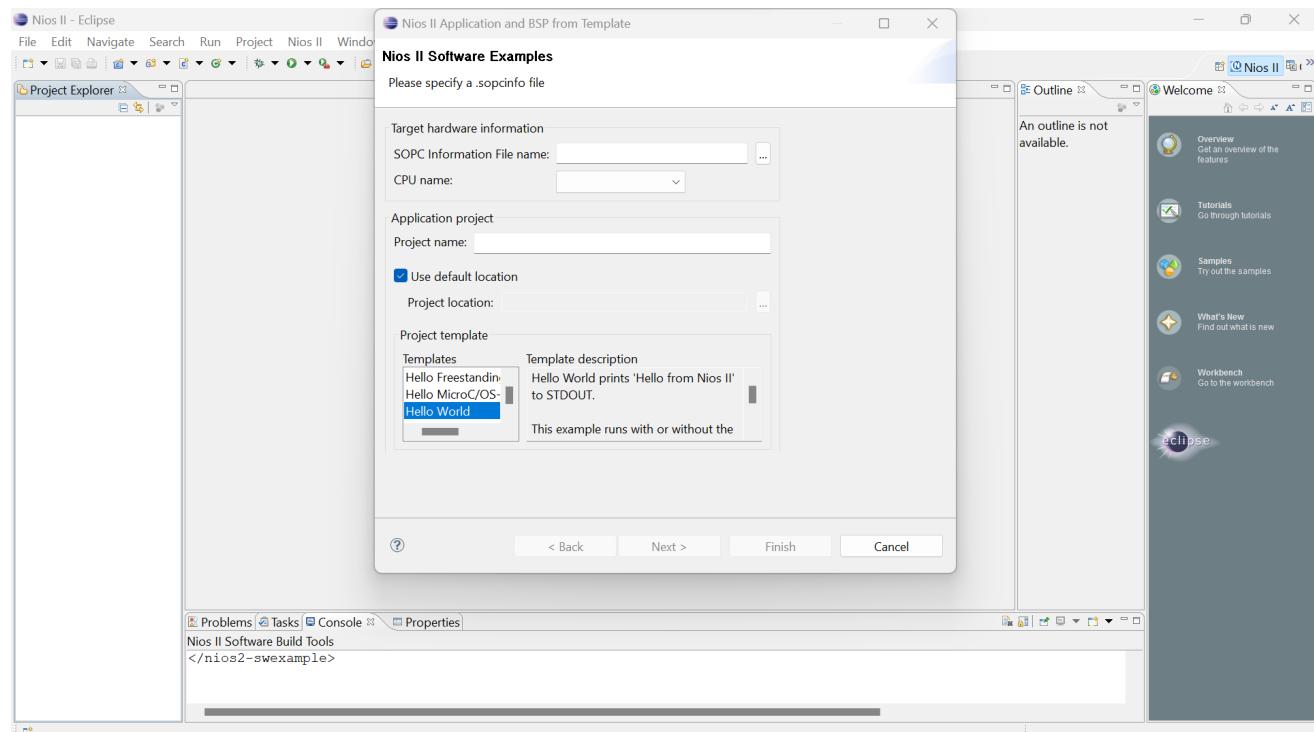
Compilação

Programação

Eclipse

Agradecimentos

- Passo 1: ...
- Passo 2: Procurar o arquivo *.sopcinfo
- Passo 2: NIOS II Application and BSP from Template



Objetivos

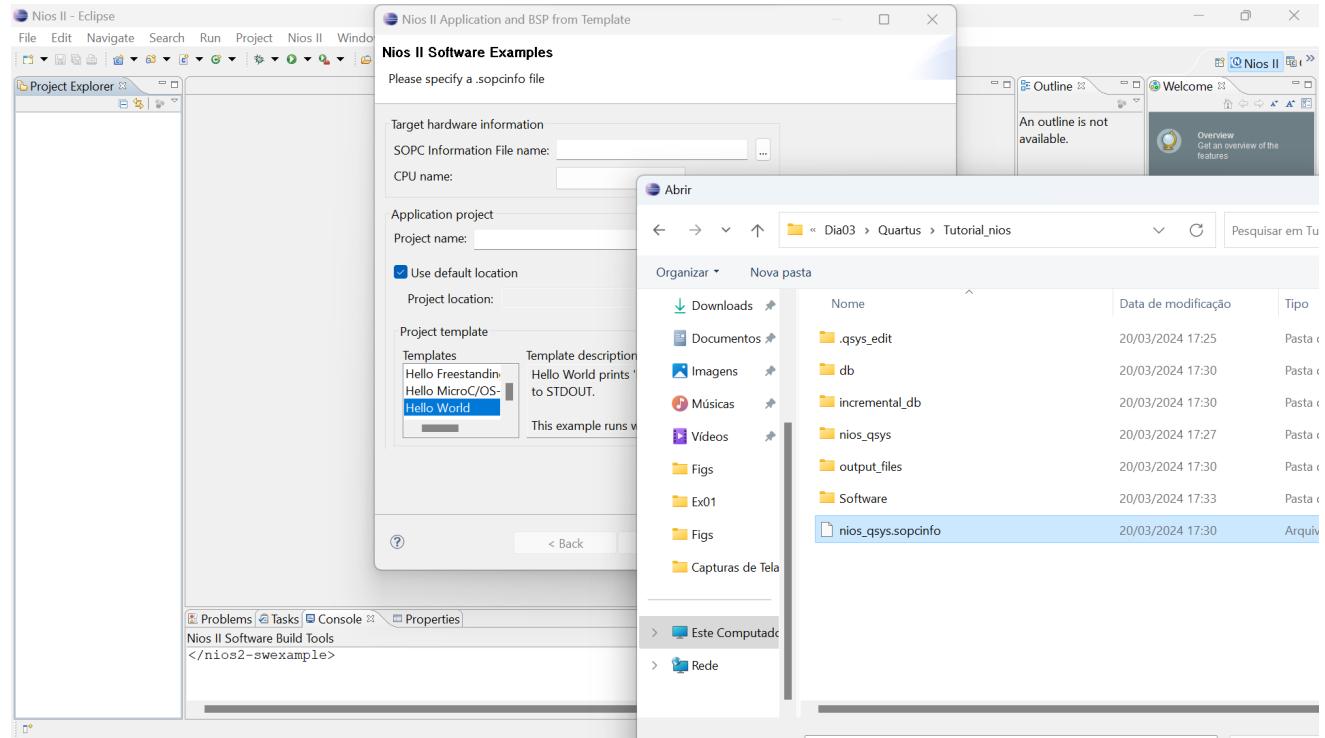
Introdução

Configuração do
NIOS II

Qsys
NIOS II Processor
JTAG UART
On-Chip Memory
System ID
PIOs
Interconexões
Coprocessador em Hardware
Generate VHDL ou verilog
Compilação
Programação

Eclipse

Agradecimentos



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Gere VHDL ou verilog

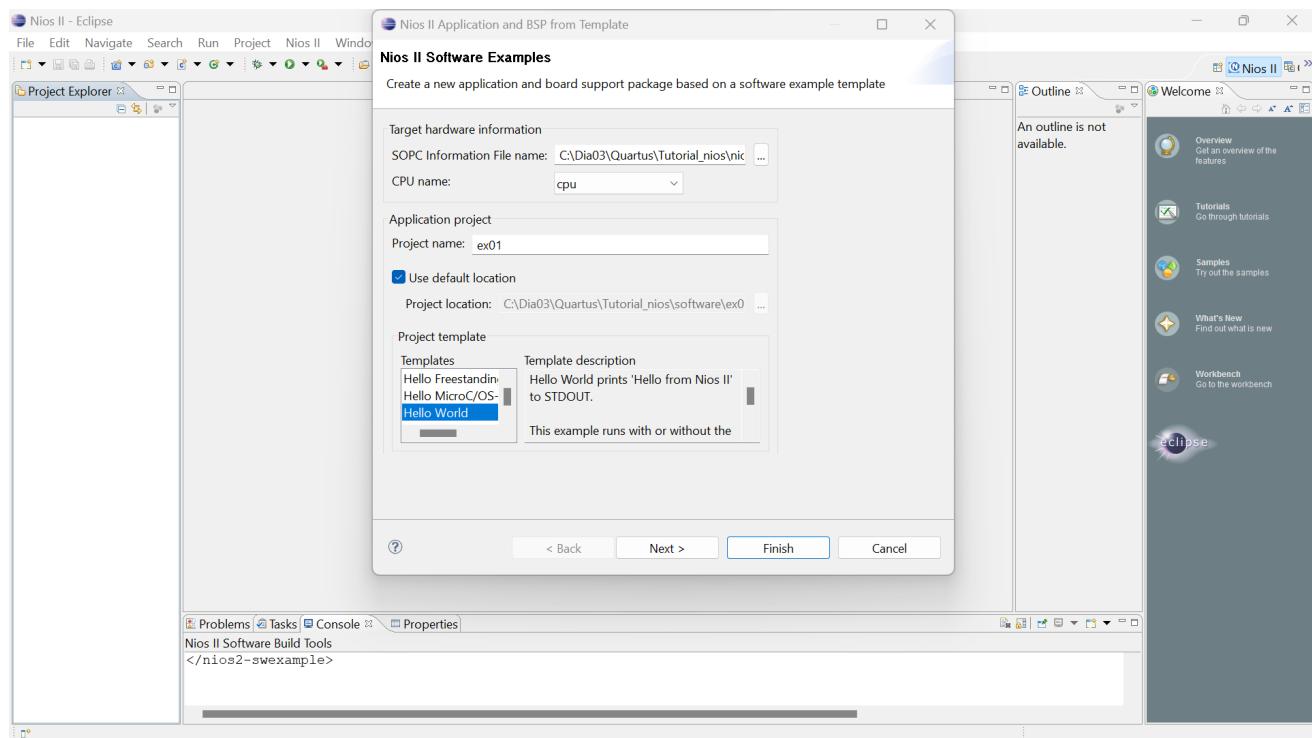
Compilação

Programação

Eclipse

Agradecimentos

Project name: Ex01



Eclipse

Objetivos

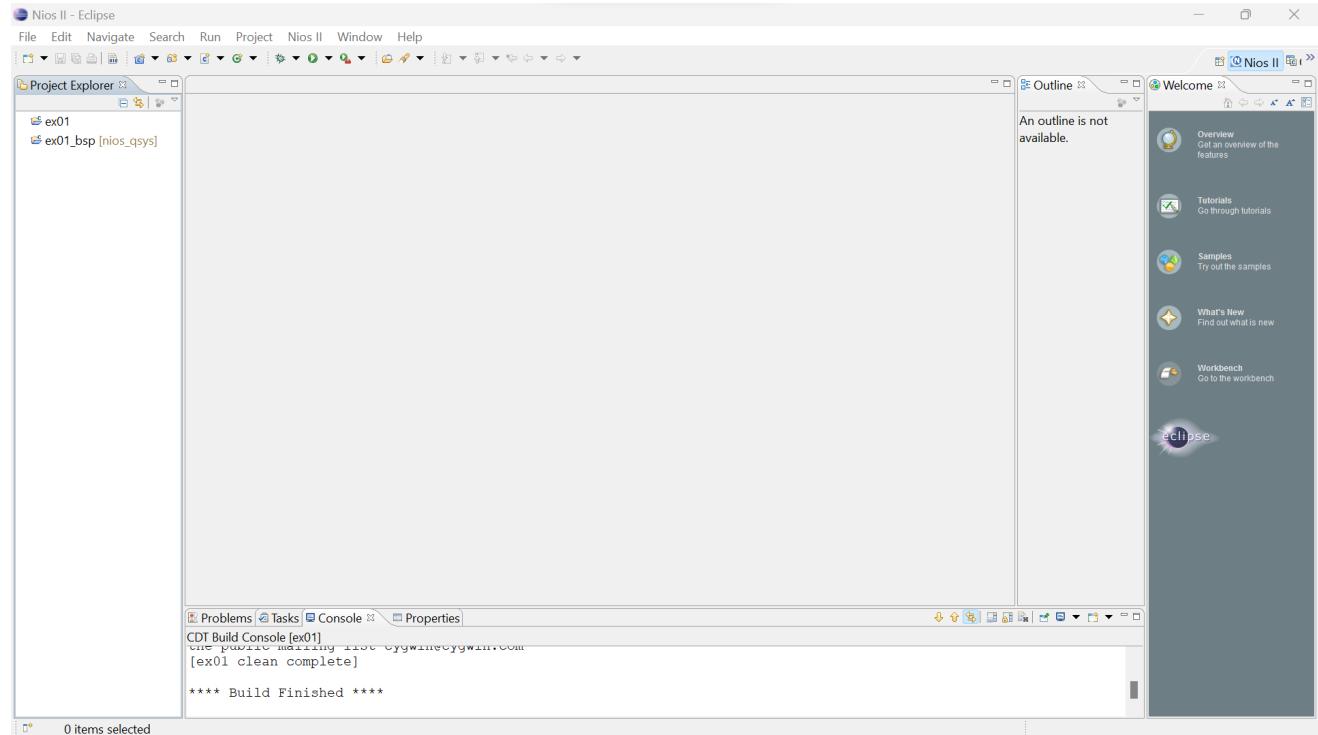
Introdução

Configuração do
NIOS II

- Qsys
- NIOS II Processor
- JTAG UART
- On-Chip Memory
- System ID
- PIOs
- Interconexões
- Coprocessador em Hardware
- Generate VHDL ou verilog
- Compilação
- Programação

Eclipse

Agradecimentos



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Gernerate VHDL ou verilog

Compilação

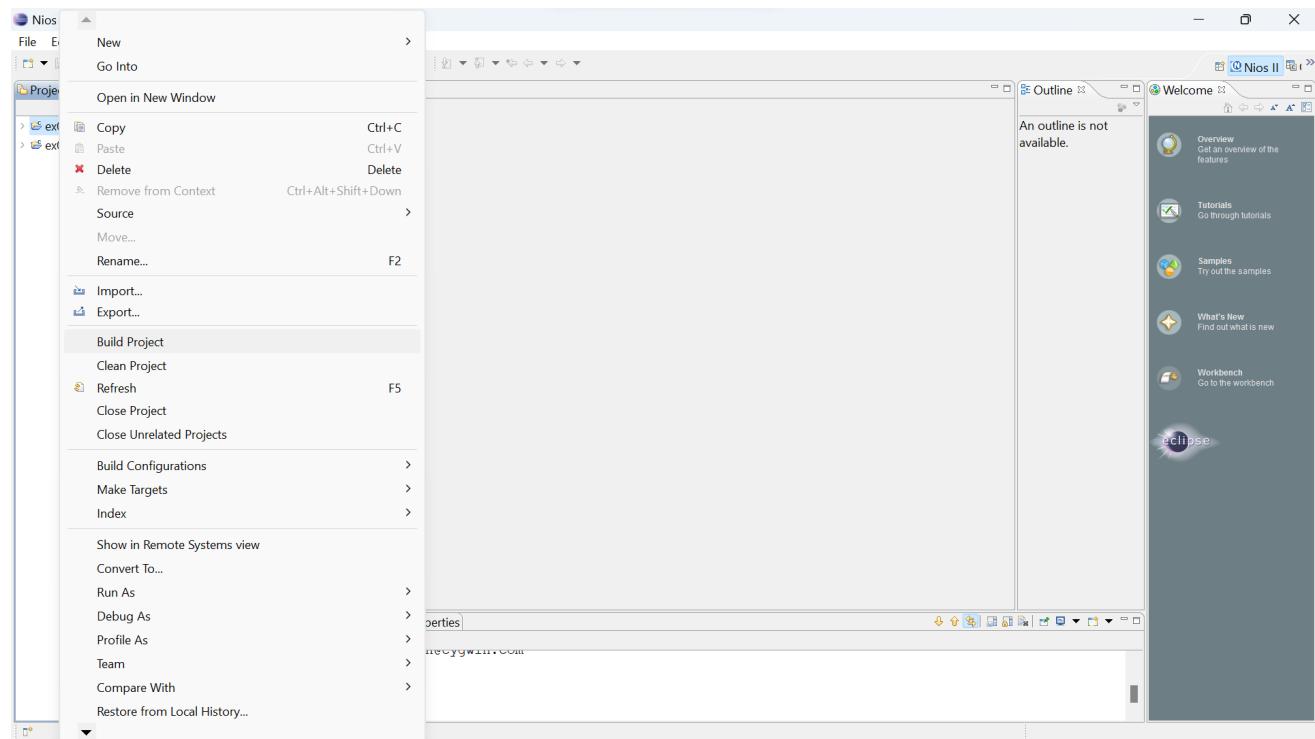
Programação

Eclipse

Agradecimentos

- **Passo 1:** click direito na pasta ex01

- **Passo 2:** Build project



Eclipse

Objetivos

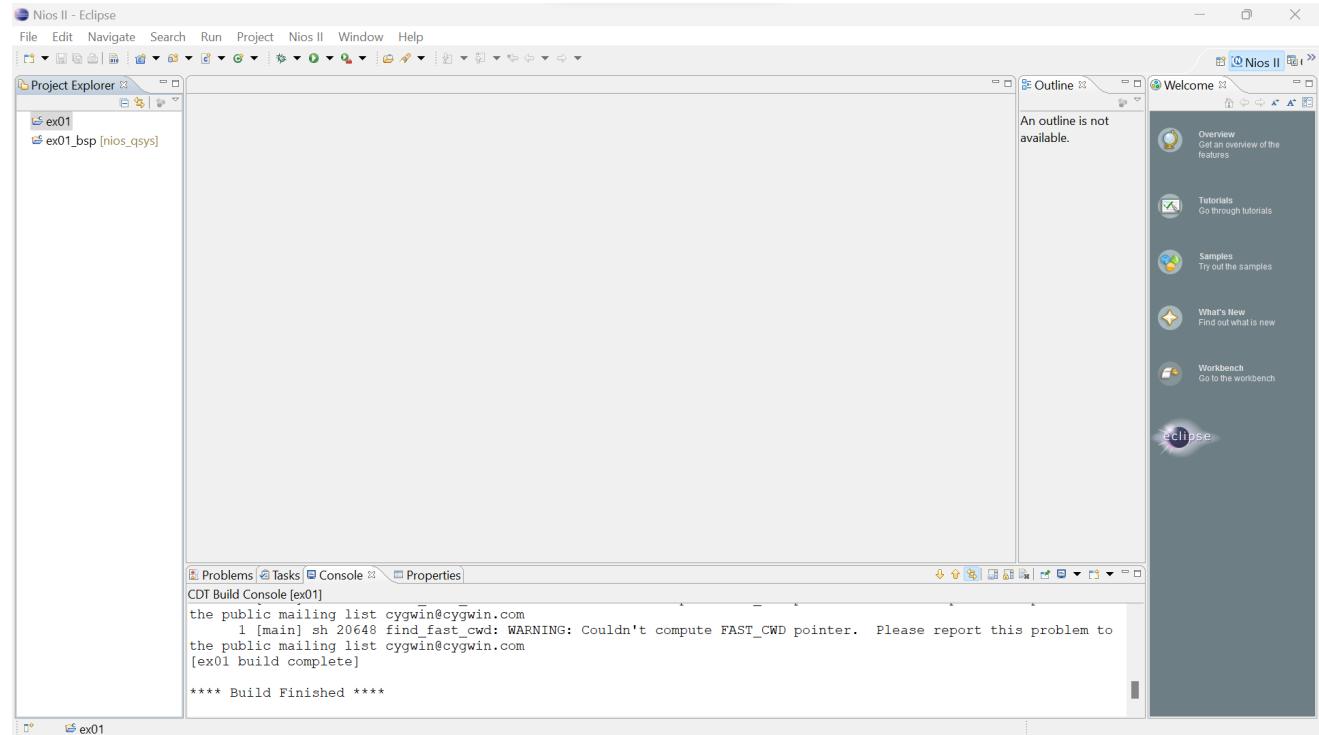
Introdução

Configuração do NIOS II

Qsys
NIOS II Processor
JTAG UART
On-Chip Memory
System ID
PIOs
Interconexões
Coprocessador em Hardware
Generate VHDL ou verilog
Compilação
Programação

Eclipse

Agradecimentos



Eclipse

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

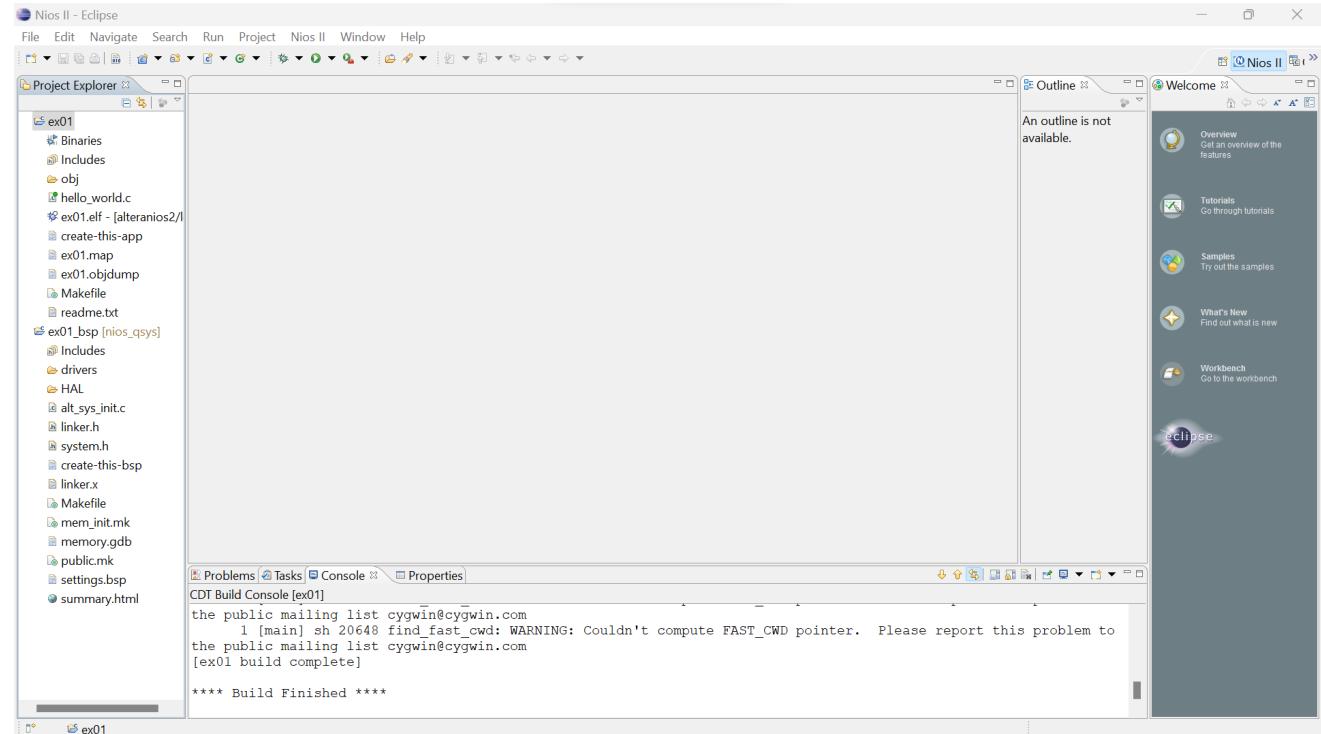
Generate VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos



Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Generate VHDL ou verilog

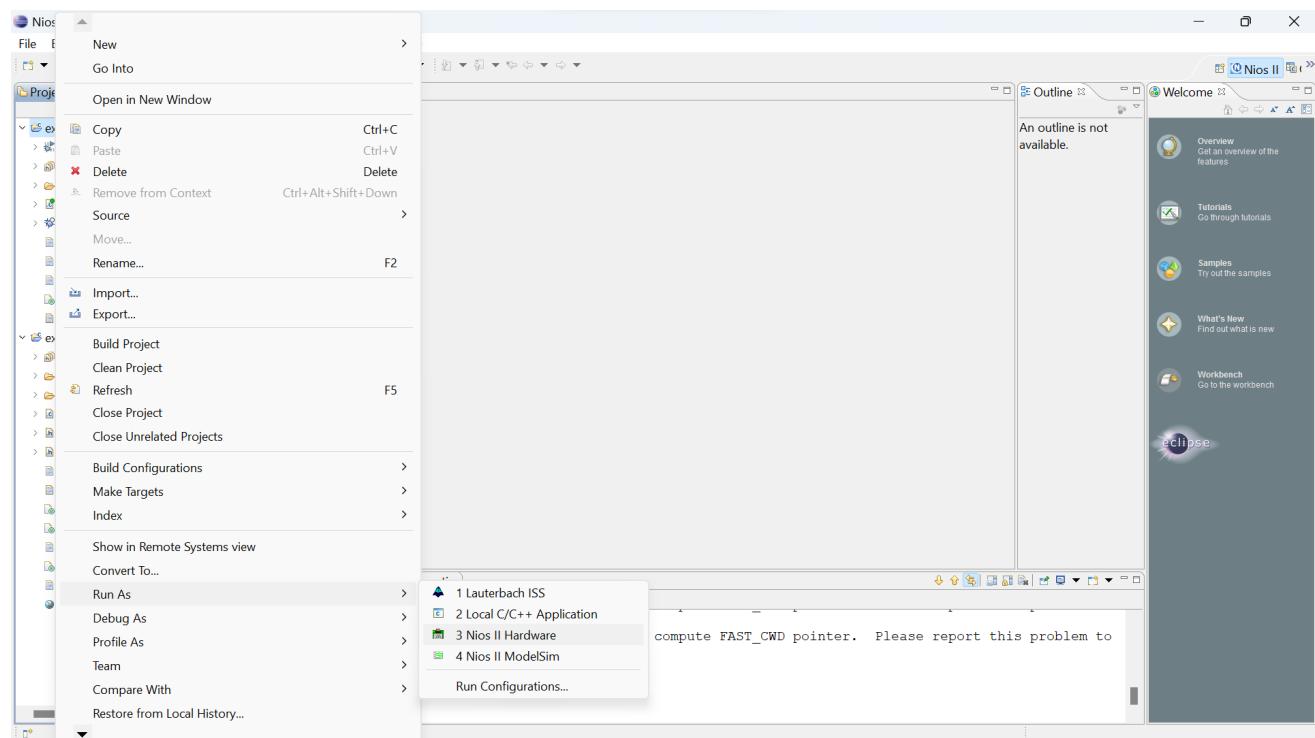
Compilação

Programação

Eclipse

Agradecimentos

- **Passo 1:** click direito na pasta ex01
- **Passo 2:** Run as
- **Passo 3:** NIOS II Hardware



Eclipse

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

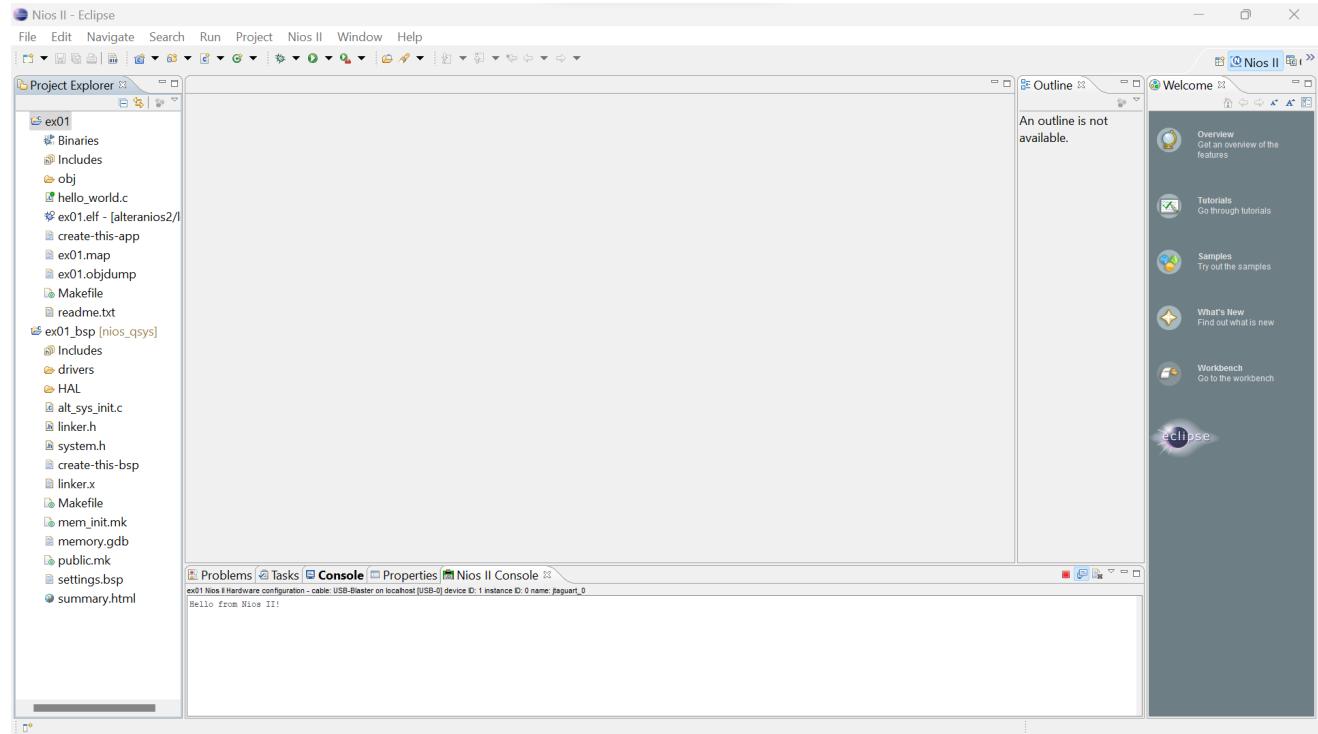
Generate VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos



Eclipse

Objetivos

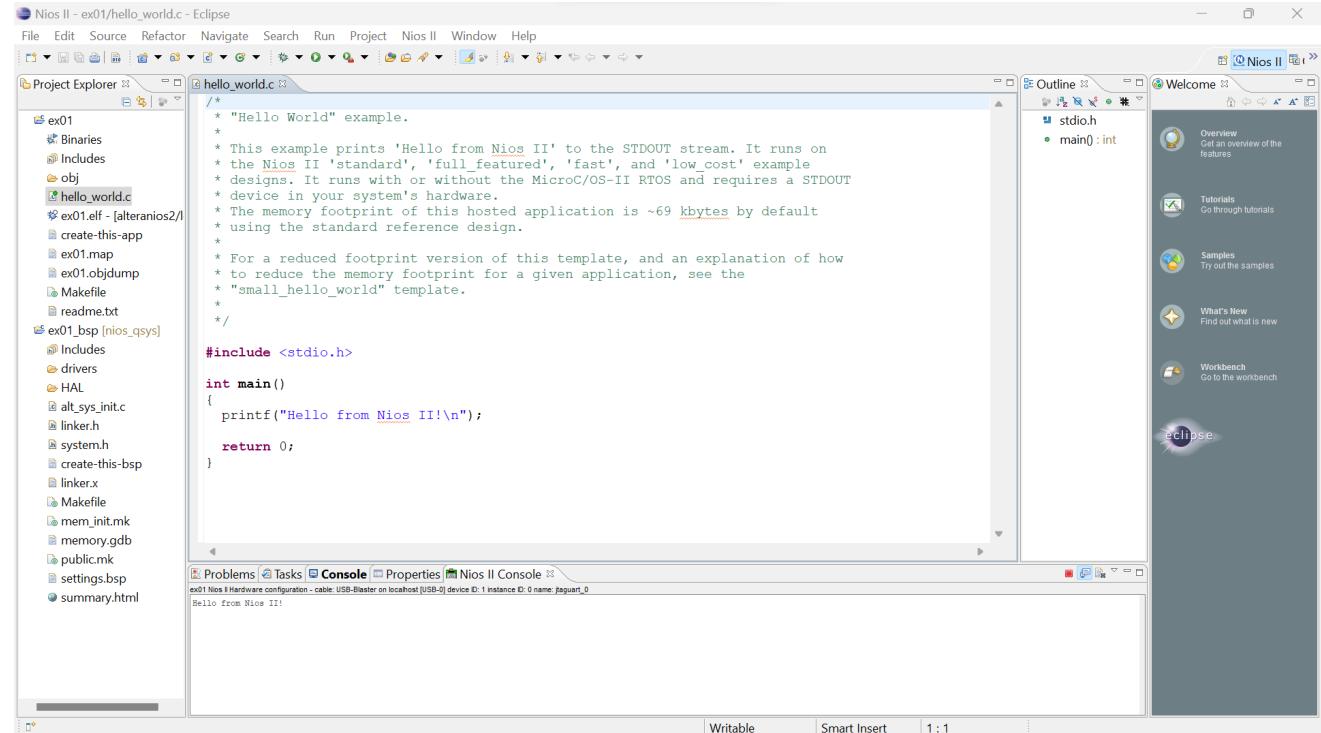
Introdução

Configuração do NIOS II

Qsys
NIOS II Processor
JTAG UART
On-Chip Memory
System ID
PIOs
Interconexões
Coprocessador em Hardware
Gerar VHDL ou verilog
Compilação
Programação

Eclipse

Agradecimentos



Eclipse

Objetivos

Introdução

Configuração do
NIOS II

Qsys
NIOS II Processor
JTAG UART
On-Chip Memory
System ID
PIOs
Interconexões
Coprocessador em Hardware
Gerar VHDL ou verilog
Compilação
Programação

Eclipse

Agradecimentos

Nios II - Ex01/hello.world.c - Eclipse

File Edit Source Refactor Navigate Search Run Project Nios II Window Help

Project Explorer

- Ex01
 - Binaries
 - Includes
 - obj
 - hello_world.c
 - Ex01.elf - [alteranios2]
 - create-this-app
 - Ex01.map
 - Ex01.objdump
 - Makefile
 - readme.txt
- Ex01_bsp [nios_qsys]
 - Includes
 - drivers
 - HAL
 - alt_sys_init.c
 - linker.h
 - system.h
 - create-this-bsp
 - linker.r
 - Makefile
 - mem_init.mk
 - memory.gdb
 - public.mk
 - settings.bsp
 - summary.html

hello_world.c

```
* "small_hello_world" template.  
*  
*/  
  
#include <stdio.h>  
#include <i0.h>  
#include <system.h>  
  
int main()  
{  
    unsigned int inp;  
    printf("Hello from Nios II!\n");  
  
    while(1)  
    {  
        IOWR(SOMADOR_BASE, 0, 4);  
        IOWR(SOMADOR_BASE, 1, 3);  
  
        inp=IORD(SOMADOR_BASE, 0);  
        IOWR(LED_BASE, 0, inp);  
    }  
    return 0;  
}
```

Outline

- stdio.h
- io.h
- system.h
- main() : int

Welcome

- Overview
- Tutorials
- Samples
- What's New
- Workbench

Problems Tasks Properties Nios II Console

Ex01 Nios II Hardware configuration - cable: USB-Blaster on localhost [USB-0] device 1 instance 0 name: Jaguar_0

Hello from Nios II!

Conteúdo

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Generate VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos

1 Objetivos

2 Introdução

3 Configuração do NIOS II

- Qsys
- NIOS II Processor
- JTAG UART
- On-Chip Memory
- System ID
- PIOs
- Interconexões
- Coprocessador em Hardware
- Generate VHDL ou verilog
- Compilação
- Programação

4 Eclipse

5 Agradecimentos

Agradecimentos

Objetivos

Introdução

Configuração do
NIOS II

Qsys

NIOS II Processor

JTAG UART

On-Chip Memory

System ID

PIOs

Interconexões

Coprocessador em Hardware

Gereate VHDL ou verilog

Compilação

Programação

Eclipse

Agradecimentos

- Universidade Federal de Mato Grosso (UFMT)
- Faculdade de Engenharia do Campus de Várzea Grande (FAENG)
- Curso da Engenharia da Computação
- Prof. Dr. Carlos Humberto Llanos, Professor Associado do Departamento de Engenharia Mecânica (ENM) da Universidade de Brasília (UnB)
- Intel Altera
- O técnico Igor
- Colaboradores