

## QUESTÕES COLOCADAS PELOS ALUNOS ENTRE 8 E 9 DE DEZEMBRO RELATIVAMENTE AO TRABALHO 1

### Questão 1

*Relativamente ao primeiro projeto, gostaria de esclarecer a seguinte questão:*

*Numa implementação bit-serial de um checker como podemos sinalizar que a saída (r) está válida num dado momento?*

*Podemos adicionar mais um output que sinalize isso mesmo, ou mantemos a saída em alta-impedância até a 'computação' chegar ao fim e o valor ser válido?*

*E se a alternativa de alta-impedância for mais desejável, podemos fazê-lo com uma gate tri-state implementada da seguinte forma "Y <= X when (En = '1') else 'Z'"?*

Não se esqueça estamos apenas a simular o funcionamento do dispositivo e a avaliar a sua complexidade.

Neste enquadramento, poderíamos introduzir uma saída adicional para validar o instante em que o processamento terminou e a decisão foi tomada. Eu não o fiz para não complicar o circuito, mas pode perfeitamente introduzi-lo na sua solução.

Quanto à alternativa de transformar a saída *error* em alta impedância para validar o instante em que o processamento terminou, não faz muito sentido porque não há mais saídas ligadas a esse ponto (não se trata de um sinal de bus).

### Questão 2

*Eu e o meu colega implementámos o checker na versão bit serial com base num LFSR (Linear feedback shift register) e num gate OR 8 para verificar se o resto é igual a 0. Com esta implementação, o valor da saída "error" varia ao longo do tempo e apenas estabiliza com o valor correto após os 24 bits de entrada terem sido processados. A nossa questão é se isto não é um problema ou se deveríamos adicionar logica adicional para sinalizar quando é que o valor da saída "error" é válido?*

Espero que o LFSR tenha sido implementado com flip flops D e lógica adicional (uma descrição comportamental não é aceitável).

Quanto à questão que coloca, a solução mais simples é fazer passar a saída *error* por um flip flop D que só é activado quando o processamento termina. Em alternativa, podem, como sugerem, ter um sinal de validação.

### Questão 3

*O LFSR foi sim implementado com flip flops D e gates XOR adicionais. Para ativar o flip flop à saída que o professor propõe, a melhor forma será com um counter para verificar quando os 24 bits já foram recebidos?*

Naturalmente que sim. Esse é um dos papeis que a unidade de controlo deve desempenhar.

Sugiro que vejam a implementação da versão bit serial do *population counter* que vos disponibilizei.