

1. VHDL 中有哪 3 种数据对象？详细说明它们的功能特点以及使用方法。（从定义、作用范围、赋值形式与特点等说明）

答：signal、variable、constant,

信号 signal 表征的是硬件电路中确实存在的互连线，是全局量，可以在实体、构造体、程序包中声明。信号可以用延时赋值符号<=赋值，且允许附加延时来模拟真实信号传输。

变量 variable 是一个临时的数据载体，没有实际硬件对应，变量是一个局部量，只能在进程、函数、过程中使用。可以多次赋值。

常量 constant 一般用来表示固定的位宽、固定延时，是全局量，可以在实体、构造体、程序包、进程、子程序中声明。只能在声明时赋值，若要改变，必须在声明处更改并重新编译。

2. 在一个 VHDL 设计中 dout 是一个信号，数据类型为 std\_logic\_vector，试指出下面哪个赋值语句是错误的。（ D ）

A. dout <= "00001111"; B.dout <= b"0000\_1111";

C.dout <= X"AB"; D.dout <= 16"01";

3. 下列标识符中，合法的标识符是（ A ）。

A. clk00； B.TrueSate#； C.6\_clock； D.return

4.VHDL 程序中，若 a="01"，b="10"，则执行语句 c<=a &b;后，c 的值为( B )。

A. "01"

B. "0110"

C. "00"

D "1001"

5. 试计算下列程序的 C 输出结果，

设 A= "0011"、B= "1001":

ENTITY test IS

PORT(A: IN STD\_LOGIC\_VECTOR(3 DOWNTO 0);

B: IN STD\_LOGIC\_VECTOR(3 DOWNTO 0);

C: OUT STD\_LOGIC\_VECTOR(7 DOWNTO 0));

END test;

ARCHITECTURE art OF test IS

BEGIN

C(1 DOWNTO 0) <= A(2 DOWNTO 1) OR B(1 DOWNTO 0); --01

C(3 DOWNTO 2)<='1'&('1' XOR NOT A(3)); --10

C(7 DOWNTO 4) <= "1010" WHEN (A=B) ELSE "0100"; --0100

END art;

C= "01001001"