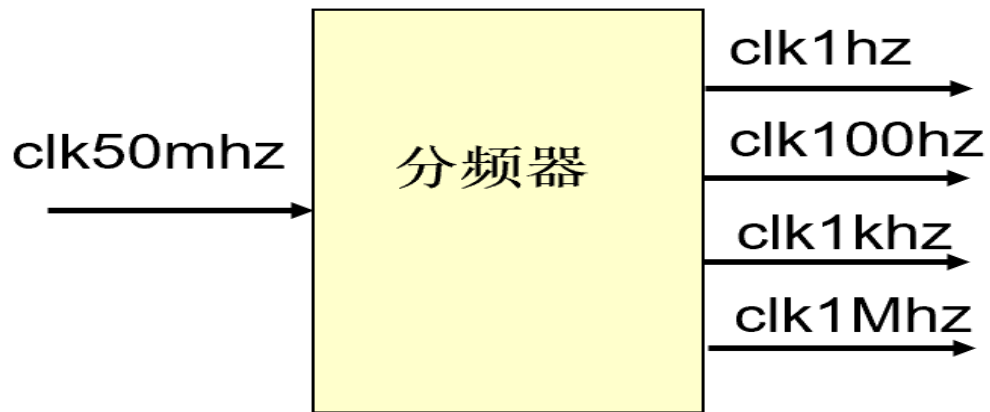


实验二 分频器与跑马灯的设计

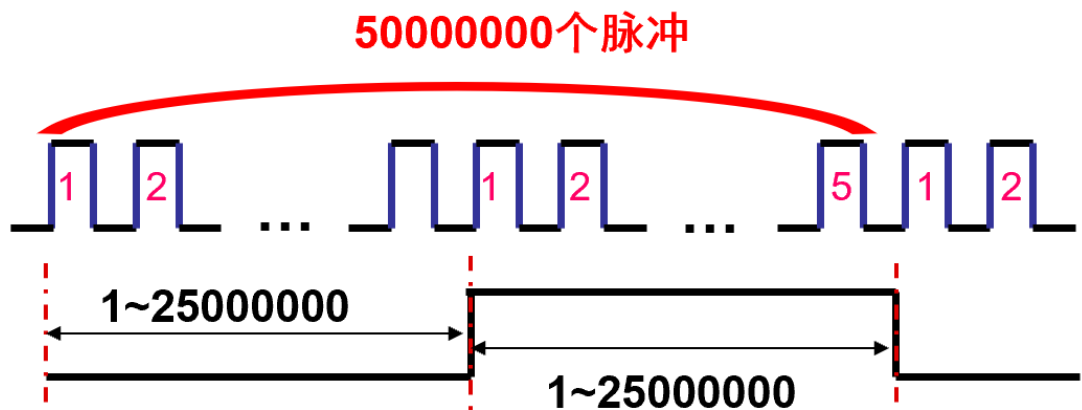
一、实验内容

- 1.1 学习案例完成跑马灯的设计、仿真与实现。
- 1.2 仿照案例设计一个产生 1hz, 100hz, 1khz, 1Mhz 方波信号源模块。完成该模块的仿真测试



二、实验原理与方案

2.1 分频器



系统时钟为 50Mhz，则 1hz 对应 50000000 个脉冲，如果计数到 25000000, 使输出反转即可获得占空比为 50%的 1hz 方波信号。同理可以获得 100hz、1Khz、1Mhz 方波信号。

2.1 跑马灯的设计

对 50mhz 信号分频得到 1hz 方波信号，并设计使能端 start，当 start 为 0 时，默认第一个 led 灯高电平亮，start 有效时开始流水灯，使用移位寄存器方式实现。

三、实验过程(源程序)

3.1 分频源程序

```
module div_clk(
clk_50mhz, clk1hz, clk100hz, clk1khz, clk1mhz
);
input clk_50mhz;
output reg clk1hz=0;
output reg clk100hz=0;
output reg clk1khz=0;
output reg clk1mhz=0;
integer cnt1=1;
integer cnt2=1;
integer cnt3=1;
integer cnt4=1;
always@(posedge clk_50mhz)
begin
    if(cnt1==25000000)
    begin
        cnt1=1;
        clk1hz=~clk1hz;
    end
    else
        cnt1=cnt1+1;
end

always@(posedge clk_50mhz)
begin
    if(cnt2==250000)
    begin
        cnt2=1;
        clk100hz=~clk100hz;
    end
    else
        cnt2=cnt2+1;
end
end
```

```

        always@(posedge clk_50mhz)
begin
    if(cnt3==25000)
    begin
        cnt3=1;
        clk1khz=~clk1khz;
    end
    else
        cnt3=cnt3+1;
end

always@(posedge clk_50mhz)
begin
    if(cnt4==25)
    begin
        cnt4=1;
        clk1mhz=~clk1mhz;
    end
    else
        cnt4=cnt4+1;
end
endmodule

```

3.2 跑马灯源程序

```

module fpq_led8 (clk_50mhz, start, clk_1hz, led);
    input clk_50mhz;
    input start;
    output clk_1hz;
    output [7:0]led;
    reg clk_1hz=0;
    reg [7:0]led;
    integer cnt=1;

    always@(posedge clk_50mhz)
begin
    if(cnt==25000000)//25000000
    begin
        cnt=1;
        clk_1hz=~clk_1hz;
    end
    else
        cnt=cnt+1;
end
end

```

```

always@(posedge clk_1hz or negedge start)
begin
    if(start==1'b0)
        led<=8'b00000001;
    else
        begin
            led[7:1]<=led[6:0]; //移位
            led[0]<=led[7];
        end
    end
end
endmodule

```

四、实验结果与分析(仿真程序与仿真图，硬件测试图)

4.1 仿真程序

```

//分频器

module div_clk_testbench_1;

    // Inputs
    reg clk_50mhz;

    // Outputs
    wire clk1hz;
    wire clk100hz;
    wire clk1khz;
    wire clk1mhz;

    // Instantiate the Unit Under Test (UUT)
    div_clk uut (
        .clk_50mhz(clk_50mhz),
        .clk1hz(clk1hz),
        .clk100hz(clk100hz),
        .clk1khz(clk1khz),
        .clk1mhz(clk1mhz)
    );

    initial begin
        // Initialize Inputs
        clk_50mhz = 0;

        // Wait 100 ns for global reset to finish
    end
always

```

```

begin
#10
clk_50mhz=~clk_50mhz;
end
endmodule

```

//跑马灯

```

module fpq_led8_testbench;

// Inputs
reg clk_50mhz;
reg start;

// Outputs
wire clk_1hz;
wire [7:0] led;

// Instantiate the Unit Under Test (UUT)
fpq_led8 uut (
    .clk_50mhz(clk_50mhz),
    .start(start),
    .clk_1hz(clk_1hz),
    .led(led)
);

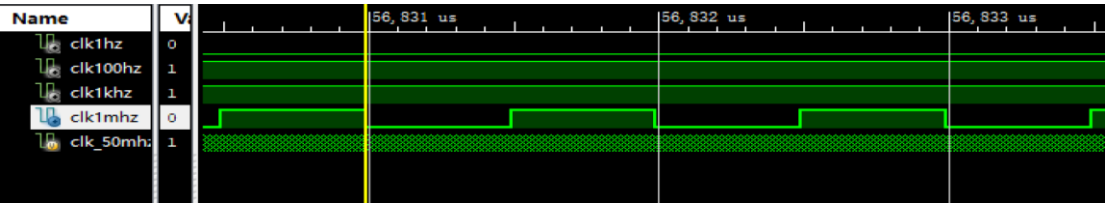
initial
begin
    // Initialize Inputs
    clk_50mhz = 0;
    start=0;
    #50;
    start = 1;
end
    always
begin
#10;
clk_50mhz=~clk_50mhz;
end

endmodule

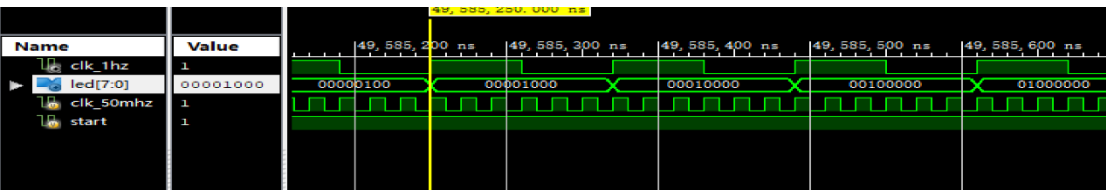
```

4.2 仿真图

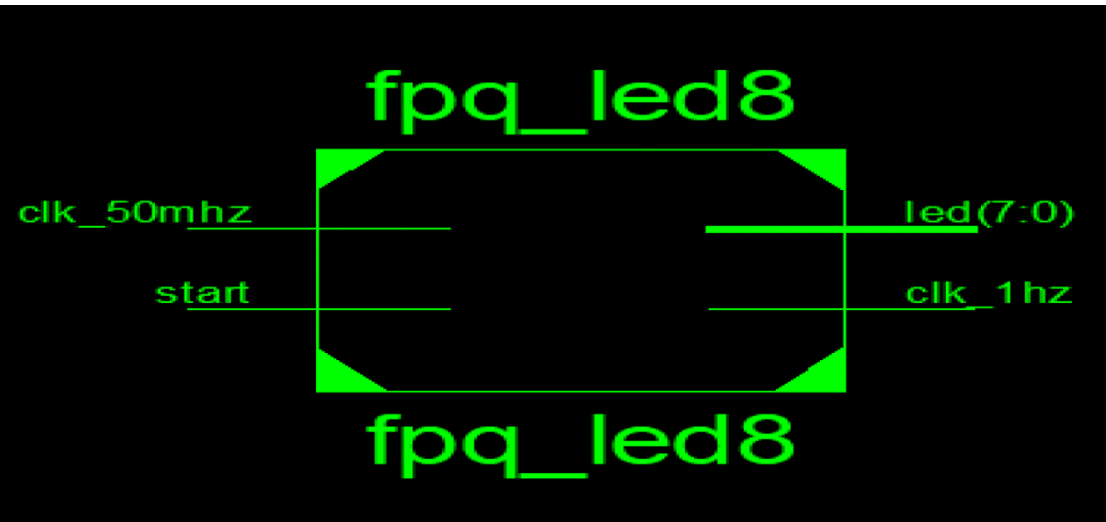
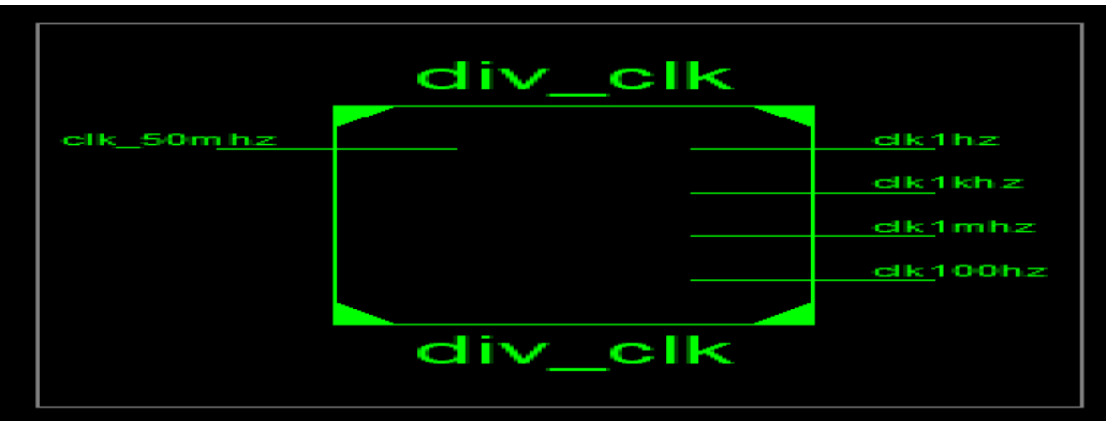
分频器



跑马灯



4. 3RTL



4.4 硬件测试图

