

时序逻辑课程设计

组队成员：

张前锋 2020020910019 贡献度：50%

杨阳 2020020910022 贡献度：50%

一、设计要求

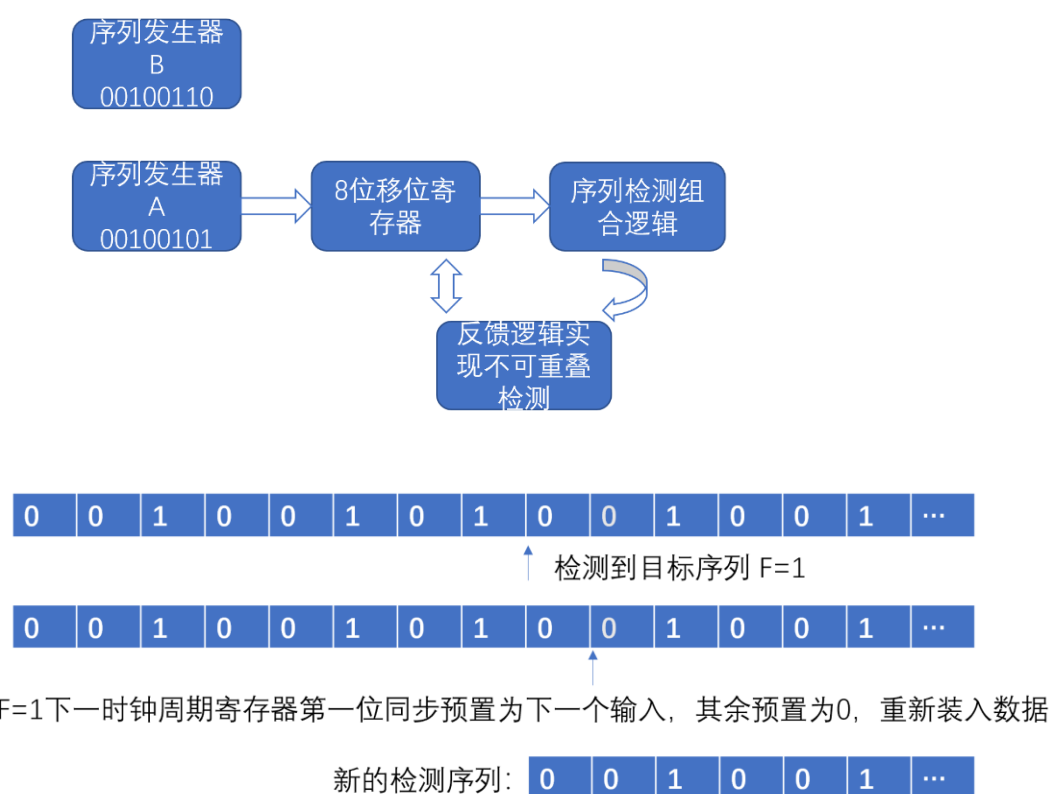
题目：循环序列输出产生电路

1、用两种以上的方法分别产生同组同学选课序号（两位十进制）对应的 8421BCD 码序列循环输出；

2、设计一个不可重叠的串行序列检测器，当检测到同组同学中选课序号较小的十进制数对应的 8421BCD 码序列时，输出为 1，其余情况输出为 0。

二、设计思路介绍

1、方案框图



2、文字介绍

两位同学的选课号分别为 25、26，选课号 25 对应的 8421BCD

码为 00100101，选课号 26 对应的 8421BCD 码为 00100110。两种序列产生及检测方法如下：

00100101 序列的产生使用计数器和数据选择器构成序列信号发生器，在 Y 端产生序列循环输出。之后将产生的序列送入移位寄存器。将移位寄存器的输出送入反馈逻辑电路，检测到对应序列后，串行序列检测器输出为 1；相应的真值表如下：

Q_2	Q_1	Q_0	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

00100110 序列的产生使用移位寄存器构成序列信号发生器，共选取了 8 个有效状态：

Q_3	Q_2	Q_1	Q_0	Q_3^*	Q_2^*	Q_1^*	Q_0^*	Lin
0	0	1	0	0	1	0	0	0
0	1	0	0	1	0	0	1	1
1	0	0	1	0	0	1	1	1
0	0	1	1	0	1	1	0	0

0	1	1	0	1	1	0	0	0
1	1	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	1
0	0	0	1	0	0	1	0	0

之后对未用状态进行处理，使移位寄存器能够自启动：

Q_3	Q_2	Q_1	Q_0	Q_3^*	Q_2^*	Q_1^*	Q_0^*	Lin
0	0	0	0	0	0	0	1	1
0	1	0	1	1	0	1	1	1
0	1	1	1	1	1	1	0	0
1	0	1	0	0	1	0	0	0
1	0	1	1	0	1	1	0	0
1	1	0	1	1	0	1	0	0
1	1	1	0	1	1	0	0	0
1	1	1	1	1	1	1	0	0

根据 Q_3 、 Q_2 、 Q_1 、 Q_0 对应的输入 Lin ，列出卡诺图：

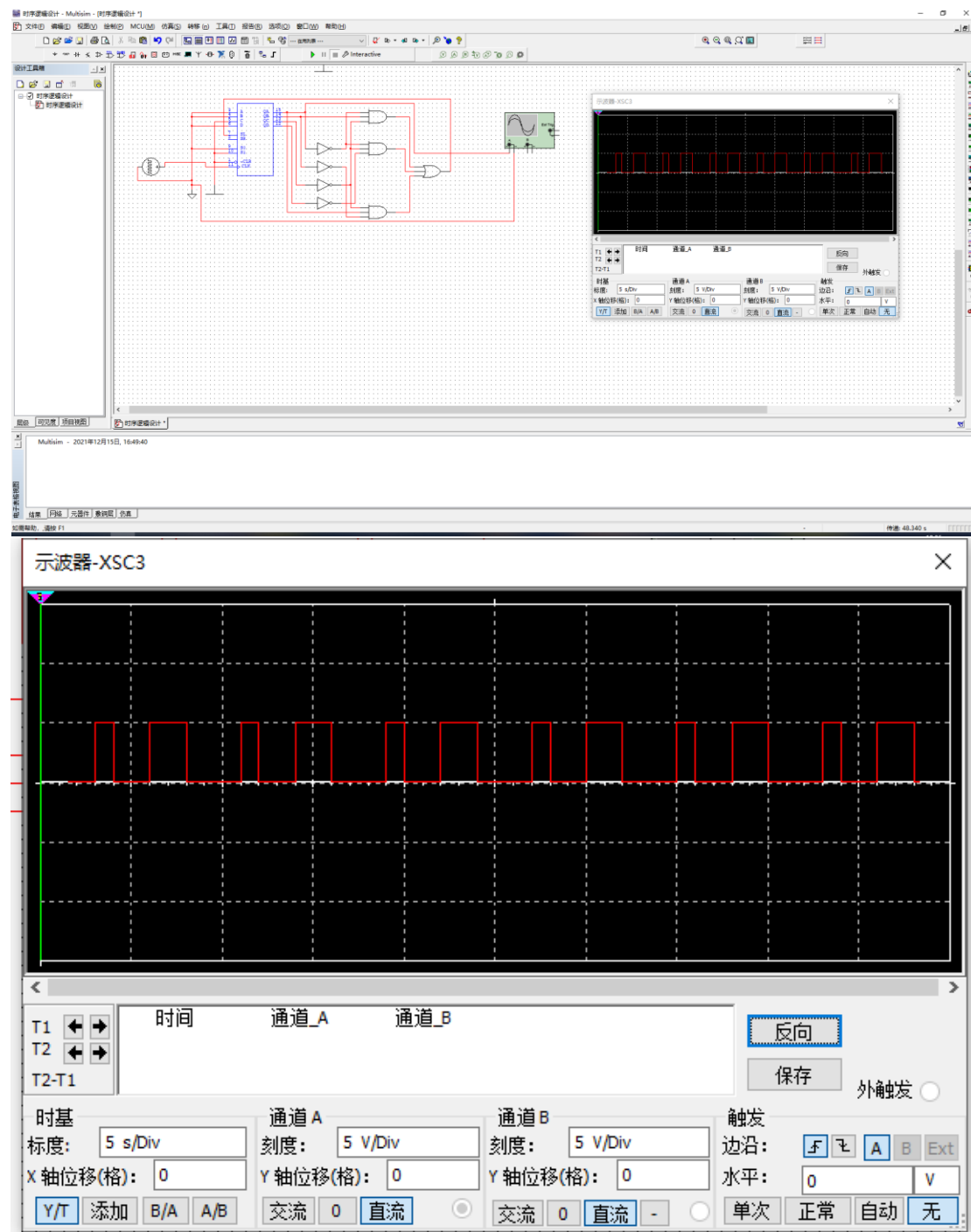
$Q_1Q_0 \backslash Q_3Q_2$	00	01	11	10
00	1	1	0	1
01	0	1	0	1
11	0	0	0	0
10	0	0	0	0

可得激励方程： $F = Q_0'Q_1'Q_3' + Q_1'Q_2Q_3' + Q_1'Q_2'Q_3$ ，得到组合逻辑电路，完成设计。

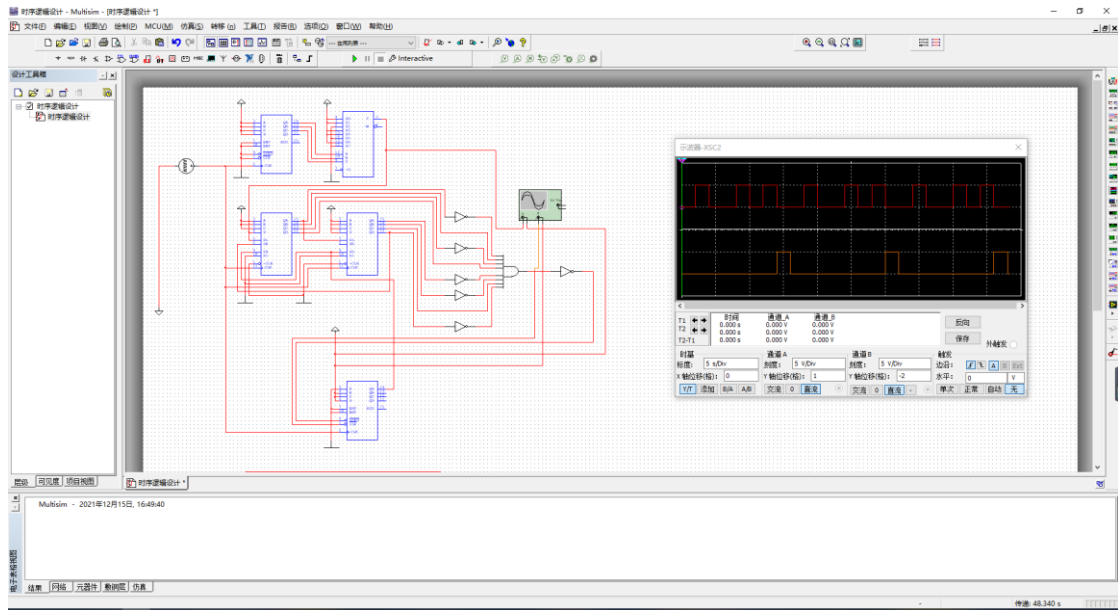
三、设计的仿真验证

完成电路设计后，我们用示波器检测了电路产生的输出序列以及检测电路相应检测结果，得到如下波形：

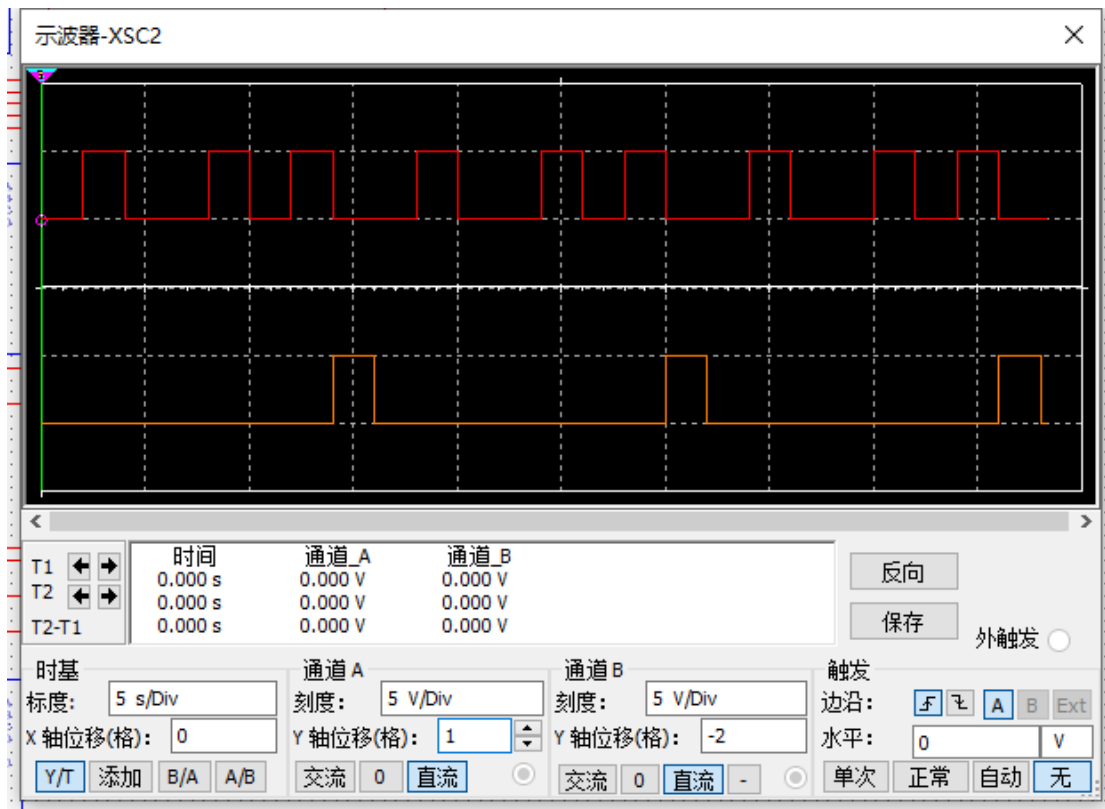
00100110 序列产生电路：



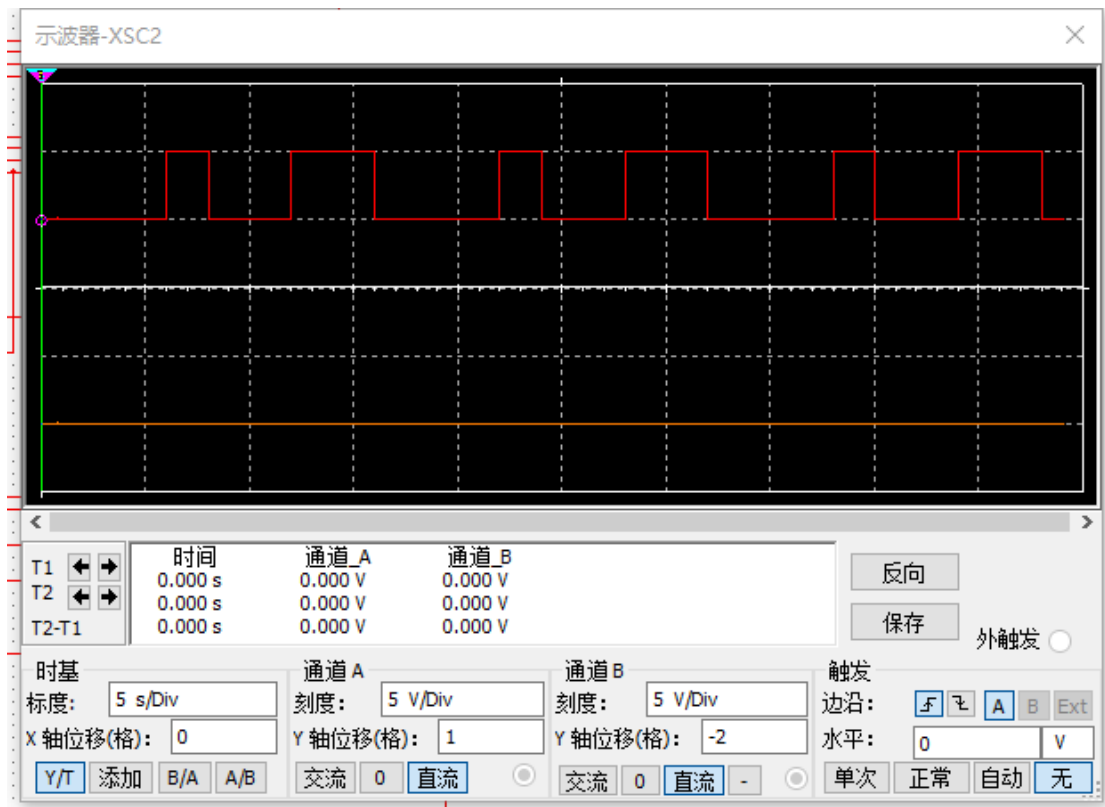
00100101 序列产生及检测电路：



示波器两个通道对应 00100101 输出序列以及检测结果：



示波器两个通道对应 00100110 输出序列以及检测结果：



四、设计结论总结

经过仿真测试验证，该电路实现了题目要求：

1、采用了两种方法分别产生同组同学选课序号对应的 8421BCD 码序列循环输出，分别为 00100101 与 00100110；

2、设计了一个不可重叠的串行序列检测器，当检测到同组同学中选课序号较小的十进制数对应的 8421BCD 码序列（00100101）时，输出为 1，其余情况输出为 0。