



MAX[®] 10 器件是业界首款单芯片，非易失性可编程逻辑器件（PLD），集成了一组优化的系统组件。

MAX 10 器件的特点如下：

- 内部存储的自配置双映像
- 全面的设计保护功能
- 集成的 ADC
- 实现 Nios II 32-bit 微控制器 IP 的硬件

MAX 10 器件是系统管理，I/O 扩展，通信控制平面，工业，汽车和消费者应用程序的理想解决方案。

相关链接

[MAX 10 FPGA 器件数据表](#)

MAX 10 器件的主要优势

表 1: MAX 10 器件系列的主要优势

优势	支持的特性
简单快速的配置	10 ms 以内的安全片上配置
灵活性和集成性	<ul style="list-style-type: none"> • 集成了 PLD 逻辑，RAM，闪存，数字信号处理（DSP），ADC，锁相环（PLL）和 I/O 的单一器件 • 3 mm x 3 mm 的小型封装
低功耗	<ul style="list-style-type: none"> • 休眠模式—显著地降低了待机功耗，再启动不到 1 ms • 更长的电池寿命—从完全断电中恢复不到 10 ms
20 年使用寿命	采用 TSMC 的 55 nm 工艺技术

Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

*Other names and brands may be claimed as the property of others.

ISO
9001:2008
Registered

ALTERA
now part of Intel

优势	支持的特性
高产量设计工具	<ul style="list-style-type: none"> • Quartus® II 网络版 • Qsys 系统集成工具 • DSP Builder • Nios® II 嵌入式设计套件 (EDS)

MAX 10 器件特性汇总

表 2: MAX 10 器件的特性汇总

功能	说明
技术	55 nm TSMC Embedded Flash (EmbFlash)工艺技术
封装	<ul style="list-style-type: none"> • 低成本，小封装尺寸 • 多器件密度，具有可兼容的封装足印，用于不同器件密度之间的无缝移植， • RoHS6 兼容
核心体系结构	<ul style="list-style-type: none"> • 4 输入查找表 (LUT) 和单一寄存器逻辑单元 (LE) • 逻辑阵列模块 (LAB) 中排列的 LE • 嵌入式 RAM 和用户闪存 • 时钟和 PLL • 嵌入式乘法器模块 • 通用 I/O
内部存储器模块	<ul style="list-style-type: none"> • M9K—9 千比特(Kb)存储器模块 • 用于创建 RAM，双端口和 FIFO 功能的可级联的模块
用户闪存	<ul style="list-style-type: none"> • 用户可访问的非易失性存储 • 高速操作频率 • 高存储器容量 • 高数据保存能力 • 多种接口选项

功能		说明
嵌入式硬核 IP	嵌入式存储器模块	<ul style="list-style-type: none"> 支持一个 18 x 18 或两个 9 x 9 乘法器模式 可级联的模块，实现过滤器，运算功能，以及图像处理流水线的创建
	ADC	<ul style="list-style-type: none"> 12 比特逐次逼近寄存器 (SAR) 类型 高达 17 个模拟输入 累积速度高达每秒 1 百万次采样 (MSPS) 集成的温度感应功能
	闪存 IP	支持双启动自配置技术
时钟网络		<ul style="list-style-type: none"> 支持全局时钟 时钟网络中的高速频率
内部振荡器		内置的内部环形振荡器
PLL		<ul style="list-style-type: none"> 基于模拟 低抖动 高精度时钟合成 时钟延迟补偿 零延迟缓存 多输出抽头
通用 I/O (GPIO)		<ul style="list-style-type: none"> 支持多种 I/O 标准 片上匹配(OCT) 高达每秒 830 兆比特 (Mbps) 的 LVDS 接收器，800 Mbps 的 LVDS 发送器
外部存储器接口		支持高达 600 Mbps 的外部存储器接口： <ul style="list-style-type: none"> DDR3, DDR3L, DDR2, LPDDR2 (仅适用于 10M16, 10M25, 10M40 和 10M50)。 SRAM (仅硬件支持。使用您自己设计与 SRAM 器件连接。)
配置		<ul style="list-style-type: none"> 内部配置 JTAG 高级加密标准 (AES) 128 位加密和压缩选项 闪存中的数据可以保存 10 年

功能	说明
灵活的电源方案	<ul style="list-style-type: none">• 单电源和双电源器件选项• 动态控制的输入缓存断电• 睡眠模式下降低动态功耗

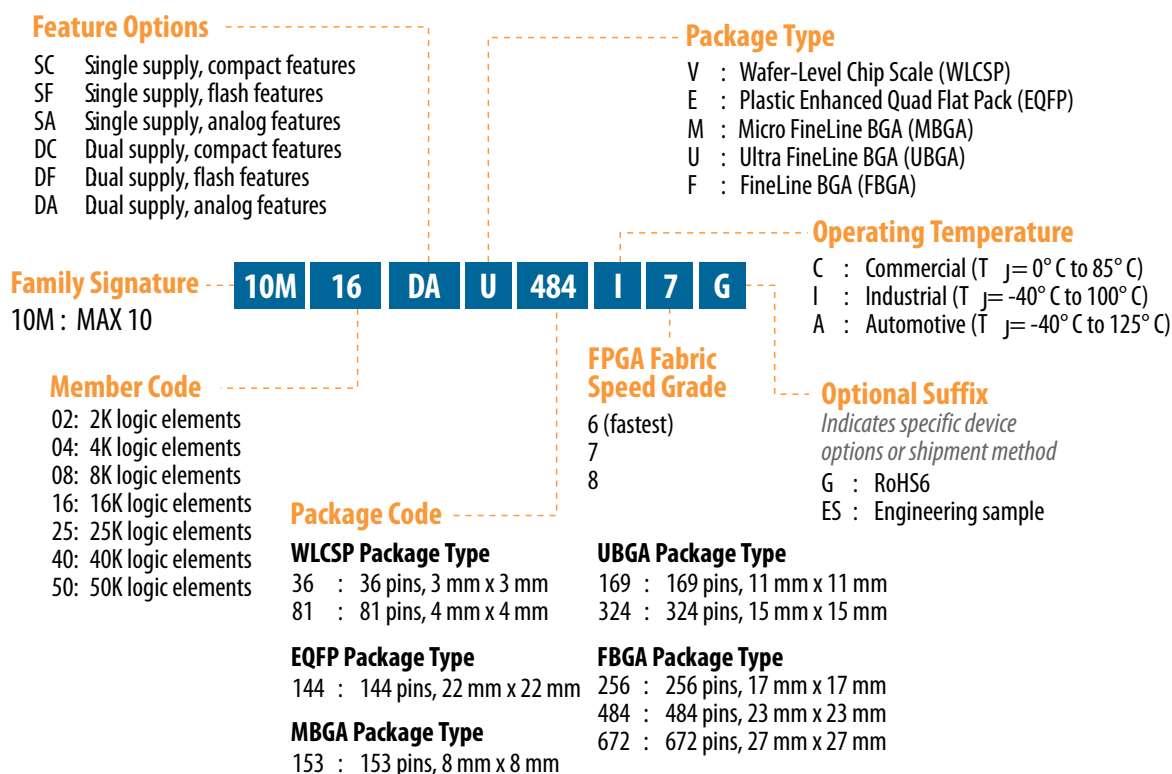
MAX 10 器件特性选项

表 3: MAX 10 器件特性选项

选项	功能
Compact（紧凑型）	具有单引导自配置能力的核心体系结构的器件
Flash	具有内核体系结构的器件的特性： <ul style="list-style-type: none">• 双映像自配置• 远程系统更新能力
Analog（模拟）	具有内核体系结构的器件的特性： <ul style="list-style-type: none">• 双映像自配置• 远程系统更新能力• 集成的模拟到数字转换器

MAX 10 器件订购信息

图 1: MAX 10 器件的订购代码样例和可用选项——初步



注意: 在 Quartus II 软件中，默认情况下 - I6 速度等级 MAX 10 FPGA 器件选项是不可用的。请联系您当地的 Altera 销售代表获得支持。

相关链接

[Altera 产品选择器](#)

提供关于 Altera 产品的最新信息。

MAX 10 器件最大资源

表 4: MAX 10 器件的最大资源数——初步

资源	器件						
	10M02	10M04	10M08	10M16	10M25	10M40	10M50
逻辑单元 (LE) (K)	2	4	8	16	25	40	50
M9K 存储器 (KB)	108	189	378	549	675	1,260	1,638
闪存 (KB) ⁽¹⁾	96	1,248	1,376	2,368	3,200	5,888	5,888

资源		器件						
		10M02	10M04	10M08	10M16	10M25	10M40	10M50
18 x 18 乘法器		16	20	24	45	55	125	144
PLL		2	2	2	4	4	4	4
GPIO		160	246	250	320	380	500	500
LVDS	专用发送器	10	15	15	22	26	30	30
	仿真发送器	73	114	116	151	181	241	241
	专用接收器	73	114	116	151	181	241	241
内部配置映像		1	2	2	2	2	2	2
ADC		—	1	1	1	2	2	2

MAX 10 器件每种封装的 I/O 资源

表 5: MAX 10 单电源器件的封装规划—初步

器件	封装			
	类型	M153 153-pin MBGA	U169 169-pin UBGA	E144 144-pin EQFP
	尺寸	8 mm × 8 mm	11 mm × 11 mm	22 mm × 22 mm
	球间距	0.5 mm	0.8 mm	0.5 mm
10M02		112	130	101
10M04		112	130	101
10M08		112	130	101
10M16		—	130	101
10M25		—	—	101
10M40		—	—	101
10M50		—	—	101

⁽¹⁾ 闪存包括用户闪存和配置闪存。请参考 [MAX 10 用户闪存用户指南](#) 来获得更多信息。

表 6: MAX 10 双电源器件的封装规划—初步

器件	封装						
	类型	V36	V81	U324	F256	F484	F672
		36-pin WLCSP	81-pin WLCSP	324-pin UBGA	256-pin FBGA	484-pin FBGA	672-pin FBGA
	尺寸	3 mm × 3 mm	4 mm × 4 mm	15 mm × 15 mm	17 mm × 17 mm	23 mm × 23 mm	27 mm × 27 mm
	球间距	0.4 mm	0.4 mm	0.8 mm	1.0 mm	1.0 mm	1.0 mm
10M02		27	—	160	—	—	—
10M04		—	—	246	178	—	—
10M08		—	56	246	178	250	—
10M16		—	—	246	178	320	—
10M25		—	—	—	178	360	380
10M40		—	—	—	178	360	500
10M50		—	—	—	178	360	500

相关链接
[MAX 10 通用 I/O 用户指南](#)

MAX 10 纵向移植支持

纵向移植支持将您的设计移植到相同封装中有类似 I/O 和 ADC 资源的不同密度的其它 MAX 10 器件中。

MAX 10 I/O 纵向移植支持

图 2: MAX 10 器件间的移植能力—初步

- 箭头表示移植路径。包含在每条纵向移植路径中的器件呈阴影。有些封装有几条移植路径。相同路径中有较少 I/O 资源的器件呈更浅的阴影。
- 要实现相同移植路径中不同器件型号之间完整的 I/O 移植，需要限制 I/O 的使用来匹配最低 I/O 数的产品系列。

器件	封装								
	V36	V81	M153	U169	U324	F256	E144	F484	F672
10M02			↑	↑	↑				
10M04			↓	↓	↓	↑	↑		
10M08			↑	↑	↑			↑	
10M16				↓	↓		↓		
10M25						↑	↓	↑	↑
10M40						↓	↑	↓	↓
10M50						↓	↓	↓	↓

注意: 要验证管脚移植的兼容性，需要使用 Quartus II Pin Planner 的 Pin Migration View 窗口。

支持 MAX 10 ADC 垂直迁移

图 3: 跨 MAX 10 器件的 ADC 垂直迁移（初始）

箭头指示 ADC 迁移路径。每个垂直迁移路径中涉及的器件都为灰色。

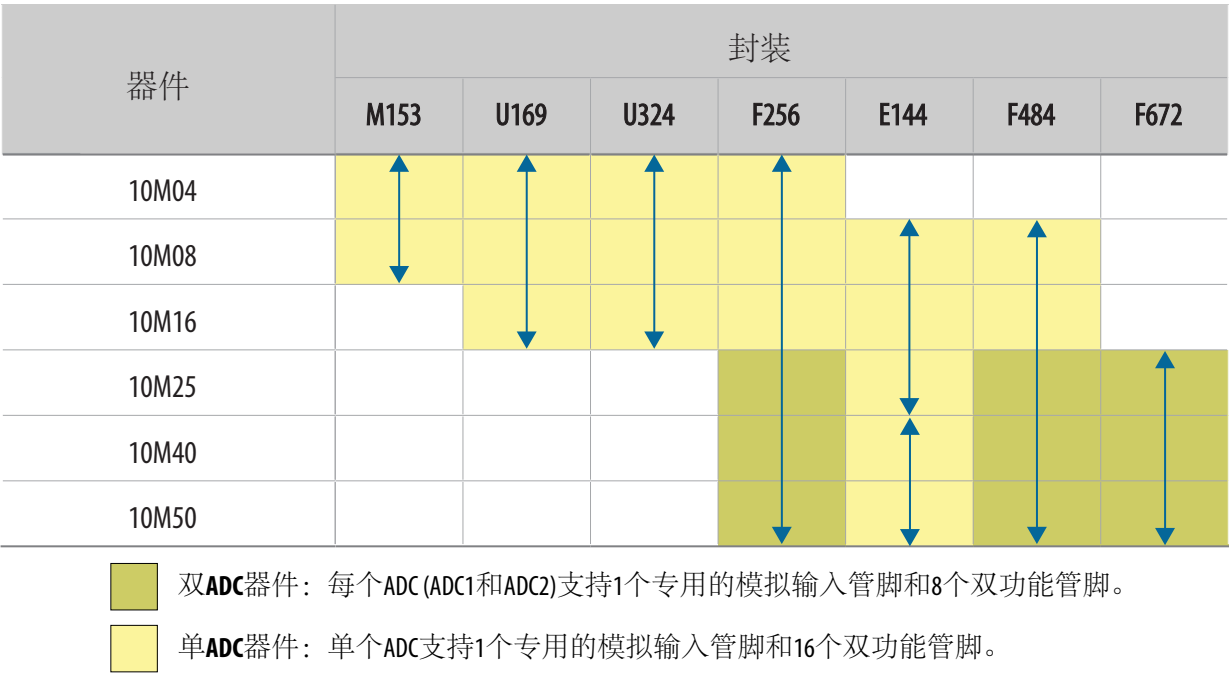


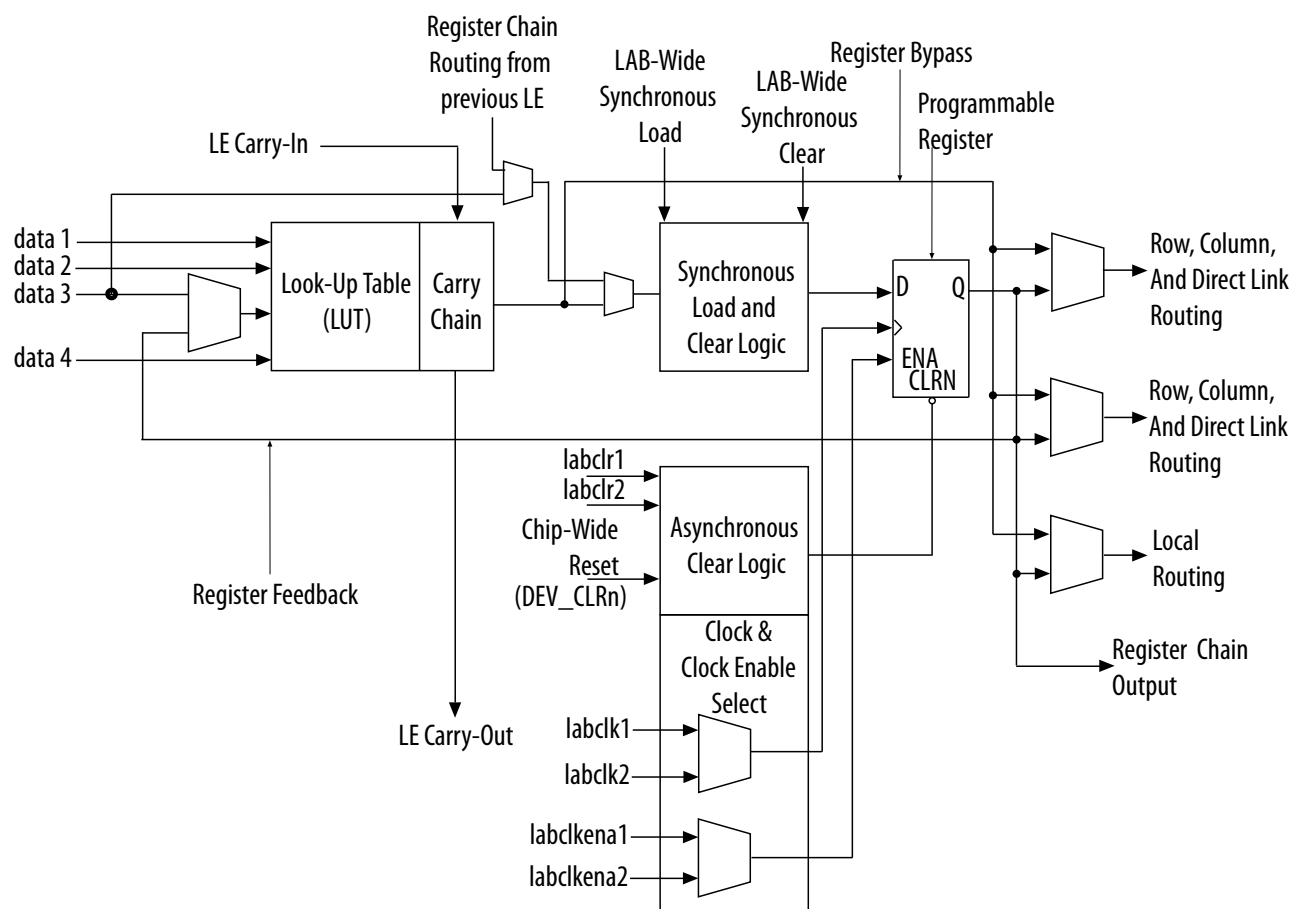
表 7: 有关 ADC 迁移的引脚迁移条件

源	目标	可迁移的引脚
单 ADC 器件	单 ADC 器件	您可以迁移所有 ADC 输入引脚
双 ADC 器件	双 ADC 器件	
单 ADC 器件	双 ADC 器件	<ul style="list-style-type: none">一个专用模拟输出引脚。从源器件的 ADC1 模块到目标器件的 ADC1 模块之间的八个双功能引脚。
双 ADC 器件	单 ADC 器件	

逻辑单元和逻辑阵列模块

LAB 包括 16 个逻辑单元和 1 个 LAB-wide 控制模块。LE 是 MAX 10 器件体系结构中逻辑的最小单元。每个 LE 有 4 个输入，一个四输入查找表（LUT），一个寄存器和输出逻辑。四输入 LUT 是一个功能生成器，通过 4 个变量可以实现任何功能。

图 4: MAX 10 器件系列 LE



模拟到数字转换器

MAX 10 器件中有两个模拟到数字转换器（ADC）。MAX 10 器件的 ADC 监控芯片的内部温度，并支持外部模拟信号转换。

表 8: ADC 特性

功能	说明
12 比特解析	<ul style="list-style-type: none">将模拟数量转换成数字数据、进行信息处理，计算，数据传输和控制系统提供一个 12 比特数字表示的观测模拟信号
高达 1 MSPS 的采样率	监视正常模式下的 1 MSPS 累积采样率的单端外部输入
单 ADC 器件高达 17 个单端外部输入	1 个专用模拟和 16 个双功能输入管脚

功能	说明
双 ADC 器件高达 18 个单端外部输入	<ul style="list-style-type: none">每个 ADC 模块中有 1 个专用模拟和 8 个双功能输入管脚双 ADC 器件的同时测量能力
片上温度传感器	通过高达每秒 50 千采样(kilosamples)的采样率监控外部温度数据输入

用户闪存

- MAX 10 器件中的用户闪存（UFM）模块存储非易失性信息。
- UFM 提供了一个理想的存储解决方案，可以通过下面协议进行访问：
- 到 UFM 的 Avalon Memory Mapped (Avalon-MM)从接口
 - 从 Avalon-MM 到 UFM 的 SPI 从接口（在 Quartus II 14.1 及后续版本中可用）

表 9: UFM 特性

特性	性能
持久性	高达 10,000 次的读写
操作频率	最大 116 MHz
存储的数据长度	长达 32 比特

嵌入式乘法器和数字信号处理支持

- MAX 10 器件支持高达 144 个嵌入式乘法器模块。每个模块支持一个独立的 18×18-bit 乘法器或两个独立的 9×9-bit 乘法器。
- 除了嵌入式乘法器，MAX 10 器件还包括片上资源和外部接口的组合，以提高性能，减少系统成本和降低数字信号处理（DSP）系统的功耗。您可以单独使用 MAX 10 器件，或者用作 DSP 器件协处理器以提高 DSP 系统的性价比。
- 通过使用下面的选项可以控制嵌入式乘法器模块的操作：
- 使用 Quartus II 参数编辑器对相关的 IP 内核进行参数化
 - 直接映射乘法器到 VHDL 或 Verilog
- 对 MAX 10 器件提供的系统设计功能：



- DSP IP 内核：
 - 通用 DSP 处理功能，例如：有限脉冲响应（FIR），快速傅立叶变换（FFT）和数控振荡器（NCO）功能
 - 通用视频和图像处理功能套件
- 终端市场应用的完整参考设计
- Quartus II 软件与 MathWorks Simulink 和 MATLAB 设计环境之间的 DSP Builder 接口工具
- DSP 开发工具

嵌入式存储器模块

MAX 10 器件的每个 M9K 存储器模块都提供一个能够运行在高达 284 MHz 的 9 Kb 的片上存储器。嵌入式存储器结构由 M9K 存储器模块列组成。嵌入式 M9K 存储器模块列可配置成：

- RAM
- 先入先出(FIFO)缓冲器
- ROM

MAX 10 器件存储器块被优化用于高吞吐量数据包处理，嵌入式处理器程序和嵌入式数据存储等应用。

通过使用下面的选项对 M9K 存储器模块进行应用：

- 使用 Quartus II 参数编辑器对相关的 IP 内核进行参数化
- 直接映射乘法器到 VHDL 或 Verilog

表 10: M9K 支持的操作模式和配置

M9K 操作模式	端口宽度配置
单端口	×1, ×2, ×4, ×8, ×9, ×16, ×18, ×32 和×36
简单双端口	×1, ×2, ×4, ×8, ×9, ×16, ×18, ×32 和×36
真双端口	×1, ×2, ×4, ×8, ×9, ×16 和×18

时钟和 PLL

MAX 10 器件最多可支持 20 个操作频率高达 450 MHz 的全局时钟(GCLK)网络。GCLK 网络具有高驱动强度和低偏斜。

MAX 10 器件中有内置内部振荡器。

高精度和低抖动 PLL 的用途如下：

- 降低了电路板上所需要的振荡器的数量
- 通过从一个参考时钟源综合多个时钟频率来减低器件时钟管脚的数量
- 频率合成
- 消除不同时钟间的偏斜
- 减小抖动
- 动态相移
- 零延迟缓存
- 计数器重配置
- 带宽重配置
- 可编程输出占空比
- PLL 级联
- 参考时钟切换
- ADC 模块驱动

FPGA 通用 I/O

MAX 10 器件 I/O 缓存支持以下可编程的特性：

- 可编程电流强度
- 可编程输出摆率控制
- 可编程 IOE 延迟
- PCI 钳位二极管
- 可编程预加重
- 可编程仿真差分输出
- 可编程动态断电
- 可编程总线保持
- 可编程弱上拉
- 可编程漏极开路

外部存储器接口

MAX 10 器件右侧有一个软核存储控制器，用于 DDR3，DDR3L，DDR2 和 LPDDR2 SDRAM 接口。MAX 10 器件中的外部存储控制器支持带纠错编码(ECC)功能的 16 bit SDRAM 组件。

外部存储器接口功能仅适用于双电源 MAX 10 器件。

表 11: 外部存储器接口性能

外部存储器接口 ⁽²⁾	I/O 标准	最大宽度	最大频率 (MHz)
DDR3 SDRAM	SSTL-15	16 bit + 8 bit ECC	303
DDR3L SDRAM	SSTL-135	16 bit + 8 bit ECC	303
DDR2 SDRAM	SSTL-18	16 bit + 8 bit ECC	200
LPDDR2 SDRAM	HSUL-12	16 bit without ECC	200

注意: 在 Quartus II 软件中, 默认情况下 MAX 10 FPGA 对 DDR3、DDR3L、DDR2 和 LPDDR2 外部存储器接口的支持不可用。请与您的本地销售代表取得联系以获得支持。

相关链接

[外部存储器接口规格评估器](#)

提供一个参数化工具, 使您能够找到并比较 Altera 器件中所支持的外部存储器接口性能。

配置

表 12: 配置特性

特性	说明
双映像配置	<ul style="list-style-type: none"> 在配置闪存中存储两个配置映像 (CFM) 选择第一个配置映像使用 BOOT_SEL 管脚进行引导
设计安全	<ul style="list-style-type: none"> 支持基于非易失性密钥编程的 128 比特密钥 JTAG 安全模式下限制上电期间对 JTAG 指令的访问
SEU 缓解 ⁽³⁾	<ul style="list-style-type: none"> 配置期间的自动检查循环冗余校验 (CRC) 错误 提供用户模式下可选的 CRC 错误检测和识别
复用配置管脚	<ul style="list-style-type: none"> 用户模式前用作配置管脚 提供用户模式下用作配置管脚或者用户 I/O 管脚的选项
配置数据压缩	<ul style="list-style-type: none"> 接收压缩的配置比特流, 并在配置期间实时对其解压缩 减小存储在 CFM 中的配置映像的尺寸
即时通 (instant-on)	对 MAX 10 器件提供最快的上电模式, 没有任何的 POR 延迟

⁽²⁾ 器件硬件支持 SRAM。使用您自己的设计连接 SRAM 器件。

⁽³⁾ 在 Quartus II 软件中, 单电源器件的 SEU 缓解功能在默认情况下是禁用的。请联系您的当地销售代表来了解更多信息和获得支持。

表 13: MAX 10 器件的配置模式

配置模式	压缩	加密	双映像配置	数据宽度
内部配置	Yes	Yes	Yes	—
JTAG	—	—	—	1

功耗管理

表 14: 电源选项

电源选项	优势
单电源供电器件选项	节省电路板空间和成本
双电源供电器件选项	<ul style="list-style-type: none">比单电源供电器件选项耗电更少比单电源供电器件选项性能更高
电源管理控制器方案	<ul style="list-style-type: none">当某些应用处于待机状态时可以降低动态功耗提供小于 1 毫秒的快速唤醒时间。

MAX 10 FPGA 器件概述的文档修订历史

日期	版本	修订内容
2014 年 9 月	2014.09.22	首次发布。