

MAX 10 用户闪存用户指南



Quartus Prime 设计套件的最后更新: 16.1

UG-M10UFM
2017.02.21

101 Innovation Drive
San Jose, CA 95134
www.altera.com

ALTERA
now part of Intel®

内容

MAX[®] 10 用户闪存概述.....	1-1
MAX 10 UFM 体系结构和特性.....	2-1
UFM 和 CFM 阵列大小.....	2-1
UFM 存储器组织映射.....	2-2
UFM 块结构图.....	2-2
UFM 操作模式.....	2-5
MAX 10 UFM 设计考量.....	3-1
指南：UFM 电源要求.....	3-1
指南：通过 JTAG 编程和读 UFM.....	3-2
指南：UFM 内容初始化.....	3-2
指南：先擦除后编程.....	3-2
MAX 10 UFM 实现指南.....	4-1
Altera On-Chip Flash IP 核.....	4-1
UFM Avalon-MM 操作模式.....	4-1
UFM 读状态和控制寄存器.....	4-1
UFM 写控制寄存器.....	4-2
UFM 编程（写）操作.....	4-2
UFM 扇区擦除操作.....	4-4
UFM 页面擦除操作.....	4-4
UFM 读操作.....	4-5
UFM 突发读操作.....	4-7
闪存初始化文件.....	4-12
Altera On-Chip Flash IP 核参考.....	5-1
Altera On-Chip IP Flash 参数.....	5-1
Altera On-Chip IP 闪存信号.....	5-2
Altera On-Chip Flash IP 寄存器.....	5-4
扇区地址.....	5-6
MAX 10 User Flash Memory User Guide 存档.....	A-1



MAX 10 用户闪存用户指南修订历史.....	B-1
---------------------------------	------------

2017.02.21

UG-M10UFM



订阅



反馈

Intel[®] MAX[®] 10 FPGA 提供储存非易失性信息的用户闪存 (UFM) 块。

UFM 提供了一个使用 Avalon 存储器映射 (Avalon-MM) 从接口访问 UFM 的理想存储解决方案。

UFM 块还具有如下特性。

功能	性能
持久性	计数至少 10,000 个编程/擦除周期
数据保留 (在 10,000 个编程/擦除周期后)	<ul style="list-style-type: none"> • 85 °C 下保留 20 年 • 100 °C 下保留 10 年
最大操作频率	<ul style="list-style-type: none"> • 串行接口 <ul style="list-style-type: none"> • 10M02, 10M04, 10M08, 10M16, 10M25: 7.25 MHz • 10M40, 10M50: 4.81MHz • 并行接口 <ul style="list-style-type: none"> • 10M02: 7.25 MHz • 10M04, 10M08, 10M16, 10M25, 10M40, 10M50: 116 MHz
数据长度	可并行存储高达 32 比特长的数据

相关链接

- [通过 Nios II 处理器使用 Max 10 器件上的用户闪存 \(UFM\)](#)
- [使用用户闪存将 MAX 系列 FPGA 置于休眠模式](#)
- [MAX 10 User Flash Memory User Guide 存档](#) (第 6-1 页)
罗列了早前各版本 Altera 片上存储器 IP 核用户指南

Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

*Other names and brands may be claimed as the property of others.

ISO
9001:2008
Registered

ALTERA
now part of Intel

2017.02.21

UG-M10UFM



订阅



反馈

MAX 10 器件的 UFM 体系结构是软核和硬核 IP 的组合。您仅可以使用 Quartus® Prime 软件中的 Altera On-Chip Flash IP 核访问 UFM。

UFM 和 CFM 阵列大小

各阵列被组织成各种扇区。

每一次闪存可擦除的最小量为一个页面。一个扇区包含许多页面。可单独擦除每页或每个扇区。

Altera On-Chip Flash IP 核还提供基于参数编辑器中您指定内容的配置闪存（CFM）的访问。

表 2-1: UFM 和 CFM 阵列大小

该表列出了 UFM 和 CFM 阵列的大小。

器件	每扇区页面数					页面大小 (Kb)	用户闪存总 量 (Kb) ⁽¹⁾	配置存储器总量 (Kb) ⁽¹⁾
	UFM1	UFM0	CFM2 (Image 2)	CFM1 (Image 2)	CFM0 (Image 1)			
10M02	3	3	0	0	34	16	96	544
10M04	0	8	41	29	70	16	1,248	2,240
10M08	8	8	41	29	70	16	1,376	2,240
10M16	4	4	38	28	66	32	2,368	4,224
10M25	4	4	52	40	92	32	3,200	5,888
10M40	4	4	48	36	84	64	5,888	10,752
10M50	4	4	48	36	84	64	5,888	10,752

⁽¹⁾ 您所选的模式决定可能的最大值。

Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

*Other names and brands may be claimed as the property of others.

ISO
9001:2008
Registered

ALTERA
now part of Intel

UFM 存储器组织映射

根据您在 Altera On-Chip Flash 参数编辑器中指定的配置模式更改地址方案。

下列表格说明基于不同配置模式和 MAX 10 系列的动态 UFM 支持。

表 2-2: 动态闪存大小支持：闪存和模拟系列

配置	UFM1	UFM0	CFM2 (Image 2)	CFM1 (Image 2)	CFM0 (Image 1)
双压缩映像	UFM 空间	UFM 空间	—	—	—
单未压缩映像	UFM 空间	UFM 空间	UFM 空间	—	—
单压缩映像	UFM 空间	UFM 空间	UFM 空间	UFM 空间	—
通过存储器初始化的单未压缩映像	UFM 空间	UFM 空间	—	—	—
通过存储器初始化的单压缩映像	UFM 空间	UFM 空间	—	—	—

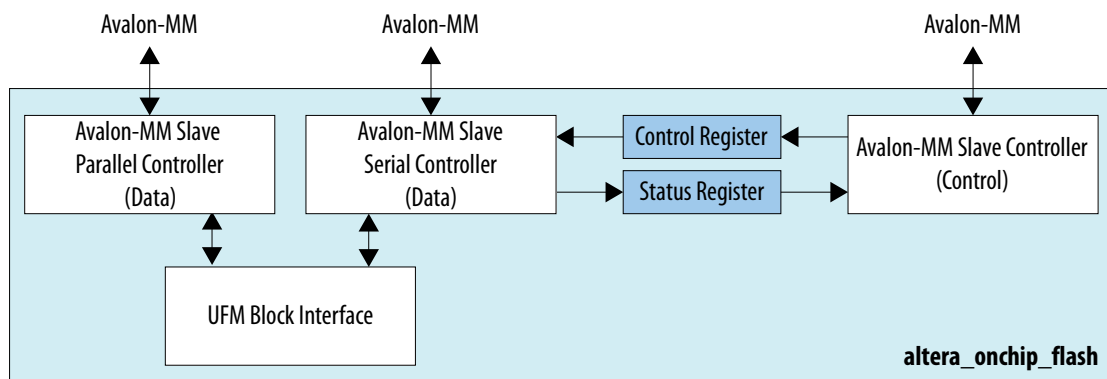
表 2-3: 动态闪存大小支持：紧凑型系列

配置	UFM1	UFM0	CFM2 (Image 2)	CFM1 (Image 2)	CFM0 (Image 1)
双压缩映像	不可用				
单未压缩映像	UFM 空间	UFM 空间	—	—	—
单压缩映像	UFM 空间	UFM 空间	—	—	—
通过存储器初始化的单未压缩映像	不可用				
通过存储器初始化的单压缩映像	不可用				

UFM 块结构图

该图为 Altera On-Chip Flash IP 核结构图的顶层视图。Altera On-Chip Flash IP 核支持 MAX 10 F PGA 的并和串行接口。

图 2-1: Altera On-Chip Flash IP 核结构图



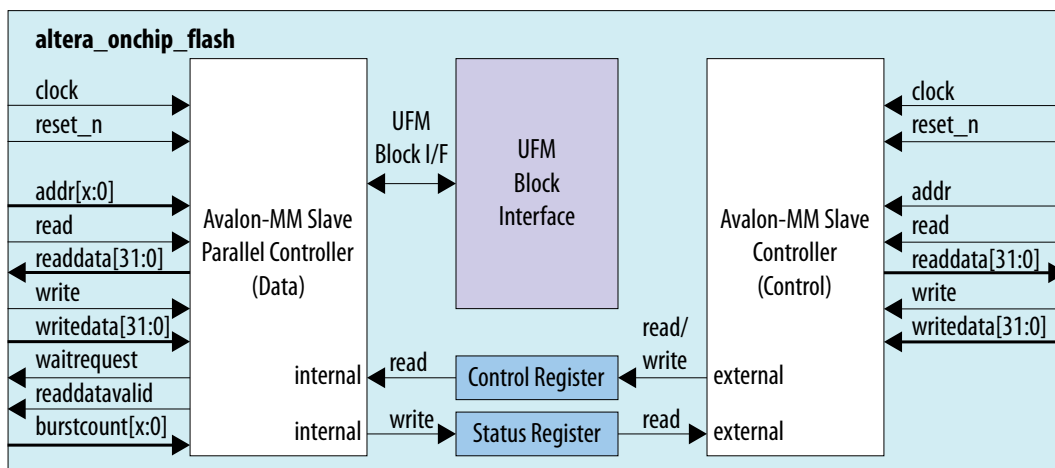
IP 块具有两个 Avalon-MM 从控制器：

- 数据—提供对闪存进行读和编程访问的 UFM 块封装。
- 控制—闪存的 CSR 和状态寄存器，只需要用于编程和擦除操作。

这些图是读和编程（写）操作期间 Avalon-MM 接口的详情综述。

图 2-2: 并行模式中 Altera On-Chip Flash IP 核 Avalon-MM 从接口读和编程（写）操作

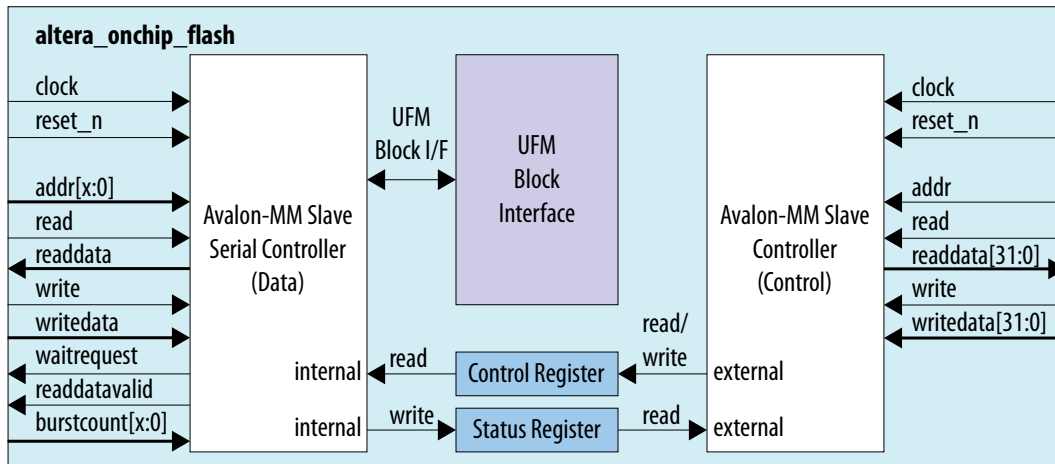
下图显示了并行模式下 MAX 10 器件的标准接口。



注意：所有处于并行模式的器件（除 10M02 以外），最大频率都是 116 MHz。10M02 器件的最大频率是 7.25 MHz。

图 2-3: 串行模式中的 Altera 片上闪存 IP 核 Avalon-MM 从接口读和编程（写）操作

下图显示了串行模式下 MAX 10 器件的标准接口。



这些图显示为只读操作期间 Avalon-MM 接口的详情综述。

图 2-4: 并行模式中 Altera On-Chip Flash IP 核 Avalon-MM 从接口只读操作

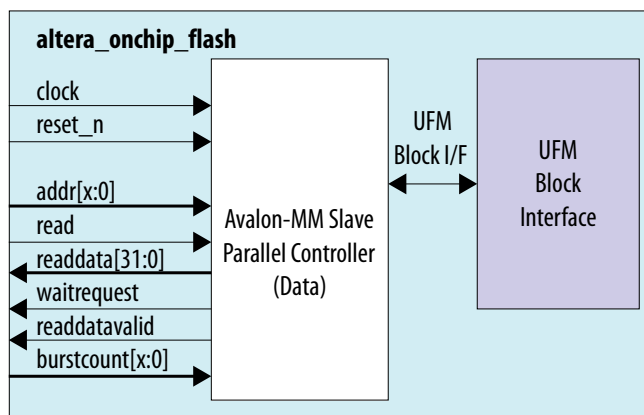
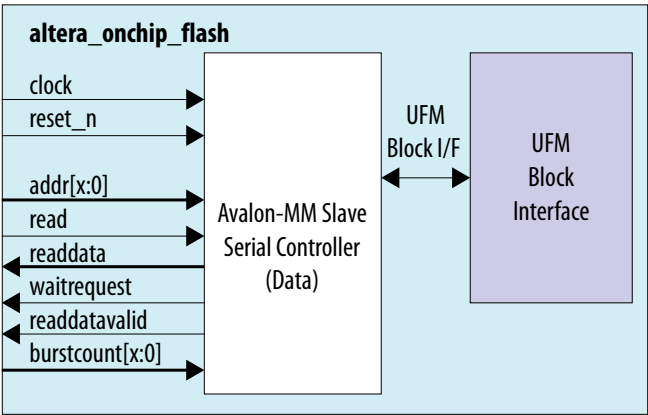


图 2-5: 串行模式中 Altera On-Chip Flash IP 核 Avalon-MM 从接口只读操作



UFM 操作模式

UFM 块提供下列操作模式：

- 读
- 突发读
- 编程（写）
- 扇区擦除
- 页面擦除
- 扇区写保护

可从 Altera On-Chip Flash 参数编辑器中选择下列访问模式进行读和控制操作。

- 读和编程模式—该模式支持数据和控制从接口。适用于 UFM 和 CFM 扇区。
- 只读模式—该模式仅支持数据从接口，并且只限于读操作。适用于 UFM 和 CFM 扇区。
- 隐藏—该模式不支持任何读或编程（写）操作。仅适用于 CFM 扇区。

下表显示为并行和串行模式间的对比。

表 2-4: 对比并行模式和串行模式

功能	并行模式	串行模式
Avalon-MM 数据接口	32 位数据总线的并行模式	基于 32 位突发计数的串行模式
访问模式	<ul style="list-style-type: none"> • 读和编程 • 只读 • 隐藏 	<ul style="list-style-type: none"> • 读和编程 • 只读 • 隐藏
读模式	<ul style="list-style-type: none"> • 递增突发读 • 封装突发读 	仅递增突发读
编程（写）操作	单 32 位并行编程操作	单 32 位串行编程操作

2017.02.21

UG-M10UFM



订阅



反馈

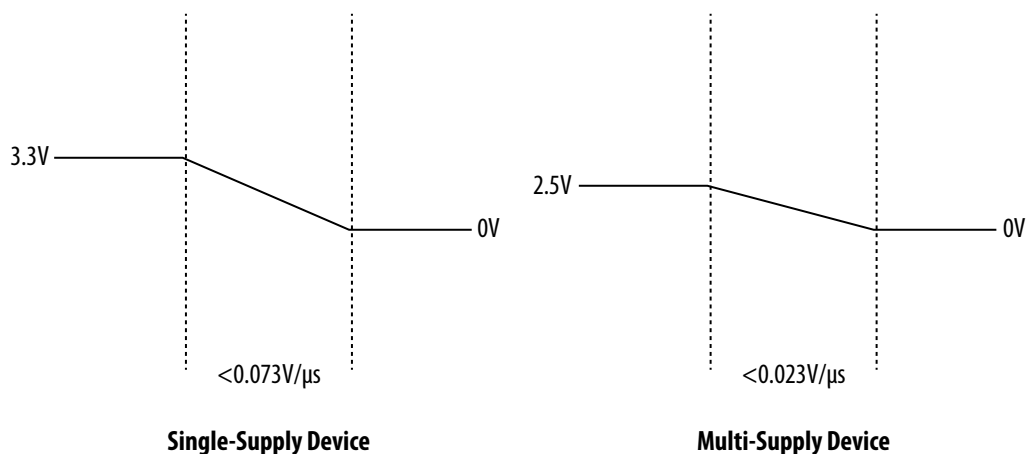
为确保设计成功，需留意几个注意事项。如无其他说明，这些设计指南适用于该器件所有系列。

指南：UFM 电源要求

UFM 和 CFM 操作期间，请确保遵循电源电流下降的最大摆率要求。此设置可以防止断电情况下的设备损坏。

表 3-1: 最大摆率要求

器件	最大摆率
单电源器件	0.073V/ μ s
多电源器件	0.023V/ μ s



Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

*Other names and brands may be claimed as the property of others.

ISO
9001:2008
Registered

ALTERA
now part of Intel

指南：通过 JTAG 编程和读 UFM

可使用 JTAG 接口 IEEE 标准 1149.1 编程 UFM。

JTAG 接口支持 Jam™ Standard Test 和编程语言（STAPL）格式文件（.jam），程序目标文件（.pof）和 JAM Byte 代码文件（.jbc）。

可使用 Quartus Prime Programmer 通过 JTAG 接口编程 .pof。按照下列步骤将 .pof 编程到闪存中：

1. 在 **Programmer** 窗口中，点击 **Hardware Setup**，选择 **USB Blaster**。
2. 在 **Mode** 列表中，选择 **JTAG**。
3. 点击左侧窗口上的 **Auto Detect**。
4. 选择要编程的器件，然后点击 **Add File**。
5. 选择要编程到所选器件的 .pof。
6. 在 **Program/Configure** 列中选择 **UFM**。
7. 点击 **Start** 开始编程。

要通过 .jam 或 .jbc 文件进行编程，请参阅 *Using the Command-Line Jam STAPL Solution for Device Programming* 应用笔记。

相关链接

[AN 425: 对器件编程使用命令行 Jam STAPL 解决方案](#)

指南：UFM 内容初始化

可使用软件初始化 UFM 内容。

初始存储器内容支持存储器初始化文件（.mif）和十六进制（Intel-Format）文件（.hex）。

可使用下列其中一个方法初始化 UFM 内容：

- 通过 Altera On-Chip Flash IP 核设置初始存储器内容。
- 当您将 .sof 转换成 .pof 时，通过 Quartus Prime 中的 **Convert Programming File** 工具设置初始存储器内容。

指南：先擦除后编程

确保在执行一个编程（写）操作之前擦除闪存位置。

2017.02.21

UG-M10UFM



订阅



反馈

相关链接

- [通过 Nios II 处理器使用 Max 10 器件上的用户闪存 \(UFM\)](#)
- [使用用户闪存将 MAX 系列 FPGA 置于休眠模式](#)

Altera On-Chip Flash IP 核

IP 核设计流程有助于您开始使用任何 IP 核。

安装 Altera On-Chip Flash IP 核是 Quartus Prime 安装过程的一部分。您可从 Intel FPGA IP 库中选择并参数化任何 IP 核。Intel 提供一个允许自定义 Altera On-Chip Flash IP 核的集成参数编辑器，以广泛支持各应用程序。参数编辑器引导您完成参数值设置和可选端口的选择。

相关链接

[Intel FPGA IP 核介绍](#)

提供关于 Intel FPGA IP 核的详细信息。

UFM Avalon-MM 操作模式

UFM 操作模式使用 Avalon-MM 接口。

UFM 读状态和控制寄存器

您可以通过 Avalon-MM 控制从接口访问控制寄存器值。

Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

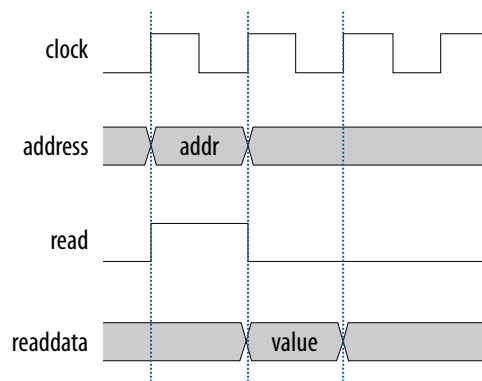
*Other names and brands may be claimed as the property of others.

ISO
9001:2008
Registered

ALTERA
now part of Intel

图 4-1: 读状态和控制寄存器

下图显示了读状态和控制寄存器的时序结构图。



要使用控制寄存器，请置位 `read` 信号，并发送控制寄存器地址到控制从地址。

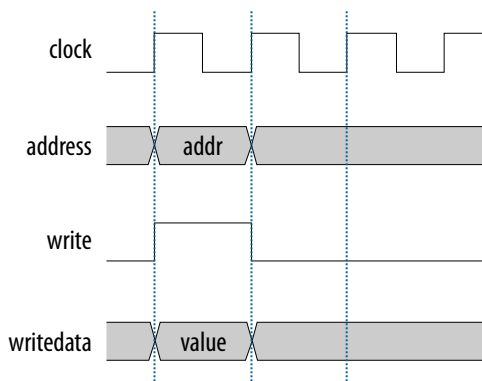
闪存 IP 内核然后将通过 `readdata` 总线发送寄存器值。

UFM 写控制寄存器

您可以通过 Avalon-MM 控制从接口编程（写）控制寄存器值。

图 4-2: 编程（写）控制寄存器

下图显示为编程控制寄存器的时序结构图。



要编程控制寄存器，需要置位 `write` 信号。

然后闪存 IP 核发送地址 `0x01`（控制寄存器）和 `writedata`（寄存器值）来控制从接口。

UFM 编程（写）操作

UFM 提供一个单 32 位编程（写）操作。

要运行 UFM 编程操作，请按照下列步骤：

1. 禁用写保护模式。通过 Avalon-MM 控制接口将 0 写入给定数据的扇区写保护寄存器。
2. 通过 Avalon-MM 数据接口将以下数据编程到闪存中。
 - 地址：合法地址（来自 Avalon-MM 地址映射）
 - 数据：用户数据

将突发计数设为 1（并行模式）或 32（串行模式）。

3. 在编程操作进行中，闪存 IP 核将状态寄存器中的 busy 域设置为 2'b10。
4. 如果操作顺利进行，那么闪存 IP 核将状态寄存器中的写入成功域设置为 1'b1 或写入成功。如果以下其中一种情况发生，那么闪存 IP 核将状态寄存器中的写入成功域设置为 1'b0（失败）：
 - 突发计数不等于 1（并行模式）或 32（串行模式）。
 - 给定地址超出范围。
 - 没有说明相应扇区是扇区保护模式还是写保护模式（值不是 1'b0）。
5. 如果要执行另一个编程操作，那么重复前面的步骤。
6. 当编程操作完成时您必须使能回写保护模式。通过 Avalon-MM 控制接口写入 1 到相应扇区的写保护寄存器。

注意：每次写之后检查状态寄存器以确保编程操作成功完成（写入成功）。

图 4-3: 并行模式中的编程操作

下图显示为并行模式中的写数据时序结构图。

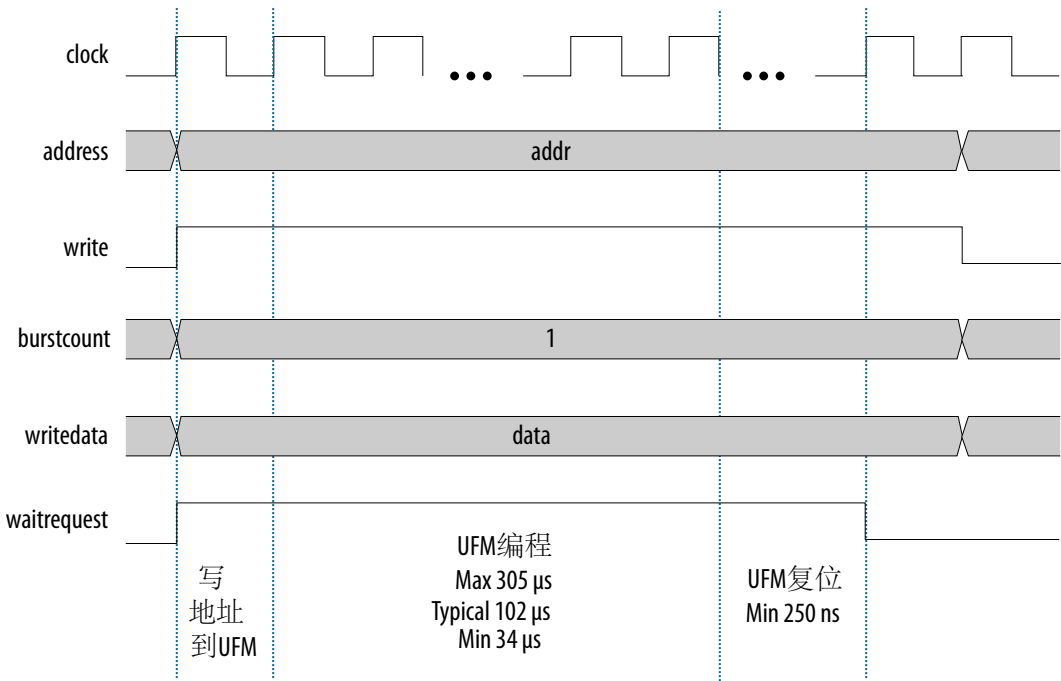
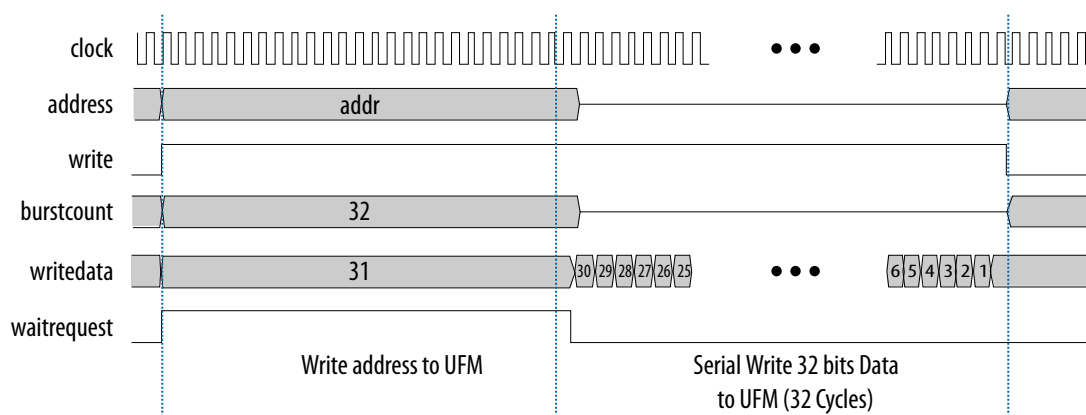


图 4-4: 串行模式中的编程操作

下图显示为串行模式中的写数据时序结构图。



UFM 扇区擦除操作

扇区擦除操作使 UFM 按扇区擦除。

请按照下列步骤进行 UFM 扇区擦除操作：

1. 禁用写保护模式。通过 Avalon-MM 控制接口，写 0 到扇区写保护寄存器。
2. 写入相应的位到控制寄存器以选择扇区擦除位置。闪存 IP 核存储扇区擦除地址并启动扇区擦除操作。

注意：当 IP 核处于 IDLE 状态时仅接受扇区擦除地址；状态寄存器的 busy 域是 2'b00。如果 IP 核处于忙状态，那么就会忽略扇区擦除地址。

3. 擦除操作进行中，闪存 IP 核将状态寄存器中的 busy 域设置为 2'b01。
4. 如有任何新的读或写命令来自于数据接口，则闪存 IP 核会置位 waitrequest 信号。
5. 闪存 IP 核擦除扇区。当扇区擦除操作完成时，它将物理闪存擦除结果存储在状态寄存器的擦除成功域中。

注意：最长擦除时间是 350 ms。

6. 如果发生下列情况，则闪存 IP 核将状态寄存器中的擦除成功域设置为 busy(失败)：
 - 发送一个非法扇区号码。
 - 未说明相应扇区是扇区保护模式还是写保护模式（值不是 1'b0）。
7. 如要执行另一个扇区擦除操作，就重复以上步骤。
8. 扇区擦除操作完成后，必须使能恢复写保护模式。通过 Avalon-MM 控制接口写 1 到相应扇区的写保护寄存器。

注意：每次擦除后要查看状态寄存器以确保擦除操作成功（擦除成功）。

UFM 页面擦除操作

页面擦除操作使 UFM 按页面擦除。

请按照下列步骤进行 UFM 页面擦除操作：

1. 禁用写保护模式。通过 Avalon-MM 控制接口，写 0 到扇区写保护寄存器。
2. 写入相应的位到控制寄存器以选择页面擦除位置。闪存 IP 核储存页面擦除地址并启动页面擦除操作。

注意：当 IP 核处于 IDLE 状态时仅接受页面擦除地址；状态寄存器的 busy 域是 2'b00。如果 IP 核处于繁忙状态，就会忽略页面擦除地址。

3. 擦除操作进行中，闪存 IP 核将状态寄存器中的 busy 域设置为 2'b01。
4. 如有任何新的读或写命令来自于数据接口，则闪存 IP 核会置位 waitrequest 信号。
5. 闪存 IP 核擦除页面。页面擦除操作完成时，就将物理闪存擦除结果存储在状态寄存器的擦除成功域中。

注意：最长擦除时间是 350 ms。

6. 如果发送非法地址，则闪存 IP 核将状态寄存器中的擦除成功域设置为 1'b0（失败）。
7. 如要执行另一个页面擦除操作，就重复以上步骤。
8. 页面擦除操作完成后，必须使能恢复写保护模式。通过 Avalon-MM 控制接口写 1 到相应页面的写保护寄存器。

注意：每次擦除后要查看状态寄存器以确保擦除操作成功（擦除成功）。

UFM 读操作

UFM 提供了一个单次 32-bit 读操作。

要执行读操作，地址寄存器需加载数据所在的参考地址或将要所处的参考地址。

要运行 UFM 读操作，请按照下列步骤：

1. 置位 read 信号以发送合法数据地址到数据从接口。
2. 将 burst count 设为 1（并行模式）或 32（串行模式）。
3. 闪存 IP 核处于繁忙状态时会置位 waitrequest 信号。
4. 闪存 IP 核置位 readdatavalid 信号，并通过 readdata 总线发送数据。
5. 读操作进行中，闪存 IP 核将状态寄存器中的 busy 域设置为 2'b11。
6. 如果操作顺利进行，那么闪存 IP 核将状态寄存器中的读取成功域设置为 1'b1 或读取成功。如果您试图从一个非法地址或受保护扇区读取，那么它将状态寄存器中的读取成功域设置为 1'b0（失败），并返回空闪存。

下图显示为并行和串行模式中不同 MAX 10 器件的读操作时序结构图。

图 4-5: 并行模式中的 10M04、10M08、10M16 和 10M25 器件的读操作

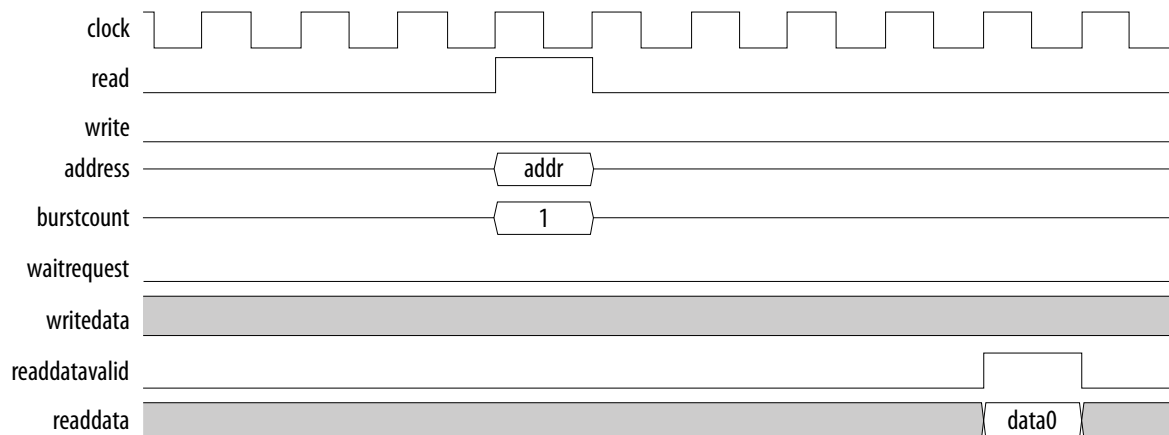


图 4-6: 并行模式中的 10M40 和 10M50 器件的读操作

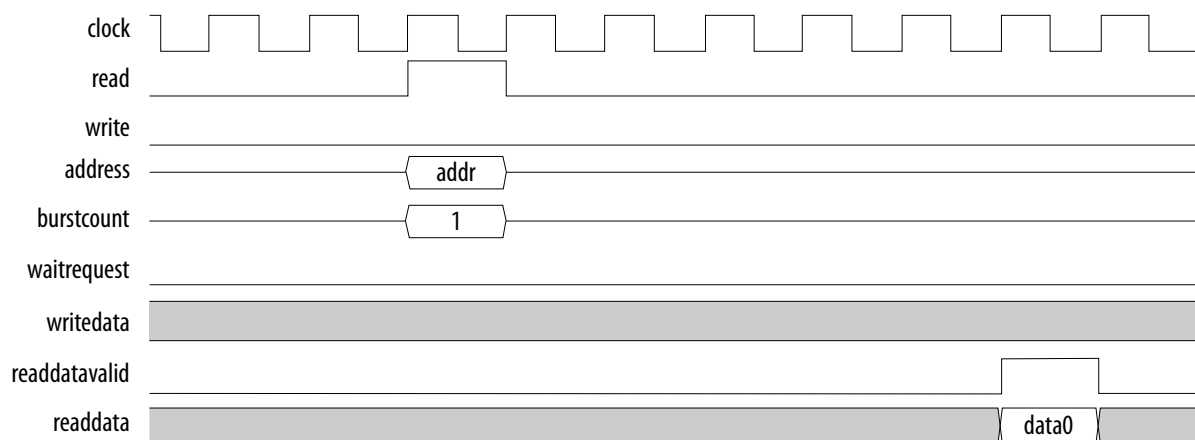
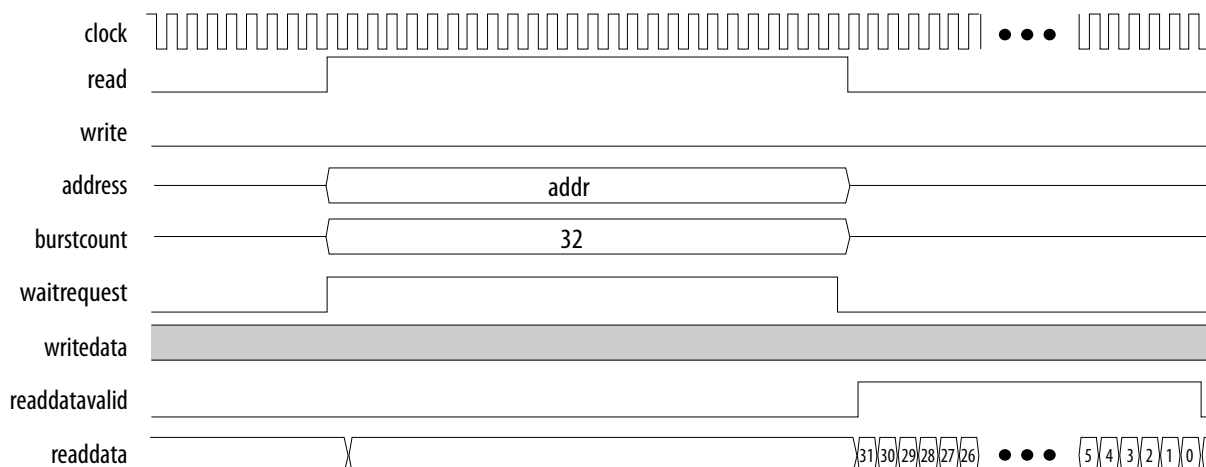


图 4-7: 串行模式中的 MAX 10 器件的读操作



UFM 突发读操作

突发读操作是连续的 32-bit 读操作。

突发读操作提供了以下模式：

- 数据递增突发读—支持最高 128 个突发计数。
- 数据封装突发读—具有固定突发计数 2（10M04/08）和 4（10M16/25/40/50）

请按照下列步骤运行 UFM 突发读操作：

1. 置位 read 信号并将合法的突发计数和合法的数据地址发送到数据接口。
2. 当闪存 IP 核繁忙时置位 waitrequest 信号。
3. 随后闪存 IP 核置位 readdatavalid 信号并通过 readdata 总线发送数据。

注意：对于数据封装突发读操作，如果地址到达闪存的末端，就返回到闪存的开端并继续读取。

4. 读操作进行中，闪存 IP 核将状态寄存器中的 busy 域设置为 2'b11 或 busy_read。
5. 如果操作顺利进行，那么闪存 IP 核将状态寄存器中的读取成功域设置为 1'b1 或读成功。如果您试图从一个非法地址或受保护扇区读取，那么它将状态寄存器中的读取成功域设置为 1'b0（失败），并将空闪存更改为 1。

UFM 数据递增突发读取

下图显示了不同 MAX 10 器件的数据递增突发读取操作的时序结构图。

图 4-8: 并行模式中 10M04 和 10M08 器件的递增突发读操作

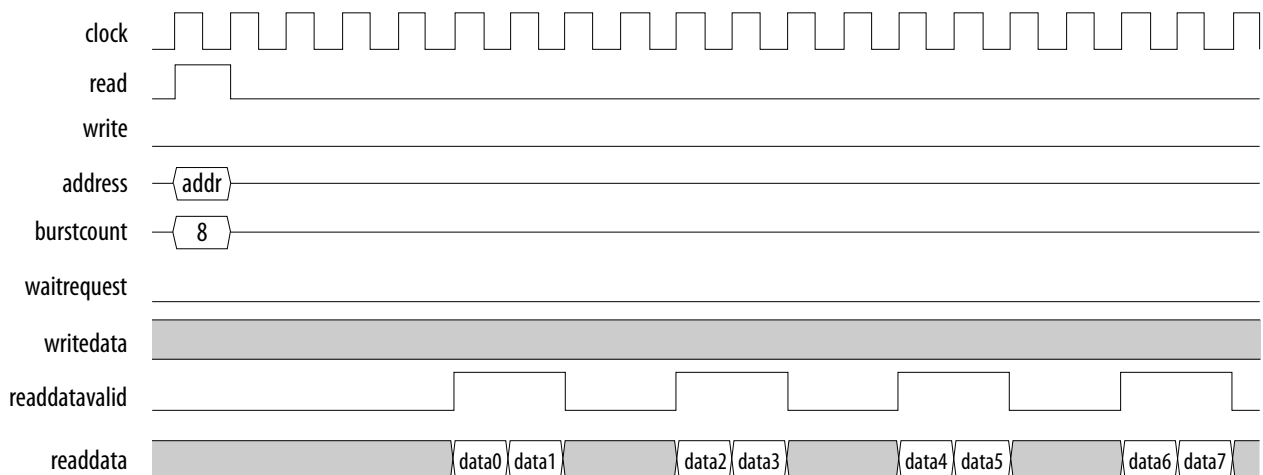


图 4-9: 并行模式中 10M16 和 10M25 器件的递增突发读操作

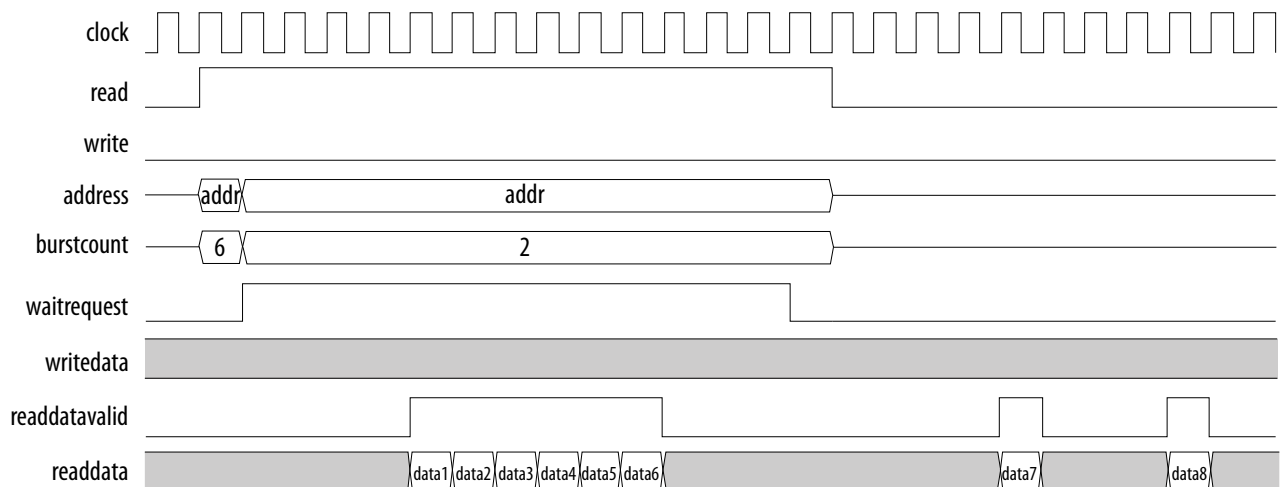


图 4-10: 并行模式中 10M50 器件的递增突发读操作

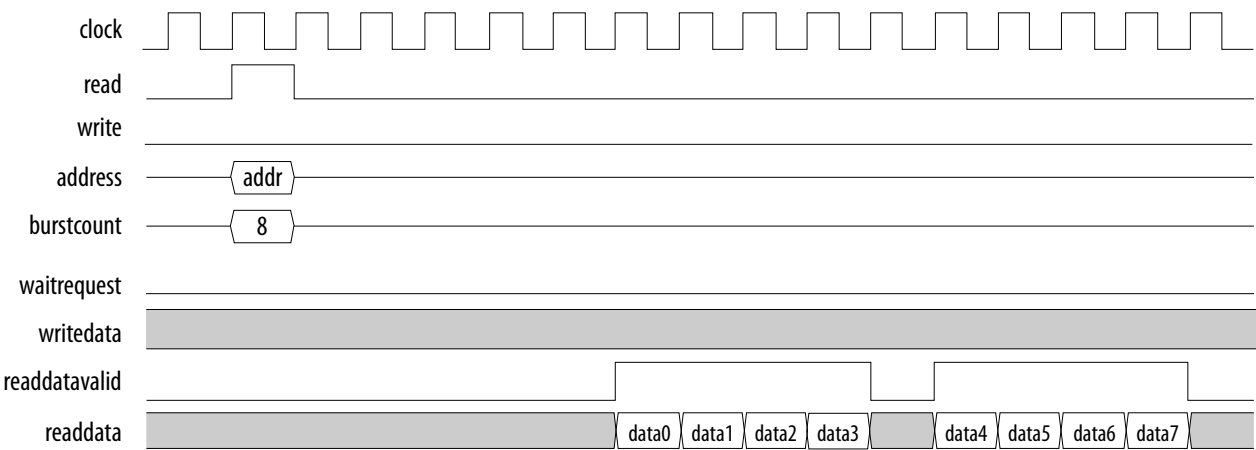


图 4-11: 并行模式中 10M50 器件的未对齐地址递增突发读操作

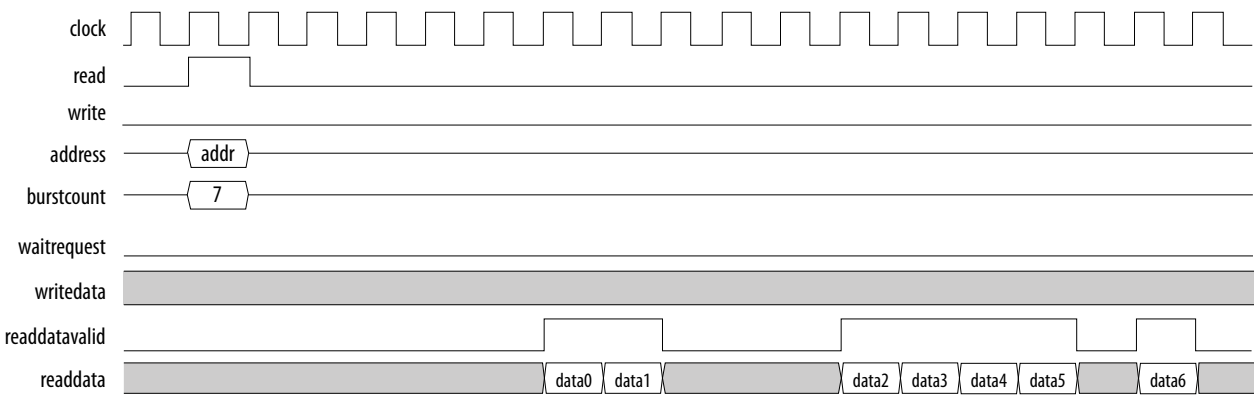
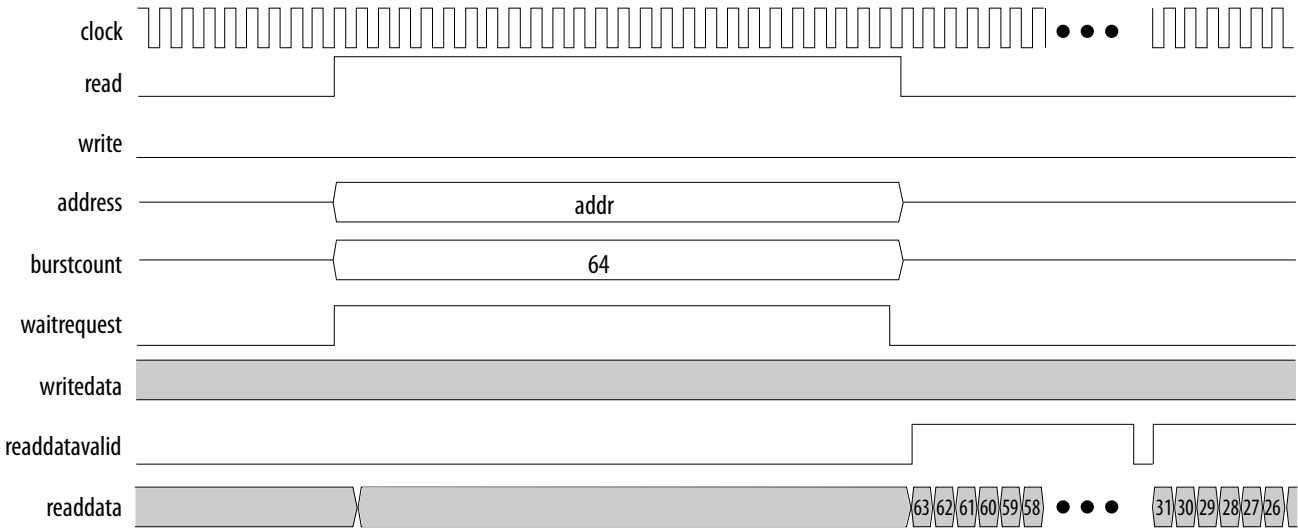


图 4-12: MAX 10 器件串行模式中的递增突发读操作



UFM 数据封装突发读

UFM 接收到一个未对齐的地址时支持数据封装。

注意: 封装突发读仅适用于并行接口。

表 4-1: MAX 10 器件的数据封装支持

器件	数据寄存器长度	闪存 IP 数据总线宽度	固定支持的突发计数	数据封装
10M04 或 10M08	32	64	2	地址在 64 位或 2 个周期后回到之前的边界。例如，对于 32-bit 数据接口中的封装： 1. 起始地址是 0x01 2. 地址序列将会是 0x01，然后返回到地址 0x00
10M16、10M25、10M40 或 10M50	32	128	4	地址在 128 位或 4 个周期后回到之前的边界。例如，对于 32-bit 数据接口中的封装： 1. 起始地址是 0x02 2. 地址序列将会是 0x02 和 0x03，然后回到地址 0x00 和 0x01

下图显示了不同 MAX 10 器件数据封装突发读取操作的时序结构图。

图 4-13: 10M04 和 10M08 器件的封装突发读操作

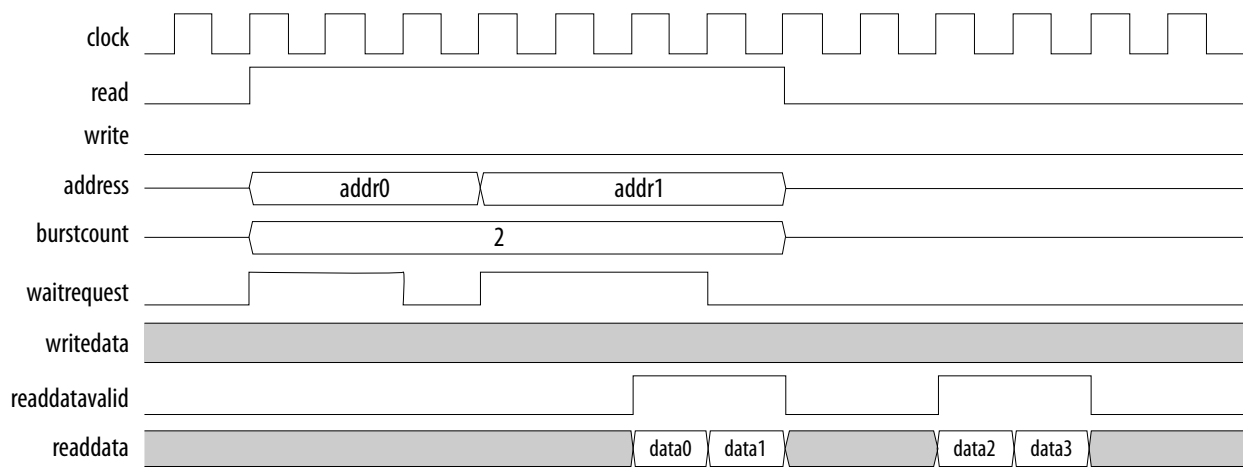


图 4-14: 10M16 和 10M25 器件的封装突发读操作

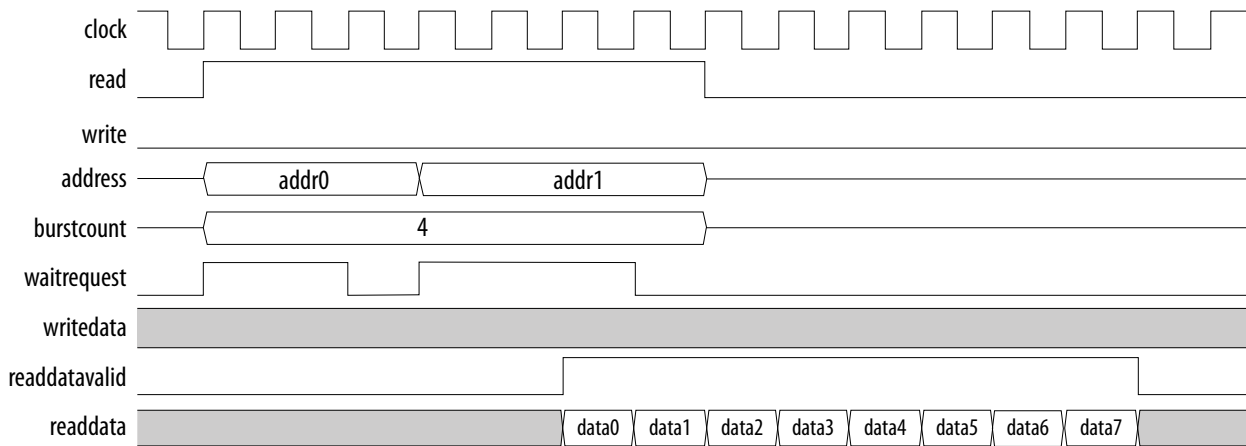
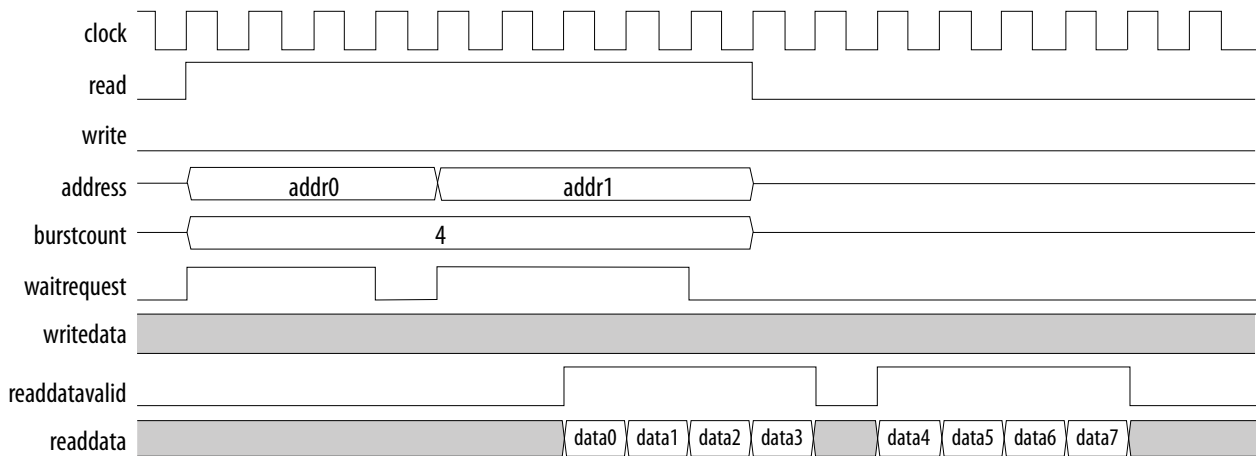


图 4-15: 10M40 和 10M50 器件的封装突发读操作



闪存初始化文件

On-Chip Flash IP 核支持 .hex、.mif 和 .dat 文件。

如果初始化文件中的总数据少于 UFM 最大容量，那么 IP 核会保持空白数据（全 1's）。

如果初始化文件中的总数据大于 UFM 最大容量，则 IP 核会忽略超出的数据。

表 4-2: 所支持的闪存初始化文件类型

文件类型	格式	注释
.hex	标准 Intel 十六进制文件—使用字节寻址。	用于实际硬件中的闪存初始化。
.mif	标准 Intel FPGA 存储器初始化文件—使用字寻址	用于实际硬件中的闪存初始化。
.dat	32-bit 数据宽文件—使用字寻址。	用于仿真模型中的闪存初始化。

2017.02.21

UG-M10UFM



订阅



反馈

这一部分提供关于 Altera On-Chip Flash IP 核参数、信号和寄存器的信息。

Altera On-Chip IP Flash 参数

以下表格罗列出 Altera On-Chip Flash IP 核参数

表 5-1: Altera On-Chip Flash IP 核参数

参数	默认值	说明				
Data interface	Parallel	选择接口类型。可选择 parallel 或 serial。				
Read burst mode	Incrementing	<div>选择读突发模式类型。可选择 incrementing 或 wrapping。</div> <table><tr><td>Incrementing mode</td><td>读突发数为 2, 4, 8, ... 128</td></tr><tr><td>Wrapping mode</td><td>突发数固定为 2 或 4</td></tr></table> <div>注意: 串行接口仅支持 incrementing mode。并行接口不支持 10M02 器件的 wrapping mode。</div>	Incrementing mode	读突发数为 2, 4, 8, ... 128	Wrapping mode	突发数固定为 2 或 4
Incrementing mode	读突发数为 2, 4, 8, ... 128					
Wrapping mode	突发数固定为 2 或 4					
Read burst count	2	<div>灵活调整突发计数总线宽度。</div> <ul style="list-style-type: none">并行模式：该设置表示最大突发计数。串行模式：该设置支持流读取并表示每个读操作要读取的字。Avalon-MM 接口突发计数总线宽度等于 32 *读突发计数。				

Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

*Other names and brands may be claimed as the property of others.

ISO
9001:2008
Registered

ALTERA
now part of Intel

参数	默认值	说明
Configuration mode	Single uncompressed image	选择配置模式。可选择下列选项之一： <ul style="list-style-type: none"> Dual compressed images（双重压缩映像） Single uncompressed image: Accesses CFM2 sector as UFM（单个未压缩映像：访问作为 UFM 的 CFM2 扇区） Single compressed image: Accesses CFM2 and CFM1 sectors as UFM（单个压缩映像：访问作为 UFM 的 CFM2 和 CFM1 扇区） Single uncompressed image with memory initialization（通过存储器初始化的单个未压缩映像） Single compressed image with memory initialization（通过存储器初始化的单个压缩映像）
Flash Memory	—	根据所选器件和配置模式由硬件 .tcl 动态生成扇区 ID、地址范围值和闪存类型。指示每个扇区的地址映射并且单独调整每个扇区的 Access Mode 。 注意： 仅 CFM 扇区支持 Hidden 访问模式。
Clock frequency	116.0 MHz	输入相应的时钟频率（以 MHz 为单位）。并行接口的最大频率是 116.0 MHz，串行接口的最大频率是 7.25 MHz。 注意： 如果您使用 10M02 器件，则并行接口的最大频率是 7.25 MHz。
Initialize flash content	Off	开启此选项初始化闪存内容。
Enable non-default initialization file	Off	打开该选项使能您想要的初始化文件。如果选择了一个非默认文件，那么输入文件名或使用浏览按钮选择 .hex 或 .mif 文件。
User created hex or mif file	—	仅开启 Enable non-default initialization file 时，该选项才可用。分配您自己的 .hex 或 .mif 文件名。
User created dat file for simulation	—	仅开启 Enable non-default initialization file 时，该选项才可用。分配您自己的仿真文件名。

Altera On-Chip IP 闪存信号

以下表格罗列出 Altera On-Chip Flash IP 核的信号

表 5-2: 用于并行和串行模式的 Avalon-MM 输入和输出信号

信号	宽度	方向	说明
时钟和复位			

信号	宽度	方向	说明
clock	1	输入	对整个外设提供时钟的系统时钟信号
reset_n	1	输入	复位整个外设的系统同步复位信号。IP 核异步置位该信号。该信号在时钟上升沿后同步于 IP 核。
控制			
avmm_csr_addr	1	输入	解码寄存器的 Avalon-MM 地址总线。
avmm_csr_read	1	输入	Avalon-MM 读控制信号。IP 核置位该信号显示一个读传输。如果有此显示，则需要 readdata 信号。
avmm_csr_readdata	32	输出	Avalon-MM 读回数据信号。IP 核在读周期中置位该信号。
avmm_csr_write	1	输入	Avalon-MM 读控制信号。IP 核置位该信号显示一个写传输。如果有此显示，则需要 writedata 信号。
avmm_csr_writedata	32	输入	Avalon-MM 写数据总线。总线主组件在写周期中置位该总线。
数据			
avmm_data_addr	用户定义	输入	Avalon-MM 地址总线，用于显示闪存数据地址。该地址宽度取决于您选择的器件和配置模式。
avmm_data_read	1	输入	Avalon-MM 读控制信号。IP 核置位该信号显示一个读传输。如果有此显示，则需要 readdata 信号。
avmm_data_readdata	<ul style="list-style-type: none"> 并行模式：32 串行模式：1 	输出	Avalon-MM 读回数据信号。IP 核在读周期中置位该信号。
avmm_data_write	1	输入	Avalon-MM 读控制信号。IP 核置位该信号显示一个写传输。如果有此显示，则需要 writedata 信号。
avmm_data_writedata	<ul style="list-style-type: none"> 并行模式：32 串行模式：1 	输入	Avalon-MM 写数据总线。总线主组件在写周期中置位该总线。
avmm_data_waitrequest	1	输出	IP 核在读或写操作期间处于繁忙时，就置位该总线暂停主器件。
avmm_data_readdatavalid	1	输出	当 readdata 信号在读周期中有效时，IP 核置位该信号。

信号	宽度	方向	说明								
avmm_data_burstcount	用户定义	输入	<div>总线 master 置位该信号以启动突发读操作。</div> <div><ul style="list-style-type: none">写操作中，并行模式的突发计数固定为 1，串行模式为 32。递增突发读模式中，所支持的读突发计数范围是：</div> <div><table><tr><td>并行模式</td><td>1-2（突发数宽度 -1）</td></tr><tr><td>串行模式</td><td>1-128*32</td></tr></table></div> <div><ul style="list-style-type: none">封装突发读模式中（仅并行模式），所支持的读突发计数固定为 2 和 4。</div> <div><table><tr><td>10M04 和 10M08</td><td>1 - 2</td></tr><tr><td>10M16、10M25、10M40 和 10M50</td><td>1 - 4</td></tr></table></div>	并行模式	1-2（突发数宽度 -1）	串行模式	1-128*32	10M04 和 10M08	1 - 2	10M16、10M25、10M40 和 10M50	1 - 4
并行模式	1-2（突发数宽度 -1）										
串行模式	1-128*32										
10M04 和 10M08	1 - 2										
10M16、10M25、10M40 和 10M50	1 - 4										

Altera On-Chip Flash IP 寄存器

下表列出了 Altera 片上闪存 IP 核的地址映射和寄存器。

表 5-3: Altera On-Chip Flash IP 控制地址映射

寄存器	地址	访问	说明
状态寄存器	0x00	只读	存储最近操作和扇区保护模式的状态和结果。
控制寄存器	0x01	读/编程	存储以下信息： <ul style="list-style-type: none"> 页面擦除地址 扇区擦除地址 扇区写保护模式

表 5-4: Altera On-Chip Flash IP 状态寄存器

位偏移	域	默认值	说明
1 - 0	busy	2'b00	2'b00 IDLE 2'b01 BUSY_ERASE 2'b10 BUSY_WRITE 2'b11 BUSY_READ

位偏移	域	默认值	说明
2	rs (读成功)	1'b0	1'b0 读取失败 1'b1 读取成功
3	ws (写成功)	1'b0	1'b0 写失败 1'b1 写成功
4	es (擦除成功)	1'b0	1'b0 擦除失败 1'b1 擦除成功
5	sp (Sector ID 1 写保护)	—	IP 核基于器件和例化期间所指定的配置及访问模式设置这些位。这些是固定设置。如果 IP 核设置了其中一个位，您就不能在这个已指定的扇区读或编程。
6	sp (Sector ID 2 保护位)	—	
7	sp (Sector ID 3 保护位)	—	
8	sp (Sector ID 4 保护位)	—	
9	sp (Sector ID 5 保护位)	—	
31 – 10	空 (填充位)	—	这些位全部设置为 1。

表 5-5: Altera On-Chip Flash IP 控制寄存器

位偏移	域	默认值	说明
19 – 0	pe (页面擦除地址)	All 1's	设置页面擦除地址启动页面擦除操作。IP 核处于 IDLE 状态时只接受页面擦除地址。否则，页面地址将被忽略。 任何可用地址都是合法值。IP 核擦除给定地址的相应页面。

位偏移	域	默认值	说明												
22 – 20	se（扇区擦除地址）	3'b111	<div>设置扇区擦除地址以启动一次扇区擦除操作。仅当 IP 核处于 IDLE 状态时才接受扇区擦除地址。否则，页面地址将被忽略。</div> <table><tr><td>3'b001</td><td>Sector ID1</td></tr><tr><td>3'b010</td><td>Sector ID 2</td></tr><tr><td>3'b011</td><td>Sector ID 3</td></tr><tr><td>3'b100</td><td>Sector ID 4</td></tr><tr><td>3'b101</td><td>Sector ID 5</td></tr><tr><td>其它值</td><td>非法地址</td></tr></table> <div>如果您的所选器件仅有 3 个扇区，则映射到扇区 ID 4 和 5 的值将成为非法地址。</div> <div>注意: 如果您同时设置扇区地址和页面地址，则扇区擦除地址优先。IP 核接受并执行扇区擦除地址以及忽略页面擦除地址。</div> <div>要了解更多详细说明，请参阅扇区地址 (第 5-6 页).</div>	3'b001	Sector ID1	3'b010	Sector ID 2	3'b011	Sector ID 3	3'b100	Sector ID 4	3'b101	Sector ID 5	其它值	非法地址
3'b001	Sector ID1														
3'b010	Sector ID 2														
3'b011	Sector ID 3														
3'b100	Sector ID 4														
3'b101	Sector ID 5														
其它值	非法地址														
23	wp（Sector ID 1 写保护）	1	<div>IP 核使用这些位来保护扇区以避免被写和擦除操作。对扇区进行编程或擦除操作之前，必须清除相应的扇区写保护位。</div> <table><tr><td>1'b0</td><td>禁用写保护模式</td></tr><tr><td>1'b1</td><td>使能写保护模式</td></tr></table>	1'b0	禁用写保护模式	1'b1	使能写保护模式								
1'b0	禁用写保护模式														
1'b1	使能写保护模式														
24	wp（Sector ID 2 写保护）	1													
25	wp（Sector ID 3 写保护）	1													
26	wp（Sector ID 4 写保护）	1													
27	wp（Sector ID 5 写保护）	1													
31 – 28	空（填充位）	—	这些位全部设置为 1。												

扇区地址

您需要在参数编辑器中将扇区地址转换成 32-bit 地址。

参数编辑器中的地址映射使用字节地址。Altera 片上 IP 核中的 Avalon-MM 接口使用 32-bit 地址。

表 5-6: 地址映射实例

扇区	参数编辑器地址	Avalon-MM 地址
Sector ID 1	0x0000 – 0x17ff	0x000 – 0x5ff
Sector ID 2	0x1800 – 0x2fff	0x600 – 0xBff
Sector ID 3	0x3000 – 0x13fff	0x0C00 – 0x4fff

MAX 10 User Flash Memory User Guide 存档

A

2017.02.21

UG-M10UFM



订阅



反馈

如有未列入的 IP 核版本，可应用之前版本的 IP 核用户指南。

IP 内核版本	用户指南
16.0	MAX 10 User Flash Memory User Guide
15.1	MAX 10 User Flash Memory User Guide
15.0	MAX 10 User Flash Memory User Guide
14.1	MAX 10 User Flash Memory User Guide

Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

*Other names and brands may be claimed as the property of others.

ISO
9001:2008
Registered

MAX 10 用户闪存用户指南修订历史

B

2017.02.21

UG-M10UFM



订阅



反馈

日期	版本	修订内容
2017 年 2 月	2017.02.21	更名为 Intel。
2016 年 12 月	2016.12.20	<ul style="list-style-type: none"> 更新了关于 IP 核根据器件而设置的 Altera On-Chip Flash 位偏移 5 – 9 的说明，以及例化期间指定配置和访问模式设置。这些是固定设置。 更新了 Altera On-Chip Flash 位偏移 22 – 27 的说明以包含关于扇区地址更明确的信息 添加了 <i>扇区地址</i> (Sector Address) 话题，以提供关于将扇区地址的字节寻址转换成位寻址的详细信息。
2016 年 5 月	2016.05.02	<ul style="list-style-type: none"> 添加了并行模式下的典型及最短 UFM 编程时间。 并行模式中最短的 UFM 复位时间更改为 250 ns。 添加了 <i>MAX 10 User Flash Memory User Guide</i> 存档版本的链接。
2015 年 11 月	2015.11.02	<ul style="list-style-type: none"> 增添了关于所支持闪存初始化文件的信息。 添加了 10M40 和 10M50 器件的串行接口支持。对于 MAX 10 器件，最大频率是 7.25 MHz, 对于 10M40 和 10M50 器件，最大频率是 4.81 MHz。 添加了 10M02 器件的并行接口支持。对于 MAX 10 器件，最大频率是 116 MHz，对于 10M02 器件，最大频率是 7.25 MHz。 将 <i>Quartus II</i> 更改成 <i>Quartus Prime</i>。
2015 年 5 月	2015.05.04	<ul style="list-style-type: none"> 将 <i>write</i> 更改为工业标准术语 <i>program</i>。 在 <i>UFM and CFM Array Size</i> 部分添加了一个总 UFM 容量是最大可用值，这取决于所选的模式注释。 添加了关于电源电流下降的最大摆率要求的设计考虑因素信息。 添加了关于在执行编程操作之前擦除闪存位置的设计考虑因素信息。

Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

*Other names and brands may be claimed as the property of others.

ISO
9001:2008
Registered

ALTERA
now part of Intel

日期	版本	修订内容
2014 年 12 月	2014.12.15	<ul style="list-style-type: none"> • 添加了串行接口的支持 • 对串行接口添加了 7.25 MHz 的最大操作频率。 • 更新了 UFM 结构图，对其添加了串行接口。 • 添加了关于使用 IP 核创建初始存储器内容, 以及使用 JTAG 接口版本 IEEE 标准 1149.1 编程 UFM 的设计考量信息。 • 对串行模式的读写操作添加了新的时序结构图。 • 添加了新串行接口相关的 GUI 参数、信号和寄存器的信息。 • 添加了以下用于串行模式的新 Avalon-MM 从接口信号的信息： addr、read、readdata、write、writedata、waitrequest、readdatavalid 和 burstcount。 • 添加了以下新参数的信息： <ul style="list-style-type: none"> • Data Interface，使您可以在 Parallel 和 Serial 接口之间进行选择。 • Configuration Scheme 和 Configuration Mode，用于替代 Dual Images。新参数包含所有支持的配置模式。 • Read Burst Count，允许自动调整突发数宽度。
2014 年 9 月	2014.09.22	首次发布。