

DD Lab6

Verilog Structural Modeling & Timing Simulation

助教：德漢、文駿、韋廷、冠良、泰翔

Outline

- ◆ 課程目標
- ◆ Verilog structural modeling
- ◆ Ripple Carry Adder (RCA)
- ◆ Gate delay & timing stimulation
- ◆ 驗收內容
- ◆ Demo 事項

課程目標

- ◆ 經過先前的 Lab 課程，同學們已經學會了 verilog 的基本語法以及用 gtkwave 來檢視電路的行為，本次課程會教大家
 - ◆ 以邏輯閘層次的16-bit Ripple Carry Adder (RCA) 為範例，進行 structural modeling 設計
 - ◆ 瞭解訊號在邏輯閘間傳遞時發生的 delay 對於整體電路 delay 的影響

Verilog structural modeling

- ◆ Structural modeling 設計方式：

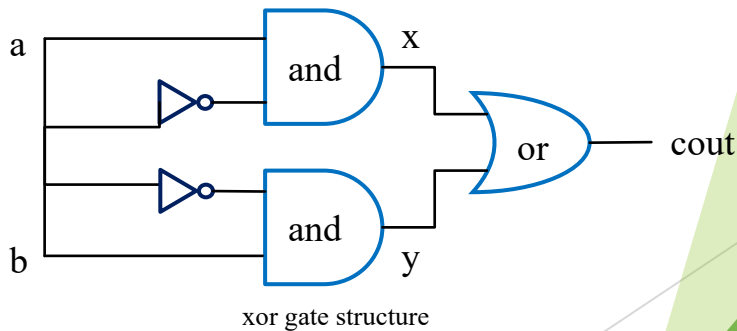
- ◆ 透過描述 I/O 的行為，將 Verilog module 之間互相連接以組合出其他 module。如下方的 xor gate module 是以兩個 and gate module 和一個 or gate module 連接而成

```
module xorgate (a,b,out);  
  input a,b;  
  output cout;  
  wire x,y;
```

```
  andgate and1 (a,~b,x);  
  andgate and2 (~a,y);  
  orgate or1 (x,y,cout);
```

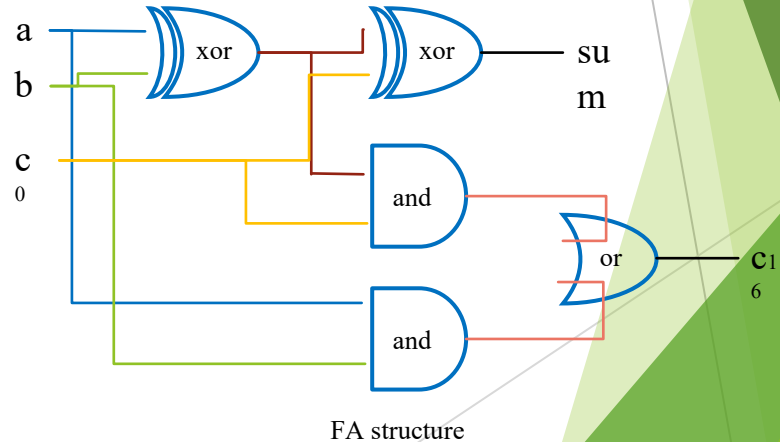
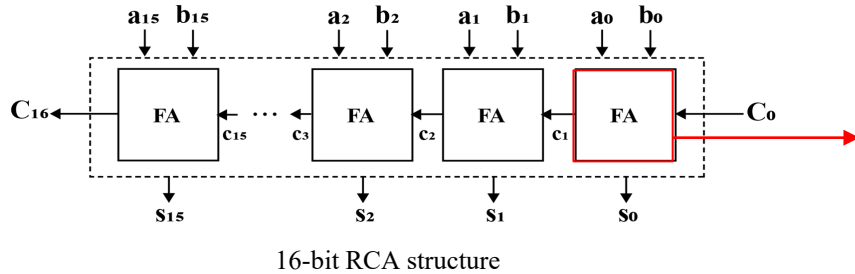
```
endmodule
```

xor gate Verilog module



Ripple Carry Adder (1/2)

- RCA 的架構是由許多個全加器 (FA) 所連續組合而成，因為其中任一全加器都必須要等待前一全加器的進位傳入後才會開始進行運算，故此種硬體架構有如漣波 (ripple) 般持續傳遞的特性



Ripple Carry Adder (2/2)

- ◆ 以下為將 16-bit RCA 以 structural modeling 完成的範例：
 - ◆ 透過在 module 中宣告的方式，將十六個 FA module 互相連接以模擬 16-bit RCA 硬體的行為

```
module RCA_16bit(a,b,cin,sum,cout);
```

```
    input [15:0] a,b;  
    input cin;  
    output [15:0] sum;  
    output cout;  
    wire [14:0] c;
```

```
    fulladder FA1(a[0],b[0],cin,sum[0],c[0]);  
    fulladder FA2(a[1],b[1],c[0],sum[1],c[1]);  
    fulladder FA3(a[2],b[2],c[1],sum[2],c[2]);
```

```
    .  
    .  
    .
```

```
endmodule
```

16-bit RCA Verilog module

```
module fulladder(a,b,cin,sum,cout);
```

```
    input a, b, cin;  
    output sum,cout;  
    wire x,y,z;  
  
    xorgate xor1 (am,x);  
    xorgate xor2 (x,cin,sum);  
    andgate and1 (am,y);  
    andgate and2 (x,cin,z);  
    orgate or2 (y,z,cout);
```

```
endmodule
```

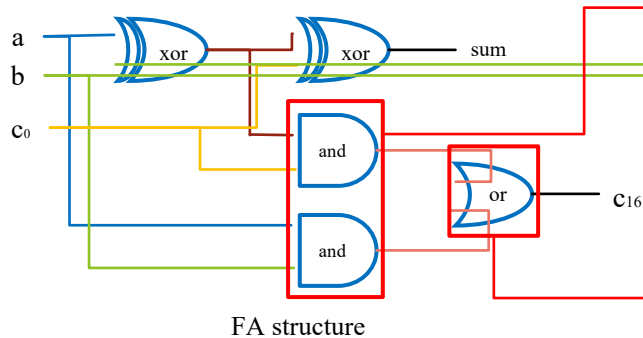
FA module

Gate delay & timing simulation (1/2)

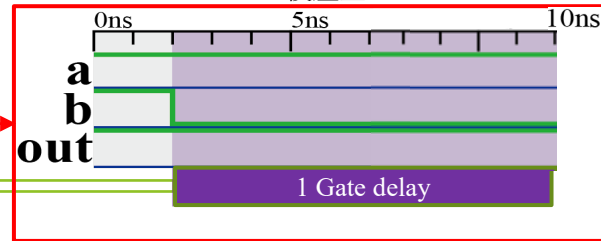
- 在電路中的訊號每經過一個邏輯閘 (gate) 就會延遲一個 gate delay 的時間。以下方 FA structure 為例，假設各別 gate 的 gate delay 如下

- and gate : 10ns

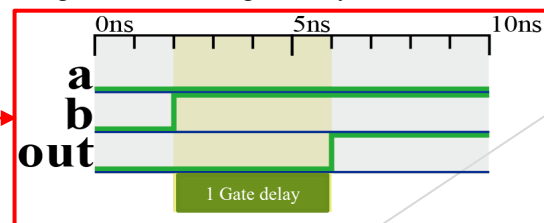
- or gate : 4ns



and gate 波形: 經過 gate delay 10ns
後產生out

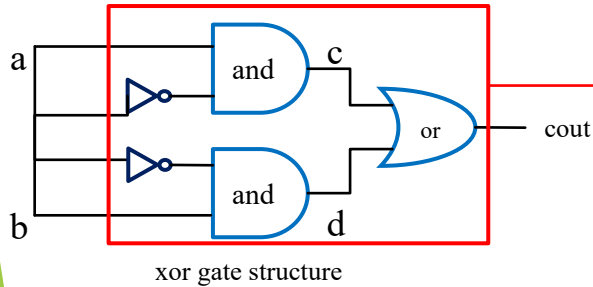


or gate 波形: 經過 gate delay 4ns 後產生out

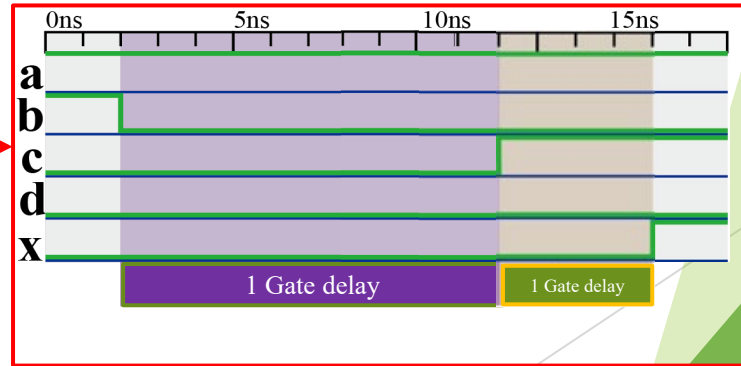


Gate delay & timing simulation (2/2)

- ◆ FA 中的 xor gate 由兩個 and gate 和一個 or gate 組合而成，訊號在經過 xor 會延遲 and gate 和 or gate 的 gate delay



xor gate 波形: 同時經過 and gate delay 10ns
和 or gate delay 4ns後產生out



驗收內容 (1/2)

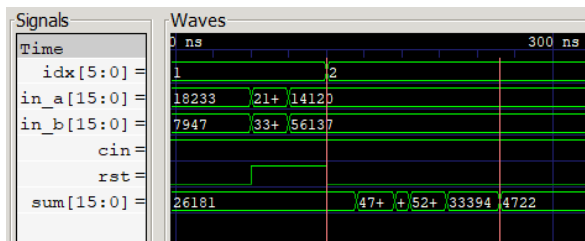
- ◆ 開啟“16bit_RCA.v”，參考課程內容用程式內附上的 and gate、or gate module 組合出 16-bit RCA，並以資料夾中的“16bit_testbench.v”內的十道測試驗證你設計的正確性

名稱	類型	大小
16bit_RCA	V 檔案	3 KB
16bit_testbench	V 檔案	4 KB

```
PS C:\Users\Dehan\Desktop\Lab6\Example> iverilog -o test .\16bit_testbench.v
PS C:\Users\Dehan\Desktop\Lab6\Example> vvp test
VCD info: dumpfile 16bit_RCA.fsdh opened for output.
//////////Test 1//////////
// Q :18233 + 7947 + 1 = ? //
//////////
// Your answer           //
// Cout = 0 Sum = 26181   //
//////////
// Correct answer        //
// Cout = 0 Sum = 26181   //
//////////
//          SUCCESSFUL !  //
//////////
```

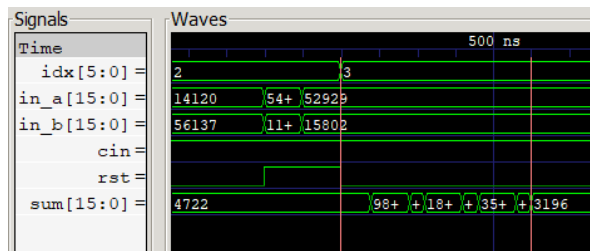
驗收內容 (2/2)

- ◆ 請將在Example完成的16bit_RCA.v加入Homework資料夾，開啟“16bit_testbench2.v”，自行設計 input a、b、cin，找出 16-bit RCA 的 **bestcase & worstcase** (在 RCA 中需要消耗最少運算時間和最多運算時間的 **input patterns**)
- ◆ 使用 gtkwave 觀察輸出波形來進行設計，請在idx=2時設計bestcase、idx=3時設計worstcase，在reset後開始運算，當結果不再變化時即為運算結束 (下圖為示意，非正確答案)



運算開始 運算結束

運算時間



運算開始 運算結束

運算時間

Demo事項

- ◆ Demo 地點：EA 501A
- ◆ Demo 時間：依公告時間為主
- ◆ 評分方式：
 - ◆ 利用testbench於命令提示字元中顯示16-bit RCA 的十道運算正確結果
 - ◆ 以 gtkwave 展示 global best case & worst case，並說明原因
- ◆ 可使用自己的筆電 demo
- ◆ 可提前5分鐘入場準備，其餘時間違規進入，一次扣總成績3分
- ◆ 安排時段內無法展示請即刻離場，違者一次扣總成績5分
- ◆ 若對本次實驗有任何疑惑，請於office hour前來詢問