13章 カウンタ

本章では，ディジタル回路の重要なコンポーネントであるカウンタについて説明する．カウンタにはいろいろな種類があるが，本章では，カウンタの論理機能（アップ，ダウン，アップダウン），周期の指定方法，符号化方法によるバリエーションについて説明する．

13・1 カウンタとは

カウンタ (counter) は，パルスの個数を計測する，ディジタル回路の基本構成要素である．カウンタの応用としては，ディジタル値の計測，周期的な信号（クロック）の**分周器**(divider)，時間間隔を測定する**タイマー** (timer) などがあげられる．また，コンピュータの重要な構成要素として，**プログラム・カウンタ**(program counter) もカウンタ回路を用いている．

カウンタの機能は，**アップ・カウンタ**(up counter)，**ダウン・カウンタ**(down counter)，**アップダウン・カウンタ**(up-down counter) の 3 種類に分類できる．また，カウンタ値の**符号化**(coding) 方法の違いによって，リング・カウンタ，ジョンソン・カウンタ，グレイコード・カウンタなどの名前で呼ばれる構成方法がある．

このようなカウンタを設計する方法は，次の 2 通りある．まず，カウンタをステートマシンと考えて，第 11 章で説明した順序回路の設計方法を適用する方法がある．次に，状態遷移によって変数の値が変化する条件を調べて，次状態での各変数の値を計算する **特性方程式** (characteristic equation) を求める方法がある．

前者の方法は，状態遷移表が与えられれば機械的に適用できるという利点があるが，状態変数が多い場合には，カルノー図などを用いて人手で論理式の最適化を行うことが困難になる．

後者の方法は，各変数の値が変化する条件を発見的に求めることが必要となるので，機械的に適用することが難しいという欠点がある．しかし，カウンタの場

合には，各変数の値が変化する条件を比較的容易に見つけることができるので，状態変数が多い場合にも適用が可能である．この章では，後者の設計方法を中心にして説明を行う．

13・2 2^n 進カウンタ

この節では，周期が 2^n のカウンタ（2^n 進カウンタ）の設計方法について説明する．機能としては，アップ・カウンタ，ダウン・カウンタ，アップダウン・カウンタの 3 種類について述べる．

〔1〕 2^n 進アップ・カウンタ

この節では，2^n 進アップ・カウンタの設計方法について説明する．例として，8 進アップ・カウンタを考える．ここに，カウンタの初期状態は S_0 とし，初期状態に対応する状態変数の値は $(0,0,0)$ とする．8 進アップ・カウンタの状態遷移を**表 13·1** に示す．

同表を観察すると，状態変数の値の変化に関して次のことがわかる．

(1) Q_0 は，各時刻ごとに反転する．

(2) $Q_i, (i>0)$ の値が反転するのは，$Q_{i-1}, \cdots, Q_0$ の値がすべて 1 の場合である．

したがって，2^n 進アップ・カウンタの特性方程式は次のようになる

$$u_i = Q_{i-1} \cdot \cdots \cdot Q_0,\ i > 0 \tag{13·1}$$

$$Q_0^+ = \overline{Q_0} \tag{13·2}$$

$$Q_i^+ = Q_i \oplus u_i,\ i > 0 \tag{13·3}$$

この方法を用いて設計された 8 進アップ・カウンタの回路図を**図 13·1** に示す．

〔2〕 2^n 進ダウン・カウンタ

この節では，2^n 進ダウン・カウンタの設計方法について述べる．例として，8 進ダウン・カウンタを考える．ここに，カウンタの初期状態は S_0 とし，初期状態に対応する状態変数の値は $(0,0,0)$ とする．8 進アップ・カウンタの状態遷移を**表 13·2** に示す．

表 13・1 8進アップ・カウンタの状態遷移表

状態名	現在の状態			次の状態		
状態変数	Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+
S_0	0	0	0	0	0	1
S_1	0	0	1	0	1	0
S_2	0	1	0	0	1	1
S_3	0	1	1	1	0	0
S_4	1	0	0	1	0	1
S_5	1	0	1	1	1	0
S_6	1	1	0	1	1	1
S_7	1	1	1	0	0	0

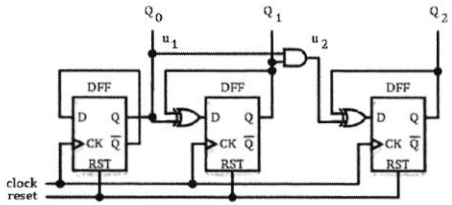

図 13・1 8進アップ・カウンタの論理回路図

同表を観察すると，状態変数の値の変化に関して次のことがわかる．

(1) 状態変数 Q_0 は，各時刻ごとに反転する．

(2) 状態変数 Q_i, $(i>0)$ の値が反転するのは，$Q_{i-1}, \cdots, Q_0$ の値がすべて 0 の場合だけである．

したがって，ダウン・カウンタの特性方程式は次のようになる．

$$d_i = \overline{Q_{i-1}} \cdot \cdots \cdot \overline{Q_0},\ i>0 \tag{13·4}$$

$$Q_0^+ = \overline{Q_0} \tag{13·5}$$

$$Q_i^+ = Q_i \oplus d_i,\ i>0 \tag{13·6}$$

このようにして設計された8進ダウン・カウンタの回路図を**図 13·2** に示す．

表 13・2 8進ダウン・カウンタの状態遷移表

状態名	現在の状態			次の状態		
状態変数	Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+
S_0	0	0	0	1	1	1
S_1	0	0	1	0	0	0
S_2	0	1	0	0	0	1
S_3	0	1	1	0	1	0
S_4	1	0	0	0	1	1
S_5	1	0	1	1	0	0
S_6	1	1	0	1	0	1
S_7	1	1	1	1	1	0

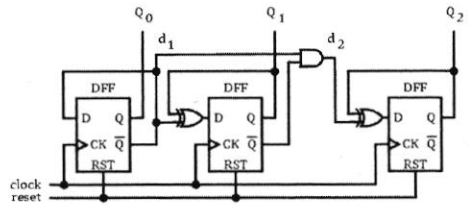

図 13・2 8進ダウン・カウンタの論理回路図

〔3〕2^n 進アップダウン・カウンタ

この節では，2^n 進ダウン・カウンタの設計方法について述べる．例として，8進アップダウン・カウンタを考える．これまでと同様に，カウンタの初期状態は S_0 とし，初期状態に対応する状態変数の値は $(0,0,0)$ とする．

アップダウン・カウンタでは，カウントをアップさせるかダウンさせるかを指示する制御入力が必要である．以下では，この制御信号の名前を up とし，up の値が 1 の場合にはアップ・カウンタとして，0 の場合にはダウン・カウンタとして動作するように設計する．

8進アップダウン・カウンタの状態遷移を**表 13·3** に示す．

同表を観察すると，状態変数の値の変化に関して次のことがわかる．

(1) 状態変数 Q_0 は，各時刻ごとに反転する．

(2) 状態変数 $Q_i, i>0$ の値が反転するのは，$up=1$ の場合には $Q_{i-1},\cdots,Q_0$ の値がすべて 1 の場合だけである．また，$up=0$ の場合には $Q_{i-1},\cdots,Q_0$ の値がすべて 0 の場合だけである．

したがって，アップダウン・カウンタの特性方程式は，次のようになる．

$$t_i=(\overline{up}\oplus Q_{i-1})\cdots(\overline{up}\oplus Q_0),\ i>0 \tag{13·7}$$

$$Q_0^+=\overline{Q_0} \tag{13·8}$$

$$Q_i^+=Q_i\oplus t_i,\ i>0 \tag{13·9}$$

このようにして設計された 8 進アップダウン・カウンタの回路図を**図 13·3** に示す．

表 13・3　8 進アップダウン・カウンタの状態遷移表

状態名	制御	現在の状態			次の状態		
状態変数	up	Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+
S_0	0	0	0	0	1	1	1
S_1	0	0	0	1	0	0	0
S_2	0	0	1	0	0	0	1
S_3	0	0	1	1	0	1	0
S_4	0	1	0	0	0	1	1
S_5	0	1	0	1	1	0	0
S_6	0	1	1	0	1	0	1
S_7	0	1	1	1	1	1	0
S_0	1	0	0	0	0	0	1
S_1	1	0	0	1	0	1	0
S_2	1	0	1	0	0	1	1
S_3	1	0	1	1	1	0	0
S_4	1	1	0	0	1	0	1
S_5	1	1	0	1	1	1	0
S_6	1	1	1	0	1	1	1
S_7	1	1	1	1	0	0	0

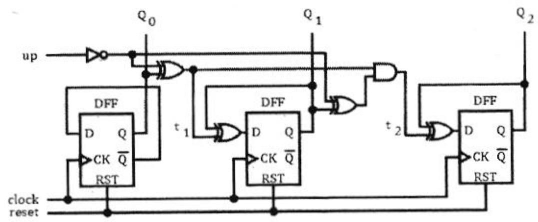

図 13・3　8 進アップダウン・カウンタの論理回路図

13・3 2^n 以外の周期をもつカウンタ

この節では，周期が 2^n 以外のカウンタの設計方法について説明する．設計したいカウンタの周期を $k>0$ として，k を超える最小の 2 のべき乗数を 2^n とする．以下では，2^n 進カウンタを修正して k 進カウンタを設計することにする．

〔1〕 k 進アップ・カウンタ

k 進アップ・カウンタの例として，6 進アップ・カウンタについて考える．6 進アップ・カウンタの状態遷移表を**表 13·4** に示す．この表を 8 進アップ・カウンタの状態遷移表表 13·1 と比較すると，前者では，状態 S_5（カウンタの値が $k-1$）の次の状態が S_6 ではなく S_0 であり，状態 S_6, S_7 が存在しないことがわかる．

表 13・4　6 進アップ・カウンタの状態遷移表

状態名	現在の状態			次の状態		
状態変数	Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+
S_0	0	0	0	0	0	1
S_1	0	0	1	0	1	0
S_2	0	1	0	0	1	1
S_3	0	1	1	1	0	0
S_4	1	0	0	1	0	1
S_5	1	0	1	0	0	0

8 進アップ・カウンタでは，カウンタの値が 101 に達すると次の時刻のカウンタの値は 110 になるが，6 進アップ・カウンタでは，カウンタの値が 101 に達すると次に時刻のカウンタの値を強制的に 000 リセットする必要がある．そのためには，カウンタの値が上限（101）に達したときに値が 1 になる論理関数を用意する必要がある．この関数を $cu(Q_n, Q_{n-1}, \cdots, Q_0)$ とすると，関数 cu は，上限値の 2 進表現でビットの値が 1 であるすべての変数 Q_i の論理積で表せる．

このような関数 c を用いると，k 進アップ・カウンタの特性方程式は次のように表せる．

$$u_i = Q_{i-1} \cdot \cdots \cdot Q_0,\ i > 0 \tag{13·10}$$

$$Q_0^+ = \overline{Q_0} \tag{13·11}$$

$$Q_i^+ = (Q_i \oplus u_i) \cdot \overline{cu},\ i > 0 \tag{13·12}$$

たとえば，6 進アップ・カウンタの特性方程式は，次のようになる．

$$u_i = Q_{i-1} \cdot \cdots \cdot Q_0,\ i > 0 \tag{13·13}$$

$$cu = \overline{Q_2 \cdot Q_0} \tag{13·14}$$

$$Q_0^+ = \overline{Q_0} \tag{13·15}$$

$$Q_1^+ = (Q_1 \oplus u_1) \cdot cu \tag{13·16}$$

$$Q_2^+ = (Q_2 \oplus u_2) \cdot cu \tag{13·17}$$

この方法で設計した 6 進アップ・カウンタの論理回路図を**図 13·4** に示す．

〔2〕k 進ダウン・カウンタ

6 進ダウン・カウンタの状態遷移表を**表 13·5** に示す．この表を表 13·2 と比較すると，前者では，状態 S_0（カウント値が 0）の次の状態が S_7 ではなく S_5 であり，状態 S_6, S_7 が存在しないことがわかる．

8 進ダウン・カウンタでは，カウンタの値が 000 に達すると，次の時刻のカウンタの値は 111 になる．しかし，6 進ダウン・カウンタでは，カウンタの値が 000

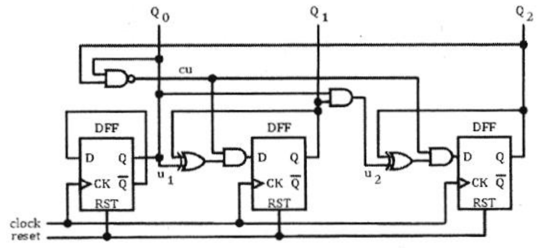

図 13・4 6 進アップ・カウンタの論理回路図

表 13・5 6 進ダウン・カウンタの状態遷移表

状態名	現在の状態			次の状態		
状態変数	Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+
S_0	0	0	0	1	0	1
S_1	0	0	1	0	0	0
S_2	0	1	0	0	0	1
S_3	0	1	1	0	1	0
S_4	1	0	0	0	1	1
S_5	1	0	1	1	0	0

に達すると，次の時刻のカウンタの値は上限である 101 にセットする必要がある．この場合，Q_1 の値を強制的に 0 にクリアすることになる．

したがって，6 進ダウン・カウンタの特性方程式は，次のようになる．ここに，cd は，Q_2, Q_1, Q_0 がすべて 0 のときに 0 を出力する関数である．

$$d_i = \overline{Q_{i-1}} \cdot \cdots \cdot \overline{Q_0},\ i > 0 \tag{13·18}$$

$$cd = Q_2 \vee Q_1 \vee Q_0 \tag{13·19}$$

$$Q_0^+ = \overline{Q_0} \tag{13·20}$$

$$Q_1^+ = (Q_1 \oplus d_1) \cdot cd \tag{13·21}$$

$$Q_2^+ = (Q_2 \oplus d_2) \tag{13·22}$$

この方法で設計した 6 進ダウン・カウンタの論理回路図を**図 13·5** に示す．

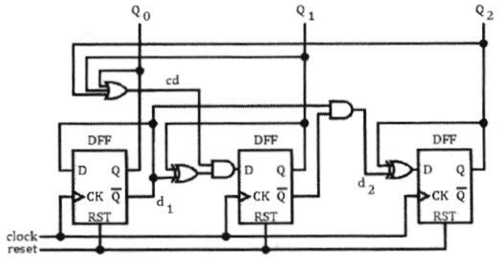

図 13・5 6進ダウン・カウンタの論理回路図

〔3〕 k 進アップダウン・カウンタ

6進アップダウン・カウンタの状態遷移表を**表 13·6** に示す．

表 13・6 6進アップダウン・カウンタの状態遷移表

状態名	制御	現在の状態			次の状態		
状態変数	up	Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+
S_0	0	0	0	0	1	1	0
S_1	0	0	0	1	0	0	0
S_2	0	0	1	0	0	0	1
S_3	0	0	1	1	0	1	0
S_4	0	1	0	0	0	1	1
S_5	0	1	0	1	1	0	0
S_0	1	0	0	0	0	0	1
S_1	1	0	0	1	0	1	0
S_2	1	0	1	0	0	1	1
S_3	1	0	1	1	1	0	0
S_4	1	1	0	0	1	0	1
S_5	1	1	0	1	0	0	0

この表を表 13·3 と比較すると，次のことがわかる．

カウントアップ・モード（$up = 1$）の場合には，状態 S_5（カウンタの値が 101）の次の状態は S_6（カウンタの値が 110）ではなく，S_0（カウンタの値が 110）となる．この場合には，Q_2^+ および Q_1^+ の値を強制的に 0 にリセットする必要がある．

次に，カウントダウン・モード（$up = 0$）の場合には，状態 S_0（カウンタの値が 000）の次の状態は S_7（カウンタの値が 111）ではなく，S_5（カウンタの値が 101）となる．この場合には，Q_1^+ の値を強制的に 0 にリセットする必要がある．

以上の考察から，6進アップダウン・カウンタの特性方程式は次のようになる．下記の式で，t_i は，第 i 桁目のビットの反転条件となっている．また，cu および cd はそれぞれ，カウントアップ時およびカウントダウン時に対応するビットを 0 にリセットすることによって，カウンタの値をリセットまたはセットするための信号である．

$$t_i = (\overline{up} \oplus Q_{i-1}) \cdot \cdots \cdot (\overline{up} \oplus Q_0),\ i > 0 \tag{13·23}$$

$$cu = \overline{up} \vee \overline{Q_2 \cdot Q_0} \tag{13·24}$$

$$cd = up \vee Q_2 \vee Q_1 \vee Q_0 \tag{13·25}$$

$$Q_0^+ = \overline{Q_0} \tag{13·26}$$

$$Q_1^+ = (Q_1 \oplus t_1) \cdot cu \cdot cd \tag{13·27}$$

$$Q_2^+ = (Q_2 \oplus t_2) \cdot cu \tag{13·28}$$

この方法で設計した6進アップダウン・カウンタの論理回路図を**図 13·6** に示す．

13・4 リング・カウンタ

リング・カウンタ（ring counter）は，n 個の状態を n 個のフリップフロップを用いて実現するカウンタである．6個の状態を持つリング・カウンタの状態遷移を**表 13·7** に示す．リング・カウンタの特徴は，n ビットの状態コードの各ビットのうちの 1 個だけが 1 であり，それ以外のビットが 0 である点である．このような状態コードは **ワンホット・コード**（one hot code）と呼ばれている．この符号化方法は，状態のデコードが不要なので，高速なステートマシンの実装に適している．

表 13·7 を解析すると，n を状態数としてリング・カウンタの特性方程式は，次のようになる．

$$Q_0^+ = Q_{n-1} \tag{13·29}$$

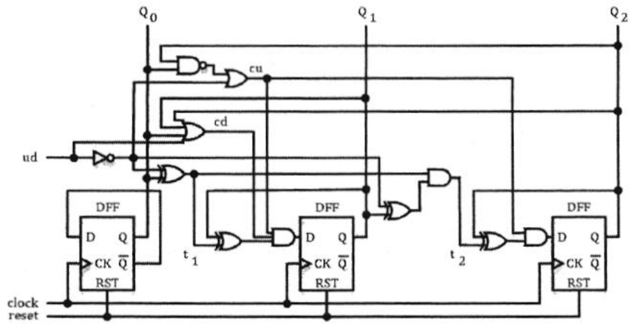

図 13・6 6 進アップダウン・カウンタの論理回路図

表 13・7 6 個の状態を持つリング・カウンタの状態遷移表

状態名	Q_5	Q_4	Q_3	Q_2	Q_1	Q_0
S_1	0	0	0	0	0	1
S_2	0	0	0	0	1	0
S_3	0	0	0	1	0	0
S_4	0	0	1	0	0	0
S_5	0	1	0	0	0	0
S_6	1	0	0	0	0	0

$$Q_i^+ = Q_{i-1},\ i > 0 \tag{13·30}$$

Q_0 の初期値が 1 であることを考慮すると，6 個の状態を持つリング・カウンタの論理回路図は**図 13·7** のようになる．同図で，最も左にある D フリップフロップは，初期化制御信号 Reset を 1 にするときに，制御入力信号 SET を 1 にセットすることによって Q_0 の値を 1 にセットする機能を持っている．他のフリップフロップの出力は 0 に初期化される．ここで用いた，セット機能付きの D フリップフロップの実装方法については，演習問題を参照せよ．

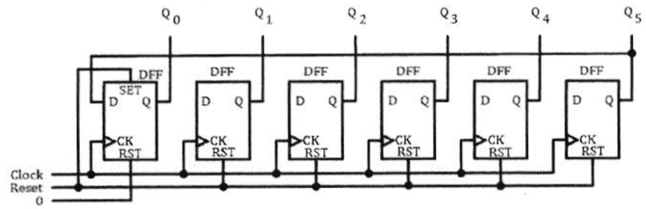

図 13・7 6 個の状態を持つリング・カウンタの論理回路図

13・5 ジョンソン・カウンタ

ジョンソン・カウンタ（Johnson counter）は，$2n$ 個の状態を n 個のフリップフロップを用いて実現するカウンタである．8 個の状態を持つジョンソン・カウンタの状態遷移を**表 13·8** に示す．ジョンソン・カウンタの特徴は，隣接する状態の間の**ハミング距離**（hamming distance）が 1 であることである．そのため，状態遷移の途中でフリップフロップの出力をデコードしても，未定義の状態や誤った状態を検出することがない．

表 13・8 8 個の状態を持つジョンソン・カウンタの状態遷移表

状態名	Q_3	Q_2	Q_1	Q_0
S_0	0	0	0	0
S_1	0	0	0	1
S_2	0	0	1	1
S_3	0	1	1	1
S_4	1	1	1	1
S_5	1	1	1	0
S_6	1	1	0	0
S_7	1	0	0	0

表 13·8 を解析すると，n をフリップフロップの個数として，ジョンソン・カウンタの特性方程式は次のようになる．

$$Q_0^+ = \overline{Q_{n-1}} \tag{13·31}$$

$$Q_i^+ = Q_{i-1},\ i > 0 \tag{13·32}$$

したがって，8個の状態を持つジョンソン・カウンタの論理回路図は**図 13·8** のようになる．

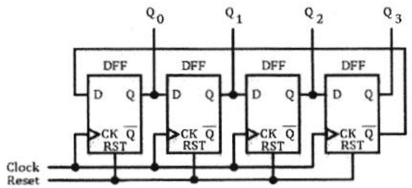

図 13・8　8個の状態を持つジョンソン・カウンタの論理回路図

13・6 グレイコード・カウンタ

グレイコード・カウンタ (gray code counter) は，2^n 個の状態を n 個のフリップフロップを用いて実現するカウンタである．n 個のビットで表現できる状態数は 2^n なので，n 個のビットのすべての組合わせが有効な状態に対応していることになり，状態の符号化には冗長性はない．

8個の状態を持つグレイコード・カウンタの状態遷移を**表 13·9** に示す．グレイコード・カウンタの特徴は，隣接する状態の間の**ハミング距離** (hamming distance) が1であることと，状態の符号化に冗長性がないことである．そのため，状態遷移の途中でフリップフロップの出力をデコードしても，誤った状態を検出することはない．

グレイコード・カウンタを設計する場合，本章で説明した状態遷移表から規則性を見つけ出して特性方程式を発見的に決定する方法は有効ではない．規則性を見つけ出すのが容易ではないからである．このような場合には，第11章で説明した順序機械の設計法が有効である．この方法で特性方程式を求めると次のようになる．

表 13・9　グレイコード・カウンタの状態コード

状態名	Q_2	Q_1	Q_0
S_0	0	0	0
S_1	0	0	1
S_2	0	1	1
S_3	0	1	0
S_4	1	1	0
S_5	1	1	1
S_6	1	0	1
S_7	1	0	0

$$Q_0^+ = Q_2 \cdot Q_1 \vee \overline{Q_2} \cdot \overline{Q_1} \tag{13·33}$$

$$Q_1^+ = \overline{Q_2} \cdot Q_0 \vee Q_1 \cdot \overline{Q_0} \tag{13·34}$$

$$Q_2^+ = Q_2 \cdot Q_0 \vee Q_1 \cdot \overline{Q_0} \tag{13·35}$$

このようにして実装された8個の状態を持つグレイコード・カウンタの論理回路図を**図 13·9** に示す．

演習問題

1　リング・カウンタの実装で用いた，セット機能付きのDフリップフロップを，リセット機能のみを持つDフリップフロップを用いて実現せよ．

2　第12章で述べた順序回路の設計法を用いて8進アップダウン・カウンタを設計せよ．設計結果を解析し，各Dフリップフロップの入力が本章で説明した設計手法を用いて設計した結果と等価になることを確認せよ．

3　10進アップダウン・カウンタを，本章で説明した設計方法を用いて設計せよ．

4　10進アップ・カウンタに論理回路を追加して，カウンタからの桁上げ信号を出

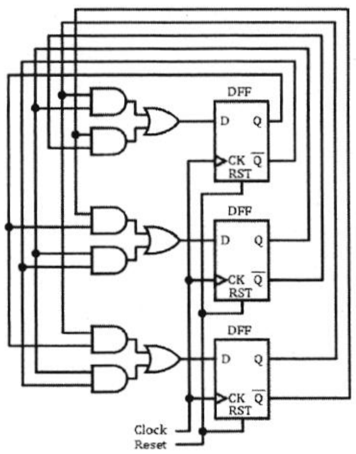

図 13・9　8 個の状態を持つグレイコード・カウンタの論理回路図

力できるようにせよ．この桁上げ信号には，カウンタの値が 9 の時にのみ 1 が出力される．

5　6 進アップ・カウンタに論理回路を追加して，桁上げ信号が入力されたときにだけカウンタアップ動作を行うように修正せよ．

6　直前の 2 つの問題で機能を追加した 10 進アップ・カウンタと 6 進アップ・カウンタを用いて，BCD（2 進化 10 進数）形式の 60 進カウンタを設計せよ．