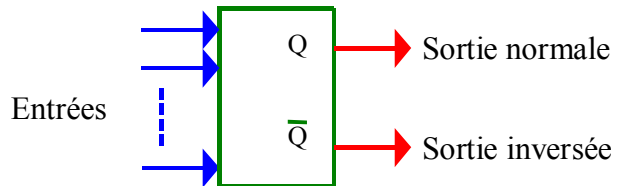


# LES BASCULES (fonction « mémoriser »)

## 1- Généralités

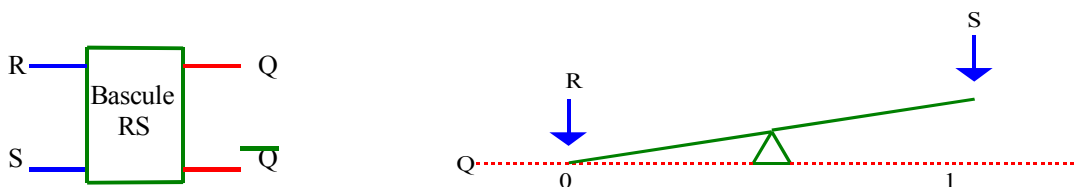
- La bascule est le **circuit de mémorisation** le plus répandu.
- Sa représentation est la suivante :



- La bascule a une ou plusieurs entrées qui déterminent le passage d'un état à l'autre (son basculement). Comme nous le verrons, quand une impulsion est appliquée à l'une des entrées pour imposer un certain état à la bascule, elle demeure dans cet état après le retrait de l'impulsion. C'est cela que l'on appelle la **mémoire** de la bascule.

## 2- La bascule RS

- Introduction

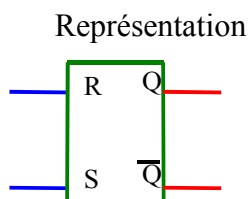


Une impulsion sur **S(Set)** ==> mise à **1** (état logique 1) de Q.

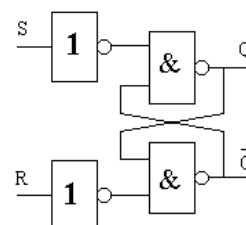
Une impulsion sur **R(Reset)** ==> mise à **0** (état logique 0) de Q.

- Que se passe-t-il si l'on appuie ni sur S ni sur R ? .....
- Que se passe-t-il si l'on appuie à la fois sur S et sur R ? .....

- La bascule RS



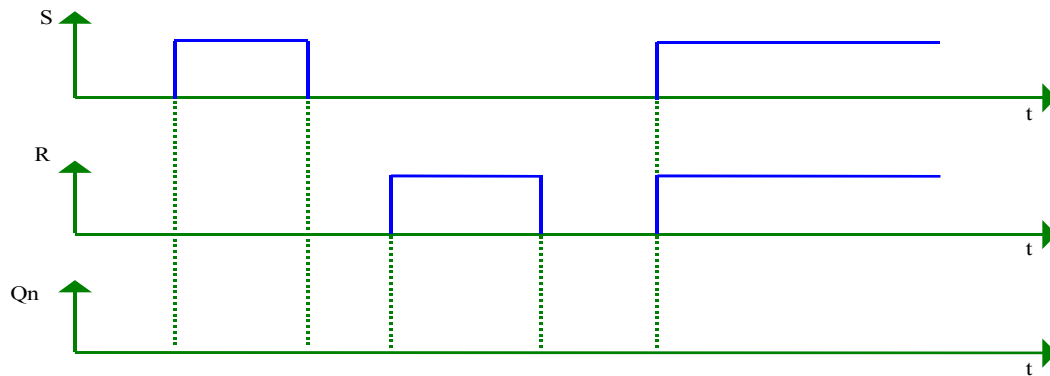
Exemple



R	S	Q <sub>n</sub>	Remarques
0	0	Q <sub>n-1</sub>	Mémorisation
0	1	1	Ecriture
1	0	0	Effacement
1	1	Interdit	Interdit

[Extrait d'une documentation](#)

- **Compléter** les chronogrammes suivants :



Remarque : concernant le cas R et S à 1 : ce cas interdit a en fait deux valeurs qui seront 1 lorsque la bascule sera une RS à enclenchement prioritaire et 0 lorsque la bascule sera à déclenchement prioritaire.

### 3- Signal d'horloge

Les circuits numériques peuvent fonctionner de façon **synchrone** ou de façon **asynchrone**. Dans les circuits asynchrones, la sortie peut changer d'état à tout moment quand une ou plusieurs entrées changent. Un système asynchrone est donc difficile à concevoir et à dépanner. Par contre, pour un système synchrone le moment exact où la sortie change d'état est commandé par une horloge (**CLK : Clock**).

### 4- Les bascules synchrones

#### 4-1 : Généralités

- Elles ont toutes une horloge (CLK).
- La représentation est la suivante :



—> signifie un **front montant**, c'est à dire un passage de 0 à 1 du signal

—> signifie un **front descendant**, c'est à dire un passage de 1 à 0 du signal

#### 4-2 : La bascule RST (ou RSH)

Représentation

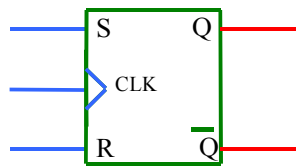
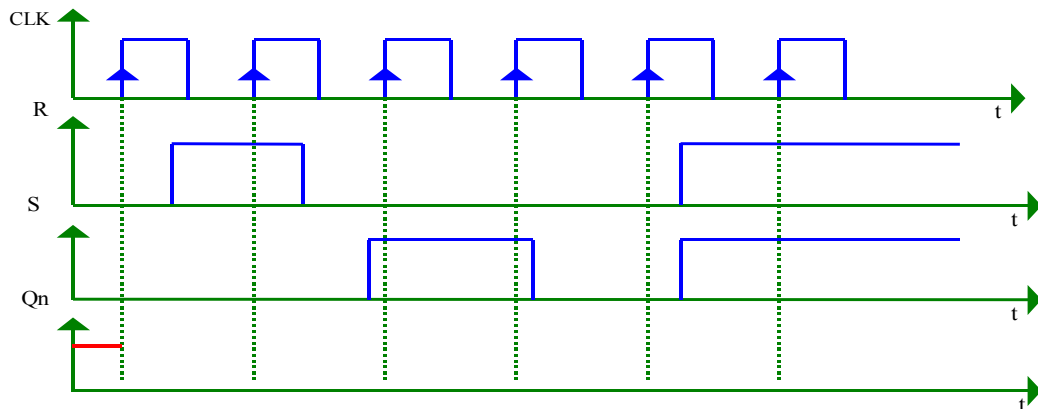


Table de vérité

T(CLK)	R	S	Qn	Remarques
↑	0	0	Qn-1	Mémorisation
↑	0	1	1	Ecriture
↑	1	0	0	Effacement
↑	1	1	Interdit	Interdit

- **Compléter** les chronogrammes suivants :



#### 4-3 : La bascule JK

Représentation

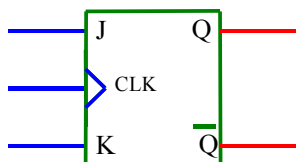
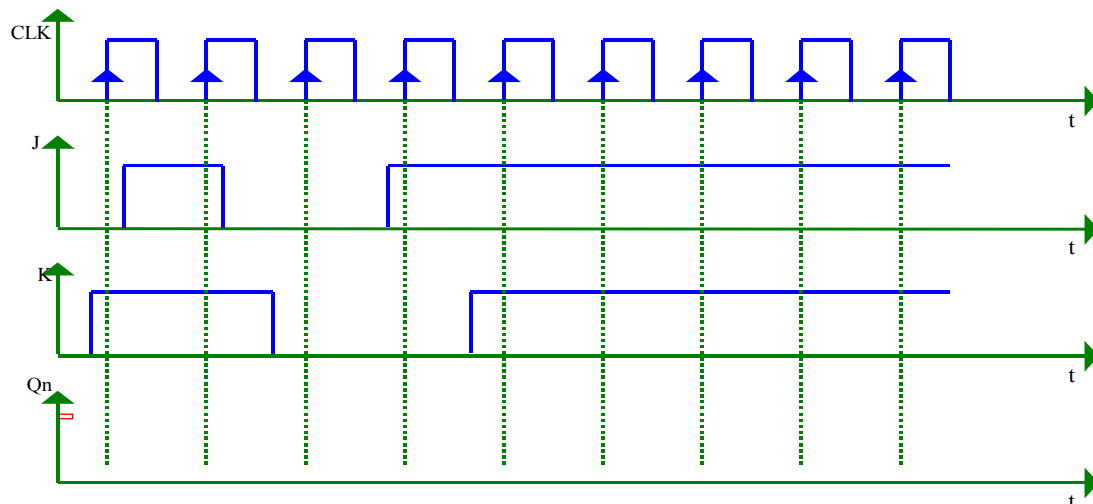


Table de vérité

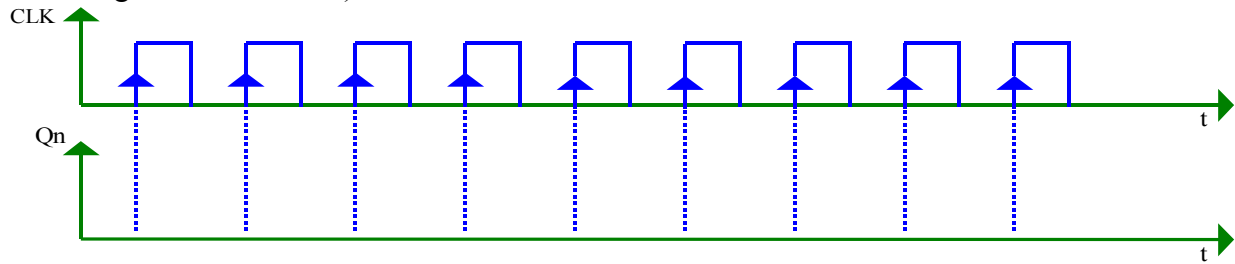
CLK	J	K	Qn	Remarques
↑	0	0		Etat mémoire
↑	0	1		Mise à 0
↑	1	0		Mise à 1
↑	1	1		Etat précédent inversé

Extrait d'une documentation

- **Compléter** les chronogrammes suivants :



Remarque : Que se passe-t-il si on laisse J et K continuellement à 1 ? (pour cela **compléter** les chronogrammes suivants) .



#### 4-4 : La bascule D synchrone

Représentation

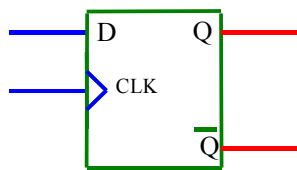
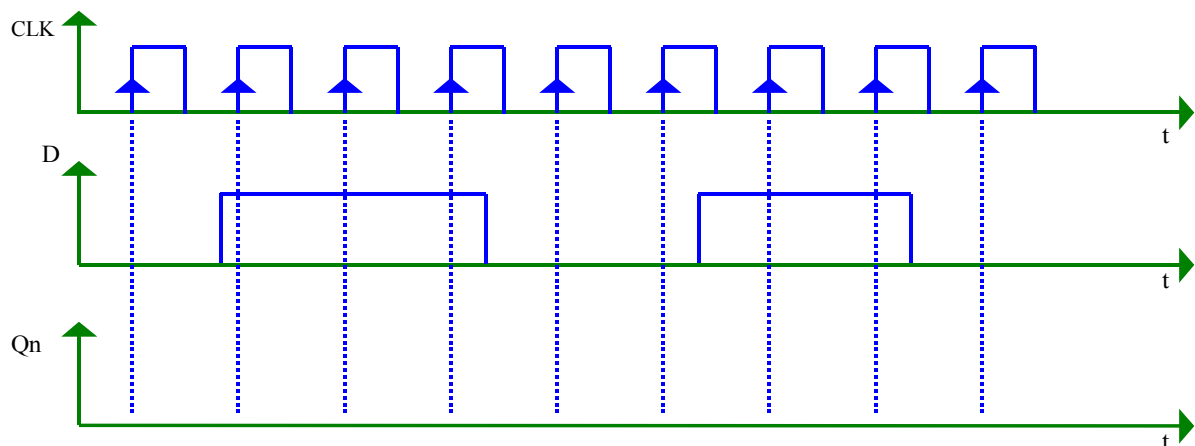


Table de vérité

CLK	D	Q <sub>n</sub>	Remarques
↑	0		Recopie de D
↑	1		Recopie de D

Extrait d'une documentation.

- **Compléter** les chronogrammes suivants :



#### 4-5 : La bascule D à verrouillage(ou D Latches)

Représentation

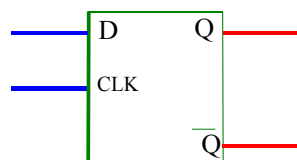
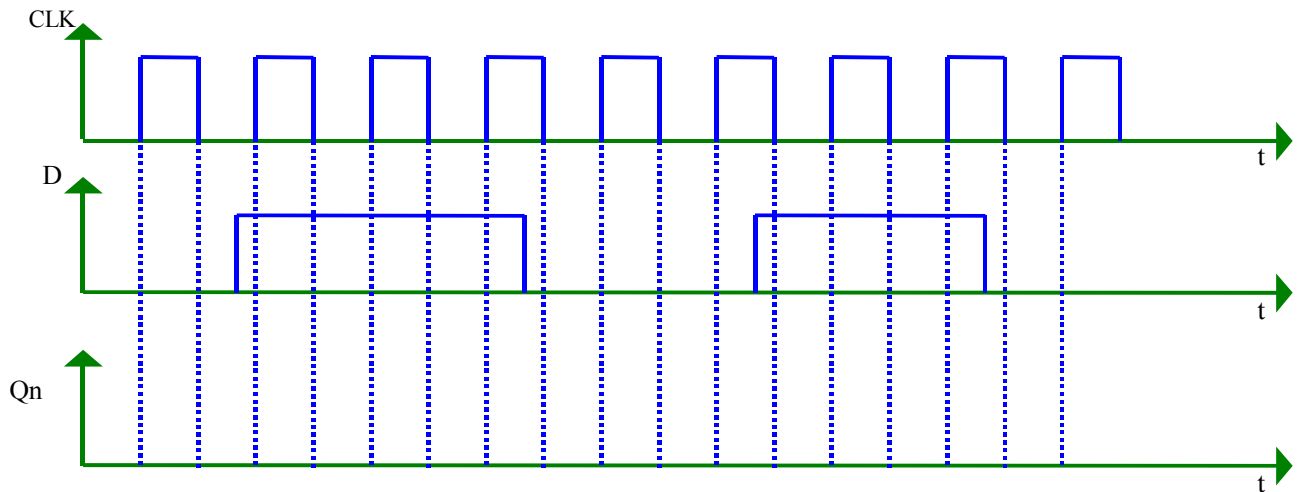


Table de vérité

CLK	D	Q <sub>n</sub>	Remarques
0	X	Q <sub>n-1</sub>	Etat mémoire
1	0	0	Recopie de D
1	1	1	Recopie de D

Extrait d'une documentation.

- **Compléter** les chronogrammes suivants :



Remarque : **Comparer** les 2 chronogrammes de Q des 2 bascules D et **conclure**.

## 5- Les entrées asynchrones

- Comme nous l'avons vu, on utilise essentiellement des bascules synchrones, mais très souvent, elles possèdent des **entrées asynchrones**. Ces entrées **agissent indépendamment** des entrées synchrones, quelques soient les conditions des entrées synchrones, quelques soient les conditions d'entrées.
- En fait ce sont des entrées prioritaires qui imposent un état à la bascule malgré les commandes lancées par les autres entrées.
- En général il y a **deux entrées asynchrones** :
  - **RAU**  $\Leftarrow$  Remise à un.
  - **RAZ**  $\Leftarrow$  Remise à zéro.
- Voir les extraits de la basculé D et JK.
- **Compléter** les chronogrammes suivants : (on considère J et K à 1)

