

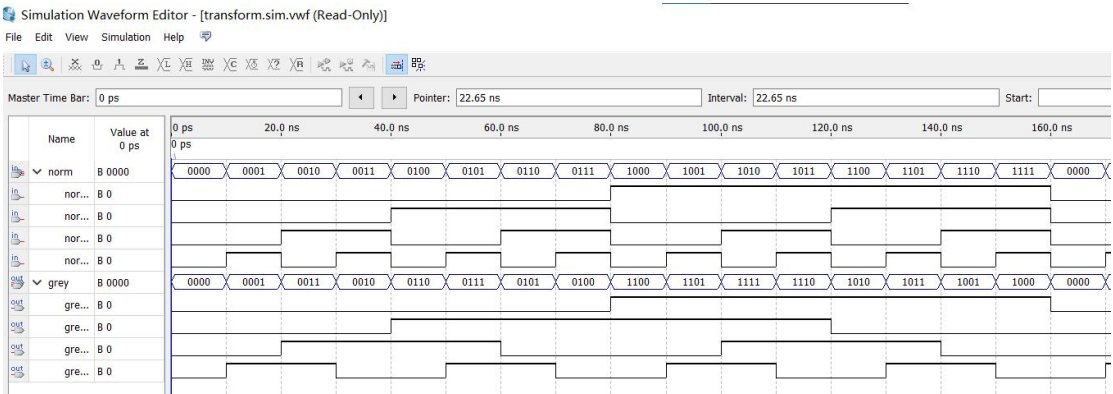
## 目录

实验一 8421 码和格雷码的转换.....	2
实验二 数值比较器.....	3
实验三 全加器.....	4
实验四 3 线-8 线译码器.....	5
实验五 表决器.....	6

# 实验一 8421 码和格雷码的转换

## 一、实验内容

利用 VHDL 语言设计一个 4 位 8421 码到 4 位格雷码的编码器。  
使用波形图仿真验证其功能。



## 实验二 数值比较器

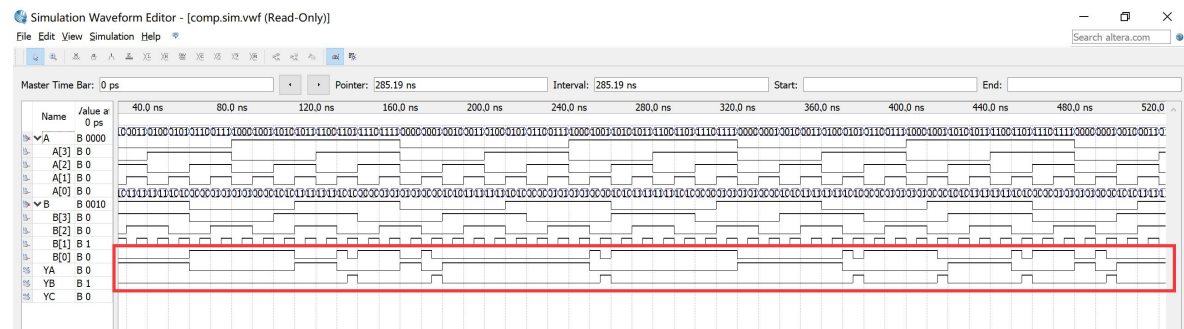
### 一、比较器介绍

数值比较器是对两个位数相同的二进制数进行比较并判定其大小关系的算术运算电路。

### 二、实验内容

使用 if 语句编写对两个 4 位二进制数进行比较的 VHDL 程序，其中 A 和 B 分别是参与比较的两个 4 位二进制数，YA、YB、YC 是用来分别表示  $A > B$ 、 $A < B$ 、 $A = B$  的 3 个输出端。

使用波形图仿真验证其功能。



## 实验三 全加器

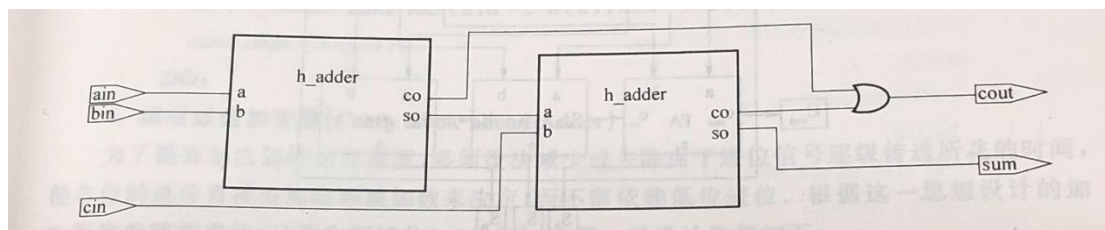
### 一、实验介绍

把加数、被加数和低位进位逻辑三者加起来的电路称为全加器。其逻辑表达式为  $S_i = A_i \oplus B_i \oplus C_{i-1}$ ,  $C_i = (A_i \oplus B_i)C_{i-1} + A_i B_i$ 。其真值表如下表所示。

表 3-11 全加器的真值表

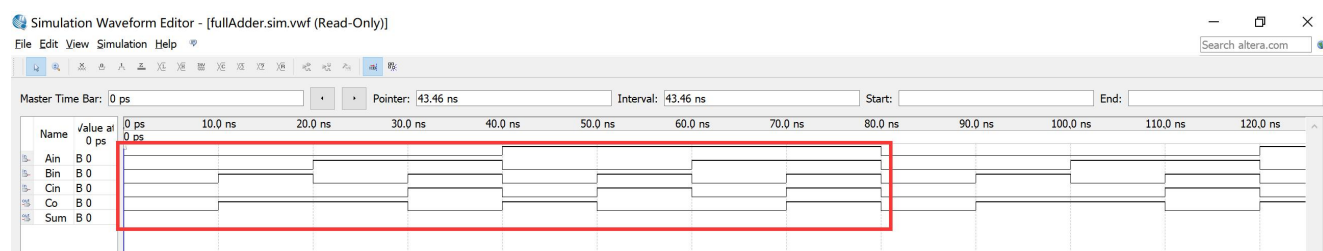
$A_i$	$B_i$	$C_{i-1}$	$S_i$	$C_i$	$A_i$	$B_i$	$C_{i-1}$	$S_i$	$C_i$
0	0	0	0	0	1	0	0	1	0
0	0	1	1	0	1	0	1	0	1
0	1	0	1	0	1	1	0	0	1
0	1	1	0	1	1	1	1	1	1

全加器可以由两个半加器和一个或门构成，其电路图如下图所示。



### 二、实验内容

根据全加器的电路图和真值表，设计一个 VHDL 程序实现全加器。使用波形图仿真验证其功能。



## 实验四 3 线-8 线译码器

### 一、实验背景

译码器是一个多输入、多输出的组合逻辑电路。它的作用是把给定的代码进行“翻译”，变成相应的状态，使输出通道中相应的一路有信号输出。译码器在数字系统中有广泛的用途，不仅用于代码的转换、终端的数字显示，还用于数据分配、存储器寻址和组合控制信号等，不同的功能可选用不同种类的译码器。

译码器可分为通用译码器和数码显示译码器两大类，前者又分为变量译码器和代码变换译码器。

### 二、设计任务

描述一个 3 线-8 线译码器，使能端为  $G_1$ 、 $G_{2A}$ 、 $G_{2B}$ ，地址选择段为  $A[2..0]$ ，输出端为总线  $Y$ 。

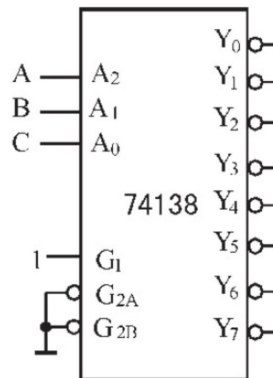


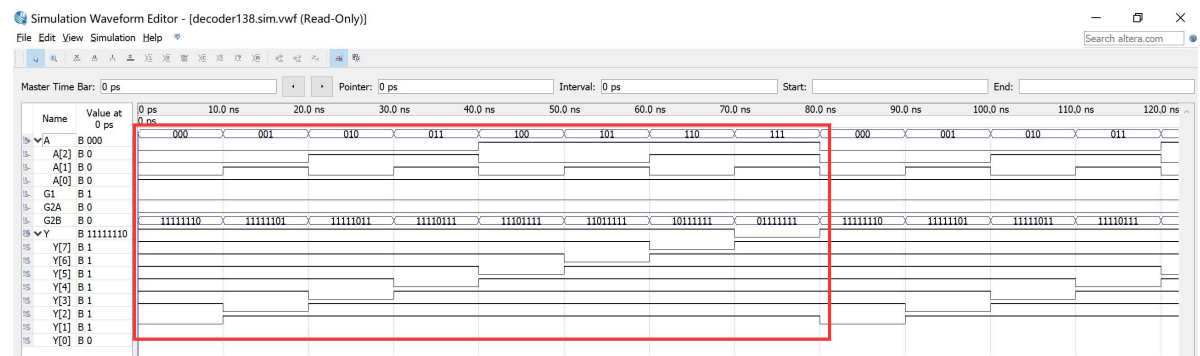
图 1 3 线-8 线译码器 74138 的逻辑框图

使 能 端			输 入 端			输 出 端							
$G_1$	$\overline{G_{2A}}$	$\overline{G_{2B}}$	C	B	A	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	0	1	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0
有一不满足条件			X	X	X	1	1	1	1	1	1	1	1

图 2 74138 的真值表

### 三、算法设计

用 case 语句描述电路，利用真值表辅助，使用 VHDL 语言编写出程序。使用波形图仿真验证其功能。



## 实验五 表决器

### 一、实验内容

用 VHDL 语言设计实现一个 4 人表决器，多数人赞成决议表示通过，否则决议不通过。使用波形图仿真验证其功能。

