

## 目录

实验一 序列检测器.....	2
实验二 计数器.....	3
实验三 8 位寄存器 74374.....	4

# 实验一 序列检测器

## 一、实验内容

设计一个序列检测器检测序列 1110010。

## 二、设计思路

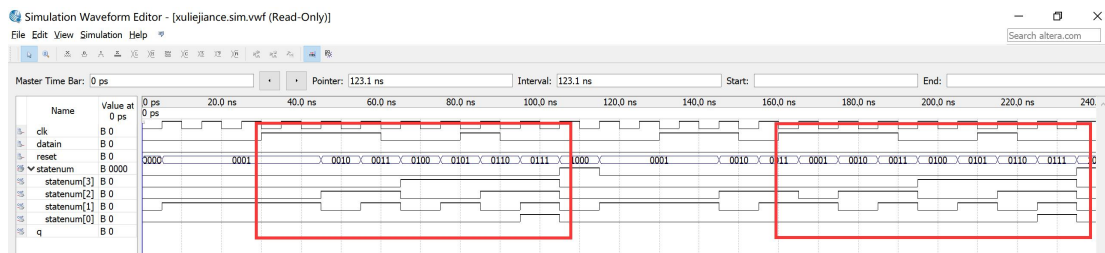
每输入一个序列 1110010 则会在输出端输出一个 1，其余时间为 0。

首先写出状态转移图，再利用 case 语句，根据状态转移图写出状态的转移及输出。

检测序列为七位，所以可以设状态机状态数为 8 个；

输出信号由当前状态和输入条件决定，设计为 mealy 型状态机（moore 型同样可实现）；

采用异步复位。



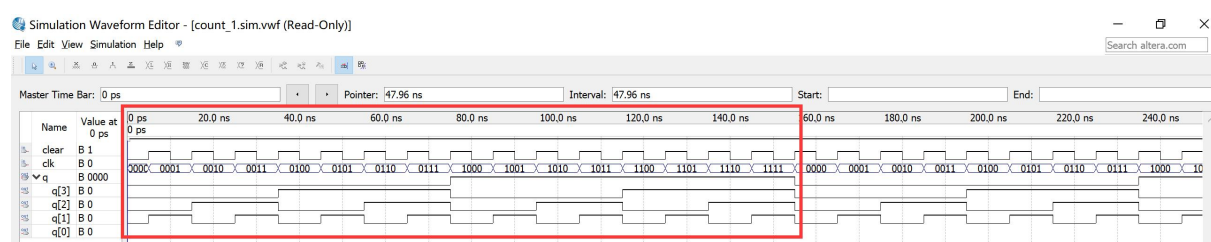
## 实验二 计数器

### 一、实验介绍

计数器是通过电路的状态反映输入脉冲数目的电路。计数器是应用非常广泛的时序电路，按照技术的特点分为二进制计数器、十进制计数器、环形计数器、扭环形计数器等。二进制计数器又分为加计数器、减计数器等。

### 二、实验内容

用 VHDL 语言实现计数状态连续的模值为  $2^N$  的计数器。这是一个同步清零的 4 为二进制加计数器，其计数的状态是从“0000~1111”进行变化。整个的计数周期是 16 个时钟周期，即  $2^4$  个时钟周期。凡是这种技术周期为  $2^N$  且对计数状态无特殊要求的计数器，可以通过直接定义 N 位的计数信号和端口，对信号进行加或减操作，而不必进行计数状态的判断和控制。



# 实验三 8 位寄存器 74374

## 一、实验介绍

在数字系统中，寄存器可用来存储一组二进制代码，而触发器具有记忆功能，所以可以用触发器构成寄存器。本实验要求同学们完成 8 位寄存器 74374 的 VHDL 描述。74374 的逻辑框图如下图所示，功能表如下表所示。逻辑框图中 D 为寄存器的 8 位数据输入，Q 为寄存器的 8 位数据输出端，CLK 为时钟信号，OE 为控制信号。从功能表可以看出 OE 为低电平时，在时钟上升沿输入端信号从输出端输出，其他时刻输出保持；而 OE 为高电平时，输出一直保持为高阻。

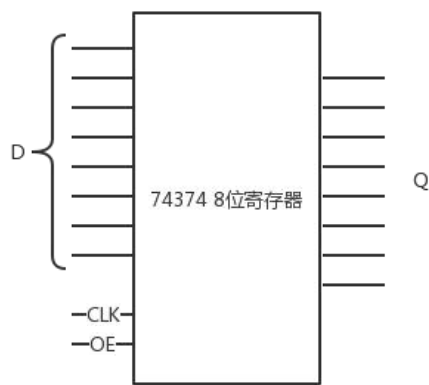


图 4-1 74374 的逻辑框图

表 4-1 74374 的功能表

OE	CLK	D	Q
0	↑	1	1
0	↑	0	0
0	0	X	保持
1	X	X	高阻

## 二、实验内容

根据 74374 的逻辑框图和真值表，用 VHDL 语言实现 74374 的功能。

