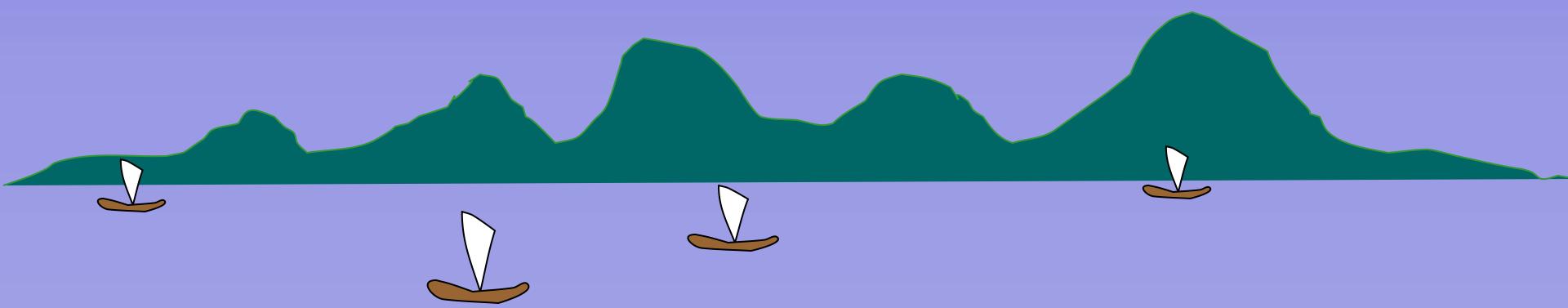


第6章 时序逻辑电路的分析和设计

6.1 概述

6.2 时序逻辑电路的分析方法

6.3 同步时序逻辑电路的设计



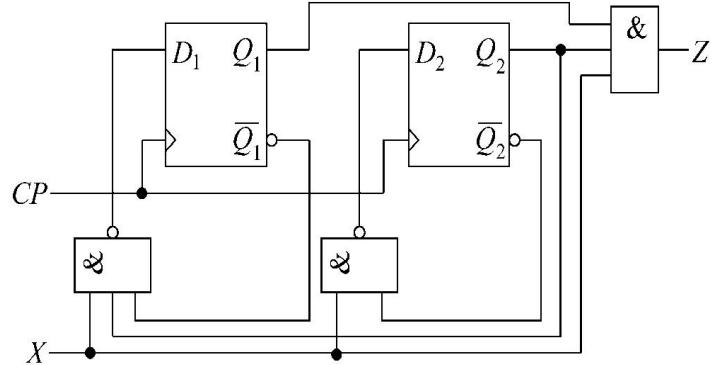
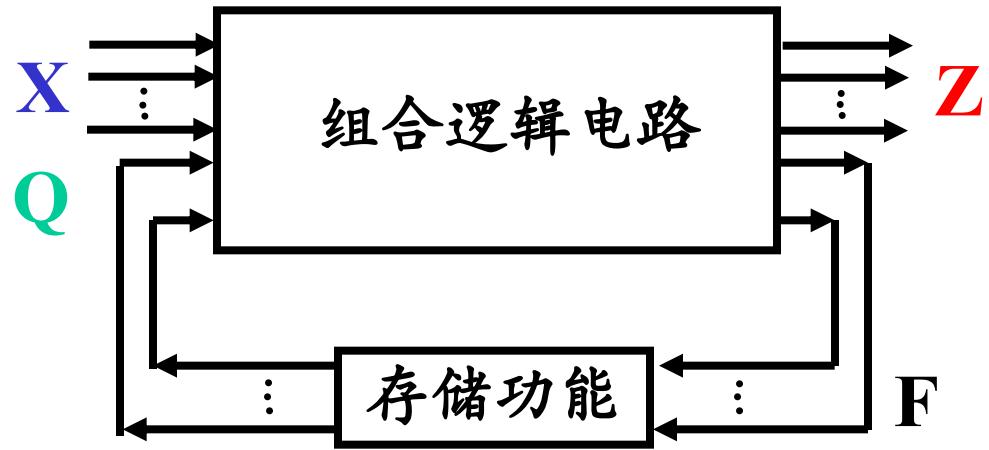
6.1 概述

一、时序逻辑电路的基本概念

1、定义

在数字电路中，凡是任一时刻的稳定输出不仅决定于该时刻的输入，而且还和电路原来的状态有关者，都叫做时序逻辑电路，简称时序电路。

2、时序逻辑电路的一般结构



$X_i (i = 1, \dots, n)$: 外部向电路输入的时序信号，称为输入变量。

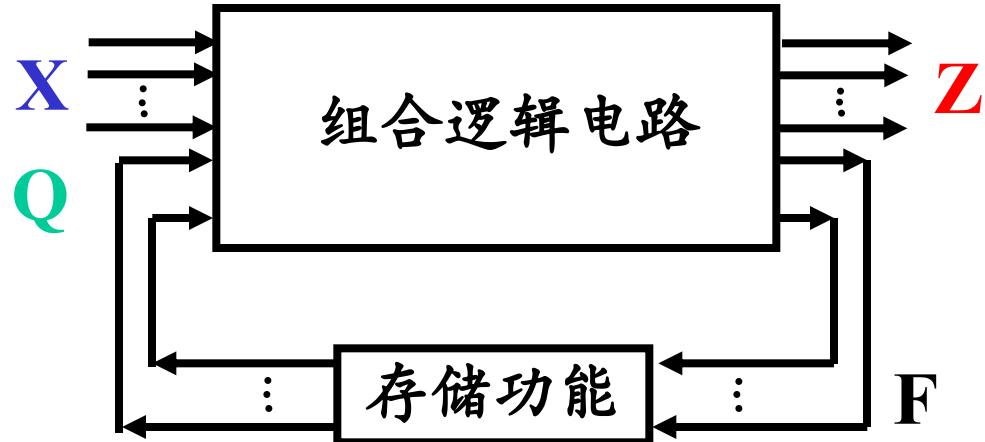
$Z_i (i = 1, \dots, m)$: 电路产生的输出时序信号，称为输出函数。

$Q_i (i = 1, \dots, l)$: 内部输入，存储电路的输出，称为现态。

$F_i (i = 1, \dots, p)$: 存储电路的输入信号，称为激励信号。

CP: 时钟脉冲信号，用来确定电路状态转换时刻。

3、时序电路的特点：



(1) 具有记忆功能。

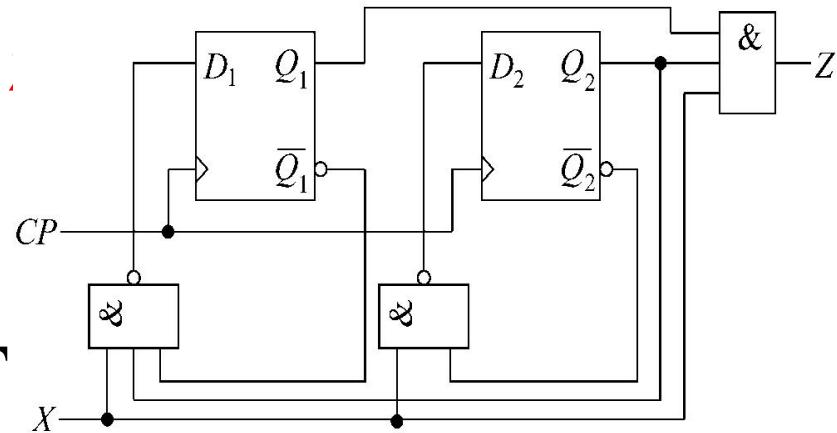
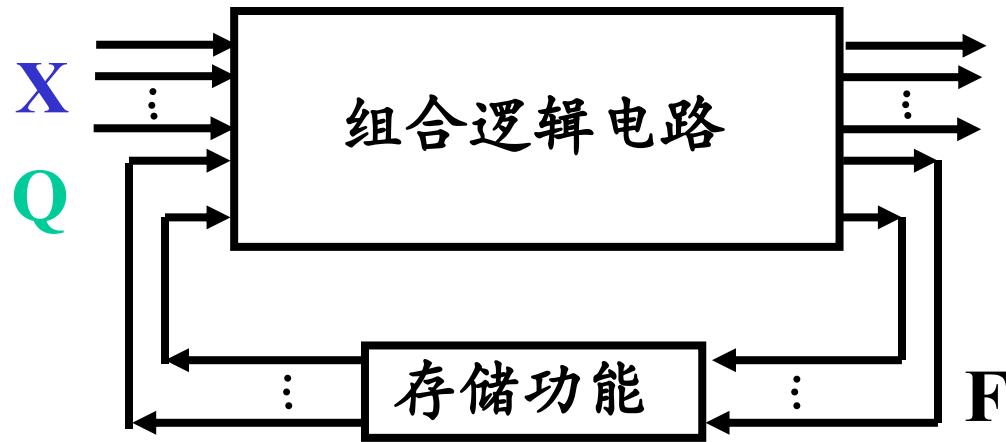
(2) 时序电路一般由三部分组成

组合逻辑电路：由逻辑门构成；

存储器件：由触发器组成；

反馈线：连接组合逻辑电路与存储器件的导线；

4、状态的概念



- (1) 外部状态：时序电路输出Z的组合；
- (2) 内部状态：存储器的输出Q的组合；

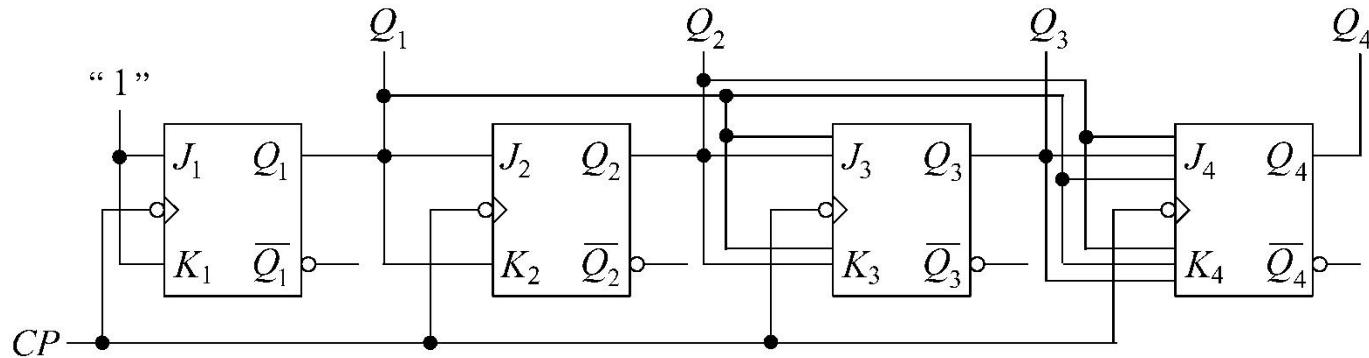
Q^n ；就某一时刻而言，通常将该时刻电路的状态称为**现态**

Q^{n+1} ；下一时刻电路的状态称为**次态**

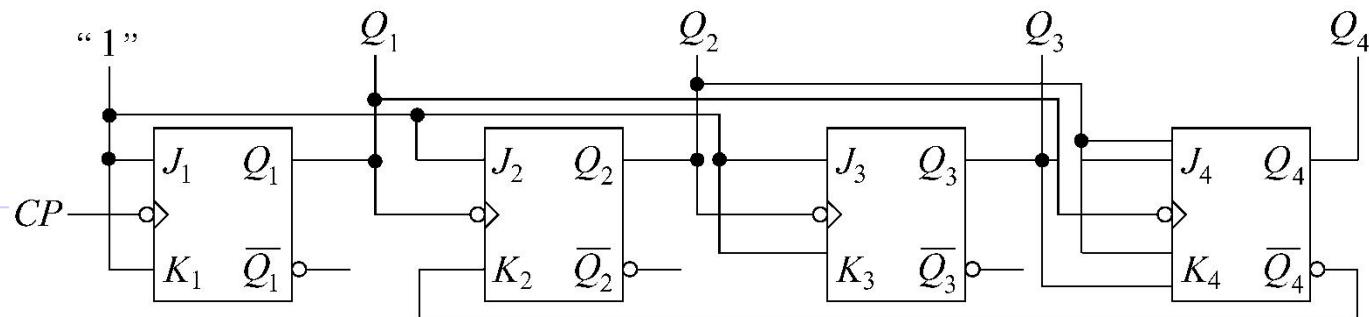
二、时序逻辑电路的分类

1、按其状态改变方式

同步时序逻辑电路:

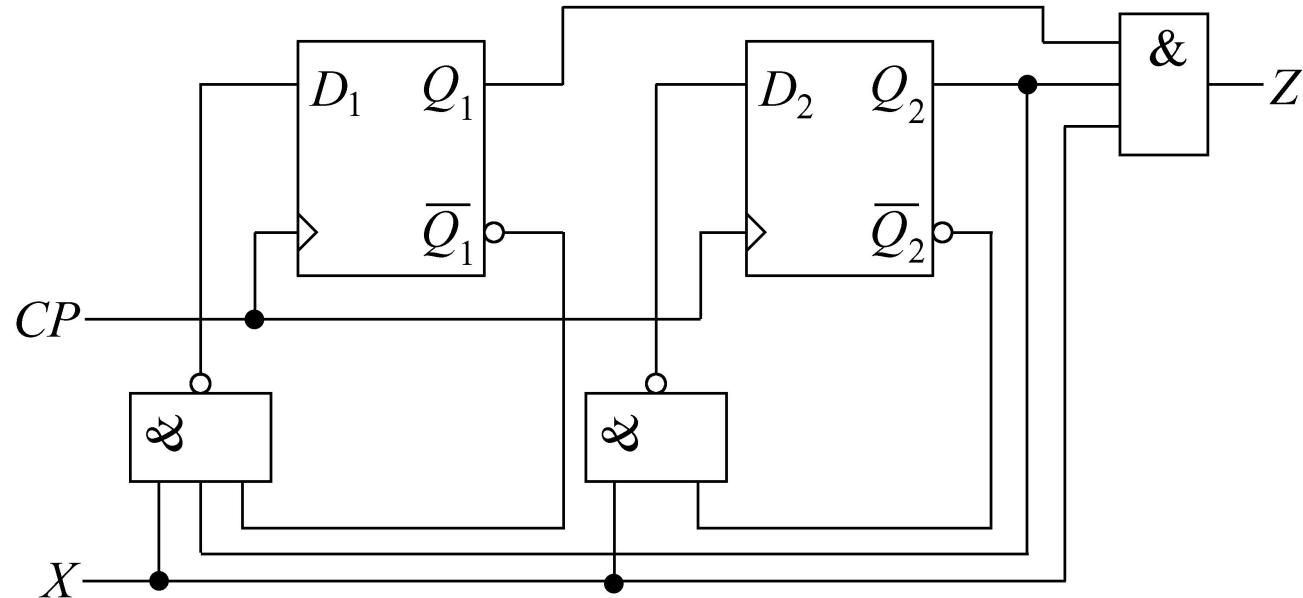


异步时序逻辑电路:

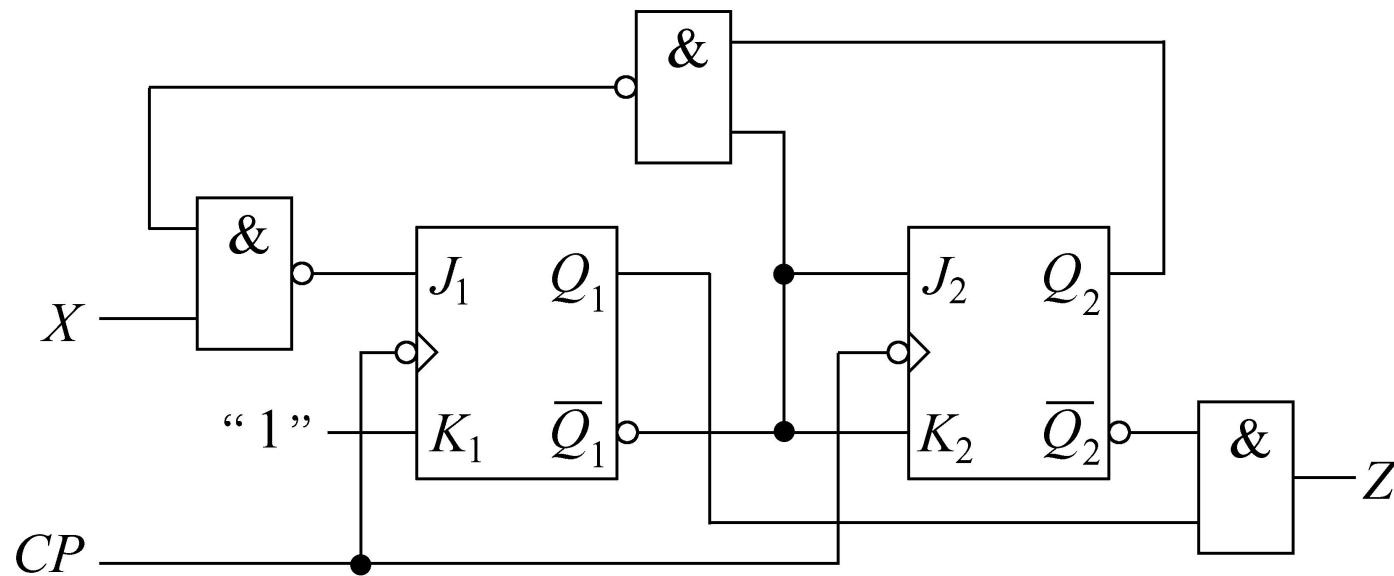


2、按照电路输出与外部输入的关系，时序逻辑电路有两种结构模型。

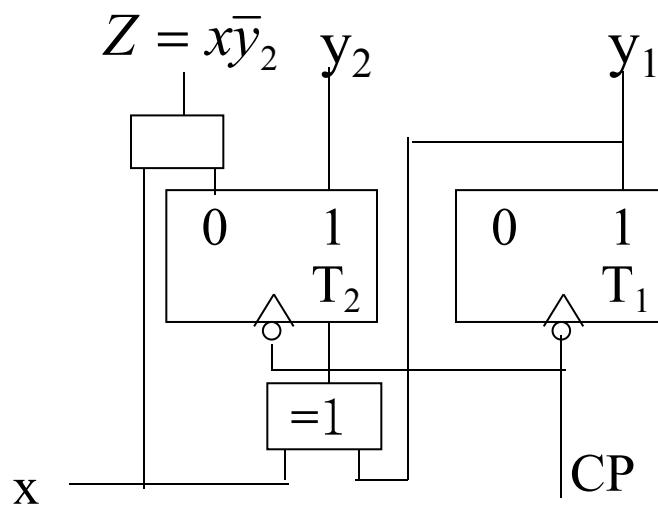
米利 (Mealy) 型： 电路外部输出是电路外部输入和内部状态变量的函数。其关系为
 $Z_i = f_i(x_1, x_2, \dots, x_n, Q_1, Q_2, \dots, Q_n)$



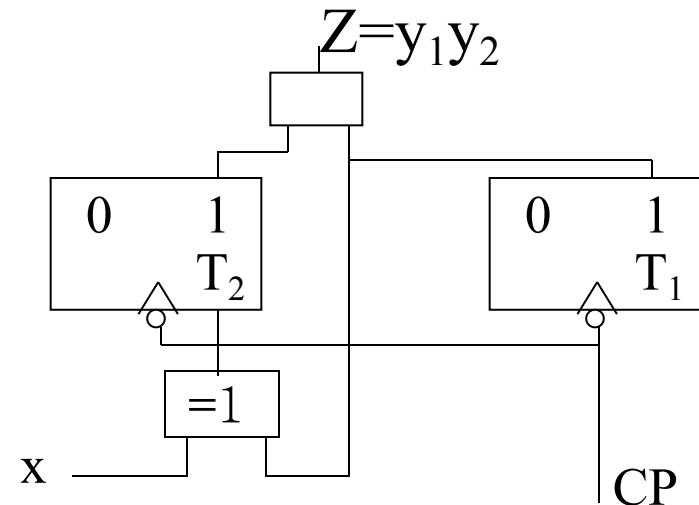
莫尔 (Moore) 型: 电路外部输出是内部状态的函数,
与外部输入无直接关系。其关系为
 $Z_i = f_i(Q_1, Q_2, \dots, Q_n)$



例：判断下面两个电路为何种类型时序逻辑电路



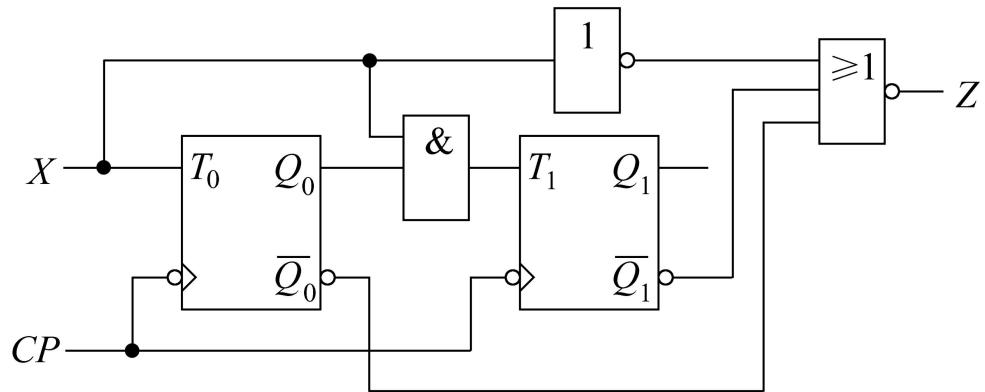
Mealy型同步时序电路



Moore型同步时序电路

三、同步时序逻辑电路的描述

1、逻辑方程式



1)输出函数表达式: $Z_i = f_i(x_1, x_2, \dots, x_n, Q_1, Q_2, \dots, Q_n)$ Mealy 型

$Z_i = f_i(Q_1, Q_2, \dots, Q_n)$ Moore型

2)激励函数表达式 (驱动方程) : $F_i = f_i(X_i, Q_i)$

3)次态函数表达式 (状态方程, 特性方程) $Q_k^{n+1} = f_k(F_k, Q_k)$

2、状态转移表

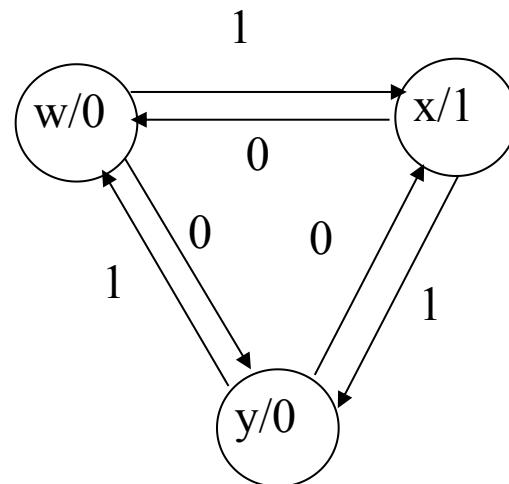
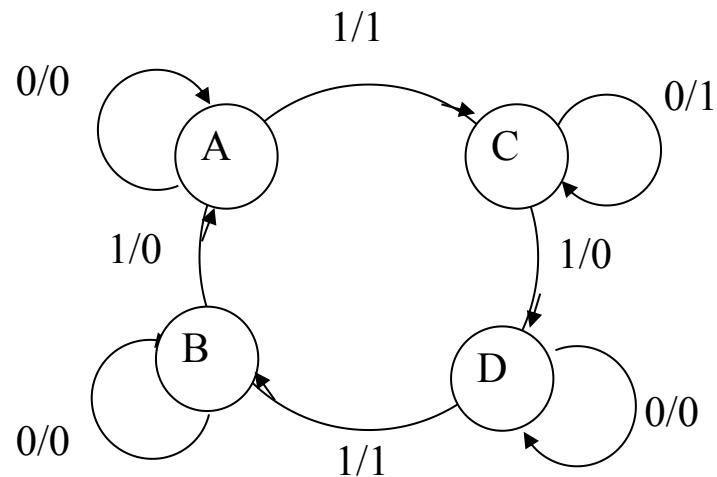
状态转移表：反映同步时序逻辑电路的输出、次态与输入、现态之间关系的表格。

Q^n	Q^{n+1}/Z	
	$x=0$	$x=1$
A	D/0	C/1
B	B/1	A/0
C	B/1	D/0
D	A/0	B/1

Q^n	Q^{n+1}		Z
	$x=0$	$x=1$	
W	Y	X	0
X	X	Y	1
Y	X	W	0

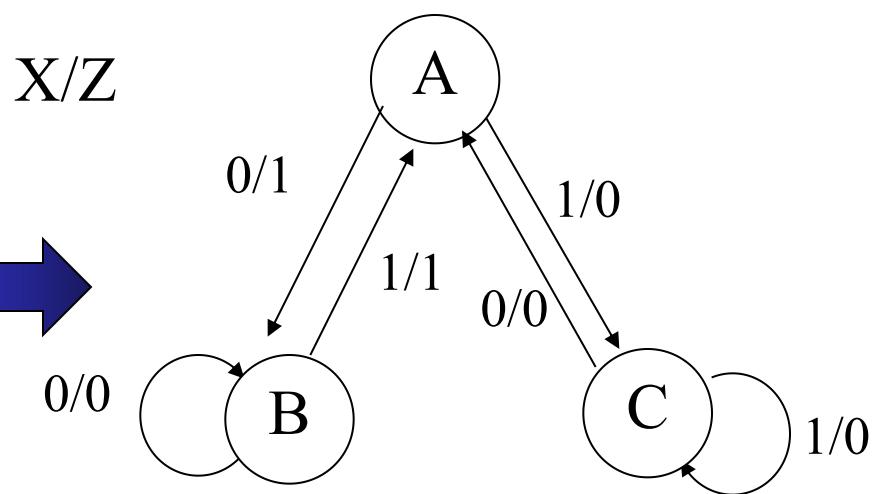
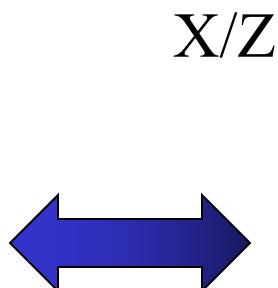
3、状态转移图

状态转移图：用图形的形式反映外部输入、电路的状态、状态转移的条件和方向。



状态转移表和状态转移图之间可以相互转换

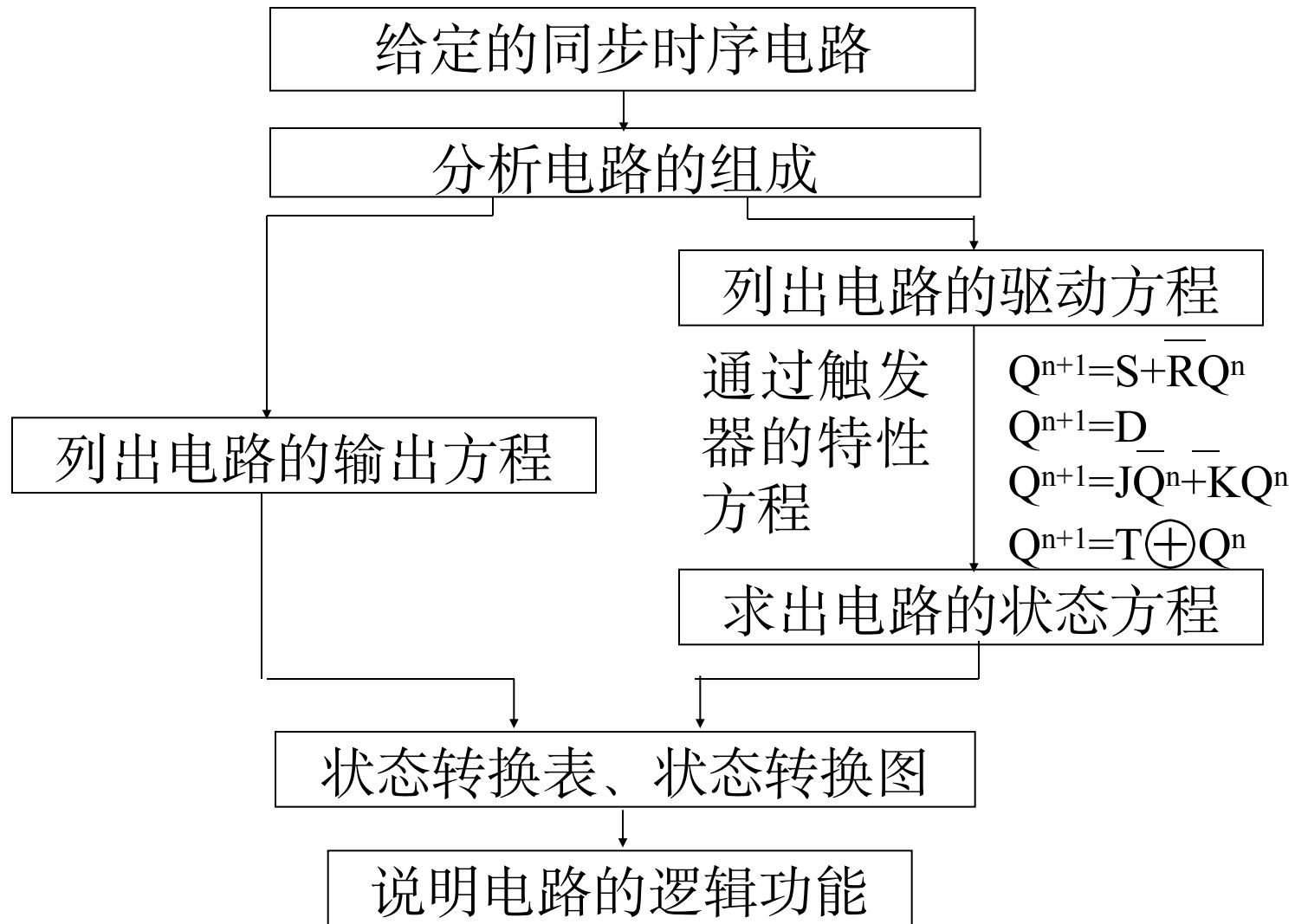
		Q^{n+1}/Z	
		$x=0$	$x=1$
Q^n	A	B/1	C/0
	B	B/0	A/1
	C	A/0	C/0



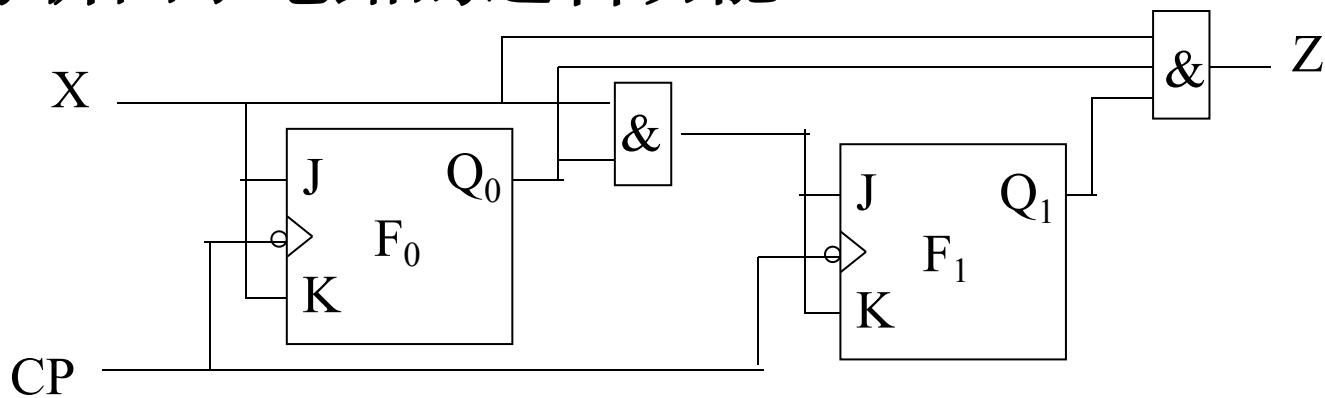
4、时序图——用信号随时间变化的规律来描述各关键点的信号变化情况的图形。即在时钟和输入信号的作用下，描述电路状态、输出状态随时间变化的波形图。

6.2 时序逻辑电路的分析

一、同步时序电路的一般分析方法



例1：分析图示电路的逻辑功能



1、电路分析

2、输出方程: $Z=XQ_0Q_1$

驱动方程: $J_0=K_0=X,$

$$J_1=K_1=XQ_0$$

3、状态方程: $Q_i^{n+1} = J_i \bar{Q}_i + \bar{K}_i Q_i$

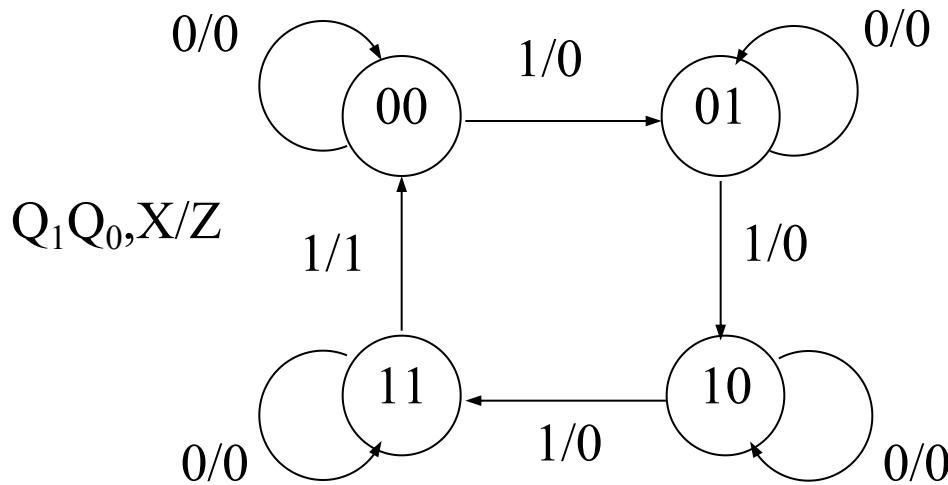
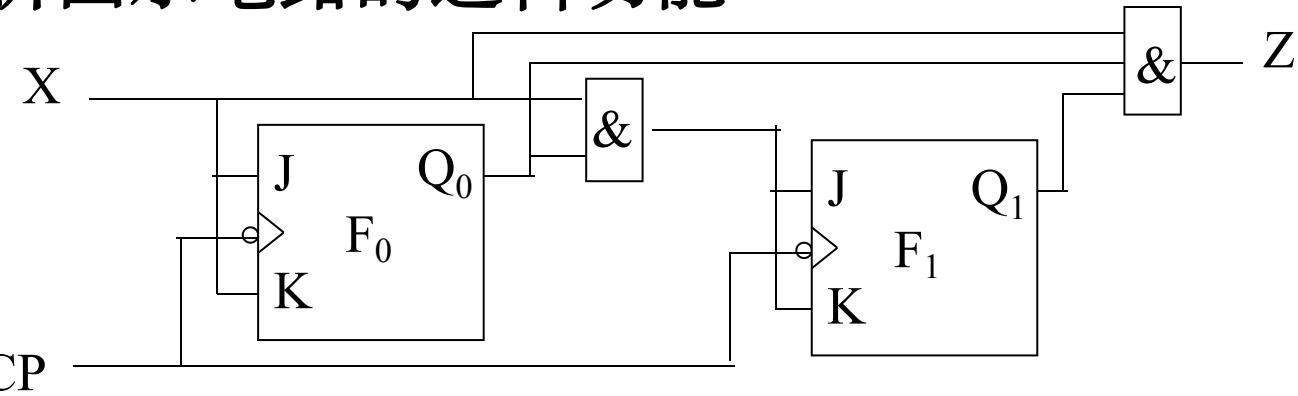
$$Q_0^{n+1} = X\bar{Q}_0 + \bar{X}Q_0 = X \oplus Q_0$$

$$Q_1^{n+1} = XQ_0\bar{Q}_1 + \bar{XQ}_0Q_1 = (XQ_0) \oplus Q_1$$

4、转换表、转换图

X	Q_1Q_0	$Q_1^{n+1} Q_0^{n+1}$	Z
1	0 0	0 1	0
1	0 1	1 0	0
1	1 0	1 1	0
1	1 1	0 0	1
0	0 0	0 0	0
0	0 1	0 1	0
0	1 0	1 0	0
0	1 1	1 1	0

例1：分析图示电路的逻辑功能



4、转换表、转换图

X	$Q_1 Q_0$	$Q_1^{n+1} Q_0^{n+1}$	Z
1	0 0	0 1	0
1	0 1	1 0	0
1	1 0	1 1	0
1	1 1	0 0	1
0	0 0	0 0	0
0	0 1	0 1	0
0	1 0	1 0	0
0	1 1	1 1	0

5、逻辑功能分析：此电路为一个受 X 控制的两位二进制计数器，当 $X=1$ 时，计数器工作；当 $X=0$ 时，计数器不工作。

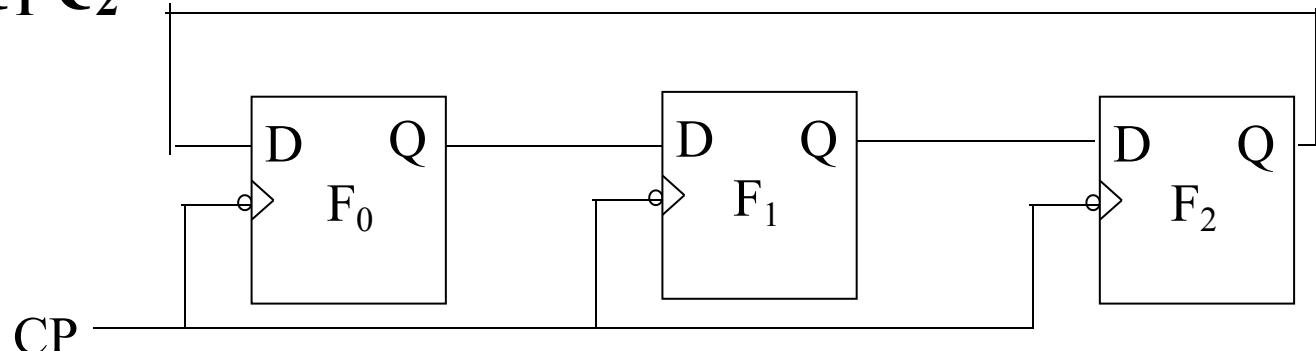
注意

- (1) 组成该电路的状态是各个触发器的组合;
- (2) 不能漏掉任何可能的输入和现态的取值组合;
- (3) 输入和现态的起始值如果给定了, 则可以从给定的值依次计算, 如果未给定, 则可以自己设定起始值。

画状态转换图:

- (1) 状态转换是现态到次态;
- (2) 输出是现态的函数, 不是次态的函数;
- (3) 只有当时钟脉冲的触发沿到来时, 相应触发器才会更新状态。

例2：分析图示电路，各触发器的初始状态为
 $Q_0Q_1Q_2=001$



1、电路分析

4、转换表、转换图

2、驱动方程: $D_0 = Q_2$

$$D_1 = Q_0$$

$$D_2 = Q_1$$

3、状态方程:

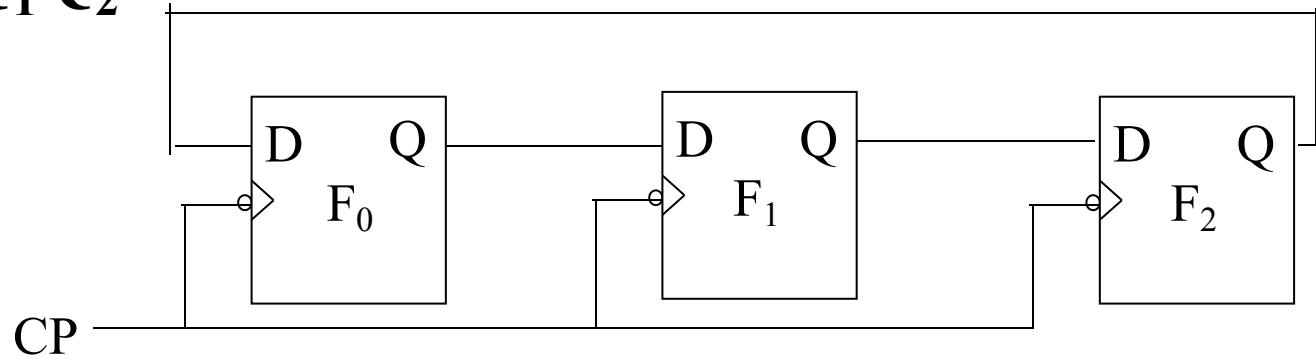
$$Q_0^{n+1} = D_0 = Q_2$$

$$Q_1^{n+1} = D_1 = Q_0$$

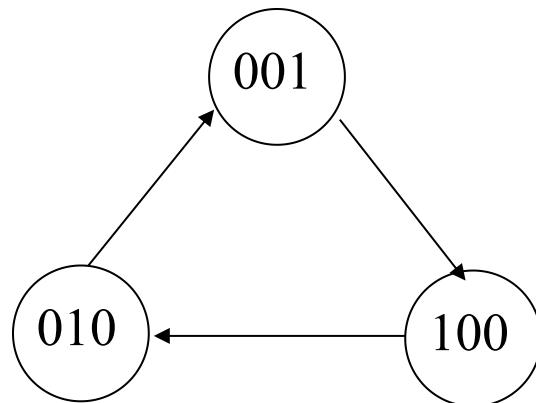
$$Q_2^{n+1} = D_2 = Q_1$$

$Q_0Q_1Q_2$	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}
0 0 1	1	0	0
1 0 0	0	1	0
0 1 0	0	0	1
0 0 1	1	0	0

例2：分析图示电路，各触发器的初始状态为
 $Q_0Q_1Q_2=001$



状态图

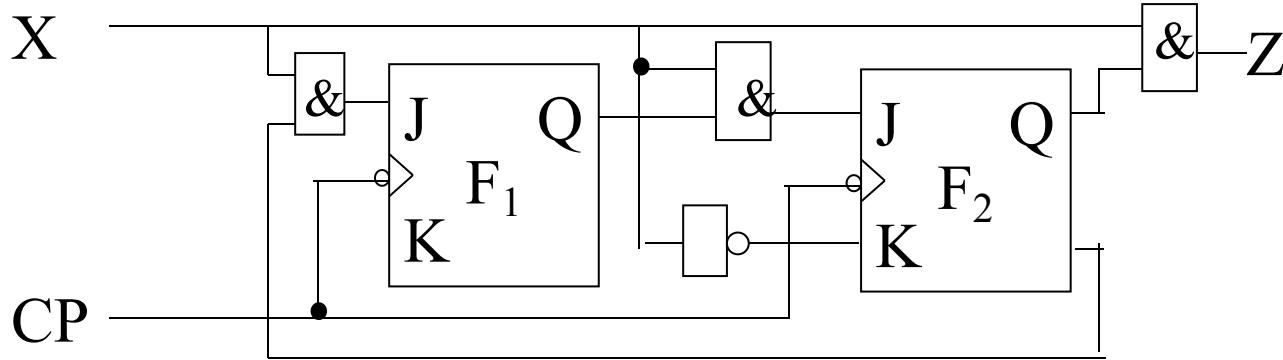


功能说明：此电路三个触发器的 $Q_0Q_1Q_2$ 的组态为001、100、010三种，在CP的作用下，循环变化。

4、转换表、转换图

$Q_0Q_1Q_2$	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}
0 0 1	1	0	0
1 0 0	0	1	0
0 1 0	0	0	1
0 0 1	1	0	0

例3：分析图示电路



1、电路分析

2、输出方程和驱动方程：

$$Z = X \bar{Q}_2$$

$$J_1 = X \bar{Q}_2 \quad J_2 = X Q_1$$

$$K_1 = 1 \quad K_2 = \bar{X}$$

3、状态方程 $Q_i^{n+1} = J_i \bar{Q}_i + \bar{K}_i Q_i$

$$Q_1^{n+1} = X \bar{Q}_2 \bar{Q}_1$$

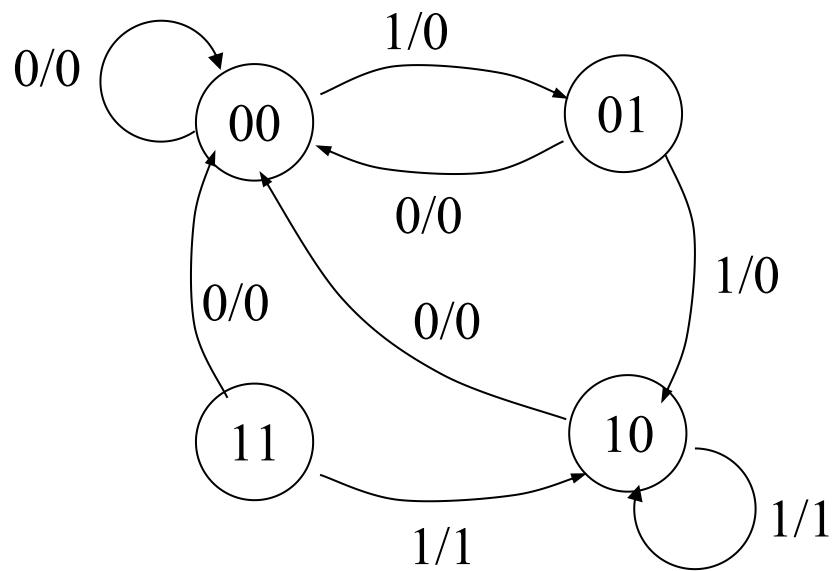
$$Q_2^{n+1} = X Q_1 \bar{Q}_2 + X Q_2$$

4、转换表、转换图

$X Q_2 Q_1$	$Q_2^{n+1} Q_1^{n+1}$	Z
0 0 0	0 0	0
0 0 1	0 0	0
0 1 0	0 0	0
0 1 1	0 0	0
1 0 0	0 1	0
1 0 1	1 0	0
1 1 0	1 0	1
1 1 1	1 0	1

例3：分析图示电路

状态图



功能说明：电路连续输入三个以上的1后输出为1，否则输出为0；故该电路是一个“111”系列检测器。

4、转换表、转换图

XQ ₂ Q ₁	Q ₂ ⁿ⁺¹ Q ₁ ⁿ⁺¹	Z
0 0 0	0 0	0
0 0 1	0 0	0
0 1 0	0 0	0
0 1 1	0 0	0
1 0 0	0 1	0
1 0 1	1 0	0
1 1 0	1 0	1
1 1 1	1 0	1

例4：分析图示电路

1、电路分析

2、输出方程和驱动方程：

$$Z = XQ_2\bar{Q}_1$$

$$D_2 = \overline{X + Q_2 + \bar{Q}_1} = \bar{X}\bar{Q}_2Q_1$$

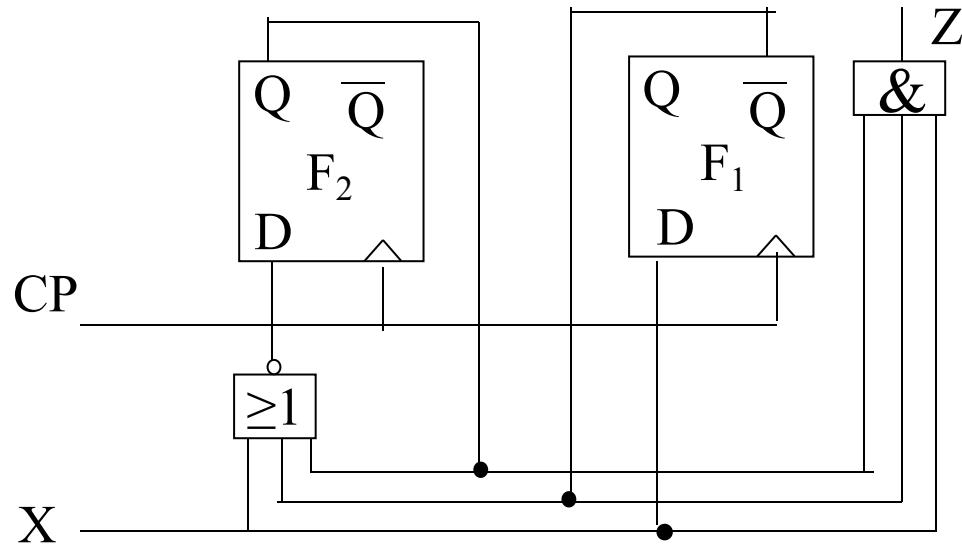
$$D_1 = X$$

3、状态方程

$$Q_2^{n+1} = D_2 = \bar{X}\bar{Q}_2Q_1$$

$$Q_1^{n+1} = D_1 = X$$

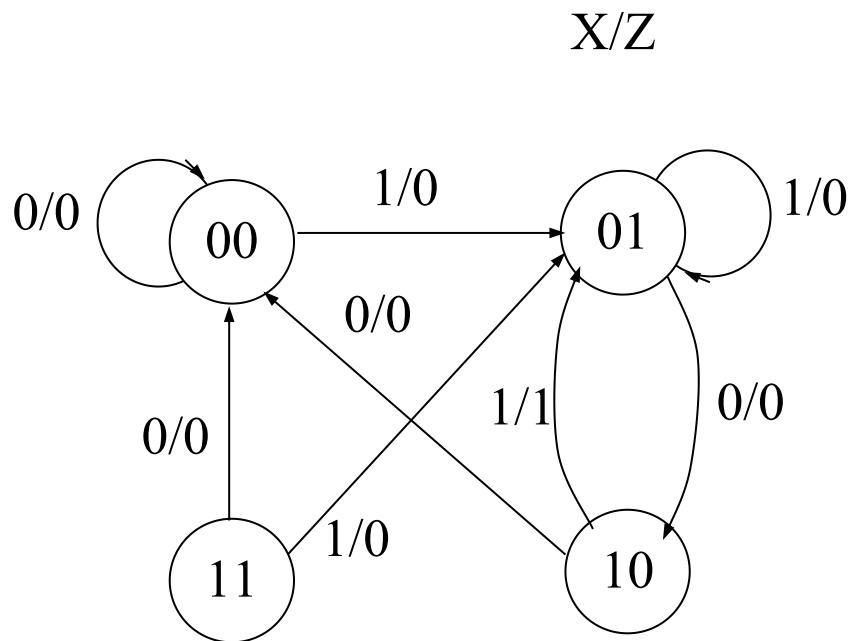
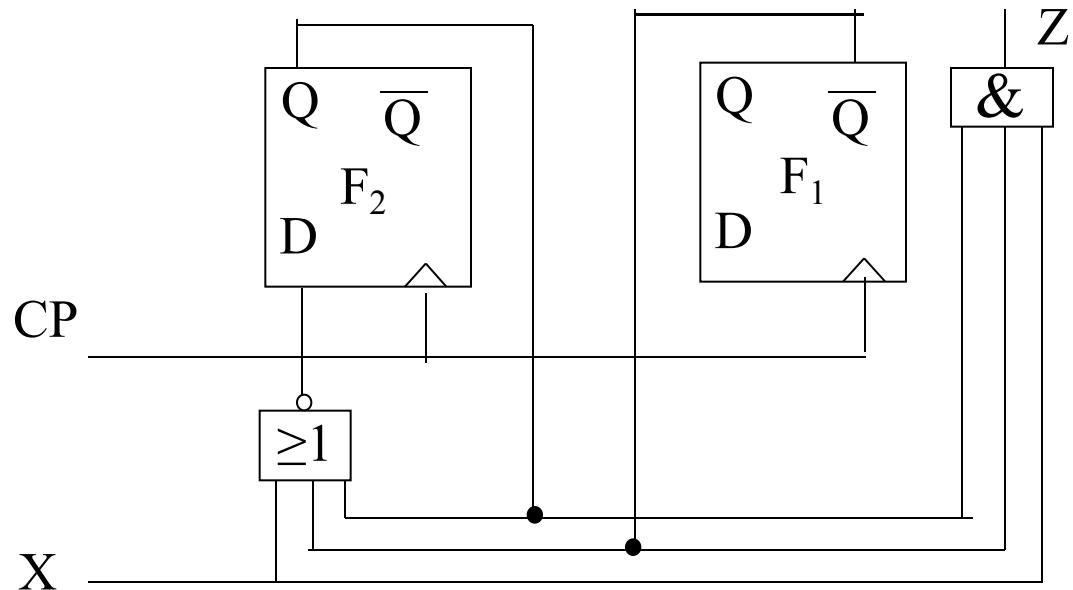
4、转换表、转换图



XQ_2Q_1	$Q_2^{n+1} Q_1^{n+1}$	Z
0 0 0	0 0	0
0 0 1	1 0	0
0 1 0	0 0	0
0 1 1	0 0	0
1 0 0	0 1	0
1 0 1	0 1	0
1 1 0	0 1	1
1 1 1	0 1	0

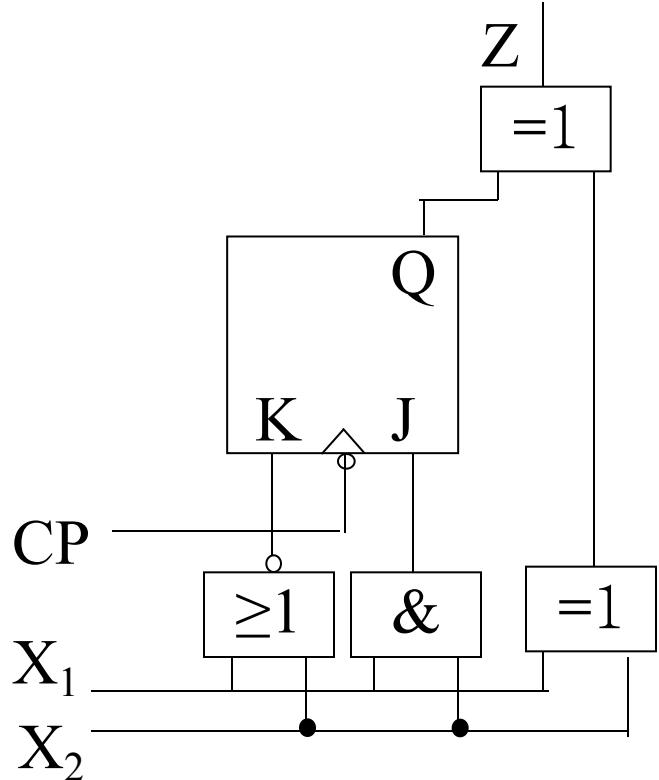
例4：分析图示电路

该电路为“101”系列检测器



XQ ₂ Q ₁	Q ₂ ⁿ⁺¹ Q ₁ ⁿ⁺¹	Z
0 0 0	0 0	0
0 0 1	1 0	0
0 1 0	0 0	0
0 1 1	0 0	0
1 0 0	0 1	0
1 0 1	0 1	0
1 1 0	0 1	1
1 1 1	0 1	0

例5：分析图示电路



1、电路分析

2、输出方程和驱动方程：

$$Z = X_1 \oplus X_2 \oplus Q$$

$$J = X_1 X_2$$

$$K = \overline{X_1 + X_2}$$

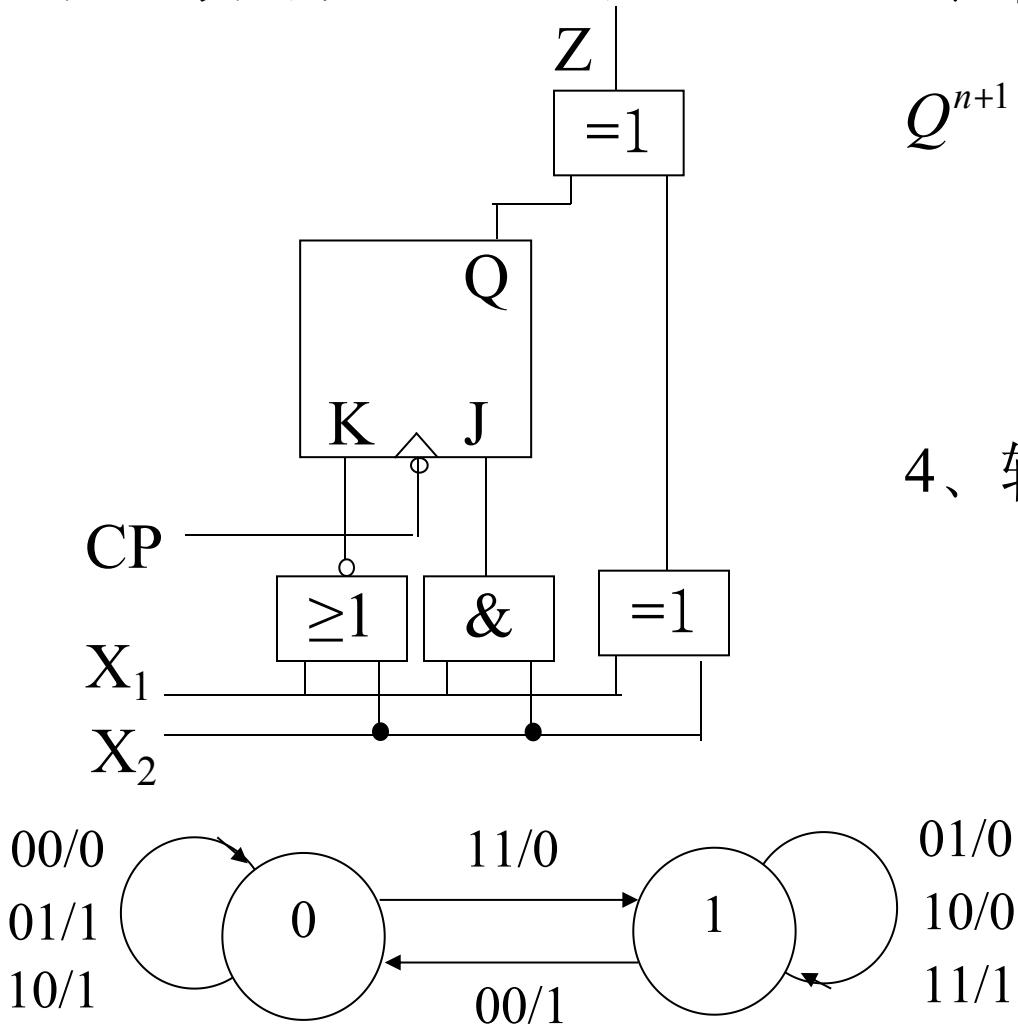
3、状态方程

$$\begin{aligned}Q^{n+1} &= X_1 X_2 \overline{Q} + (X_1 + X_2) Q \\&= X_1 X_2 \overline{Q} + X_1 Q + X_2 Q \\&= X_1 X_2 + X_1 Q + X_2 Q\end{aligned}$$

4、转换表、转换图

$Q X_1 X_2$	Q^{n+1}	Z
0 0 0	0	0
0 0 1	0	1
0 1 0	0	1
0 1 1	1	0
1 0 0	0	1
1 0 1	1	0
1 1 0	1	0
1 1 1	1	1

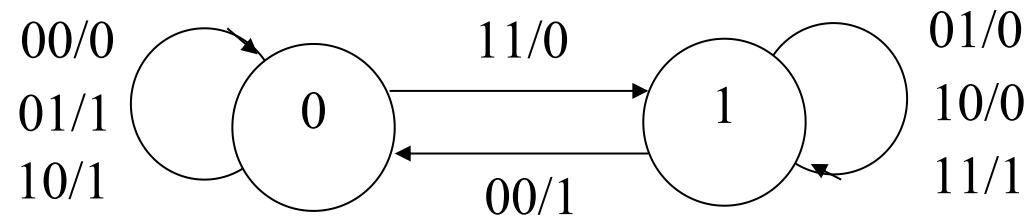
例5：分析图示电路



3、状态方程

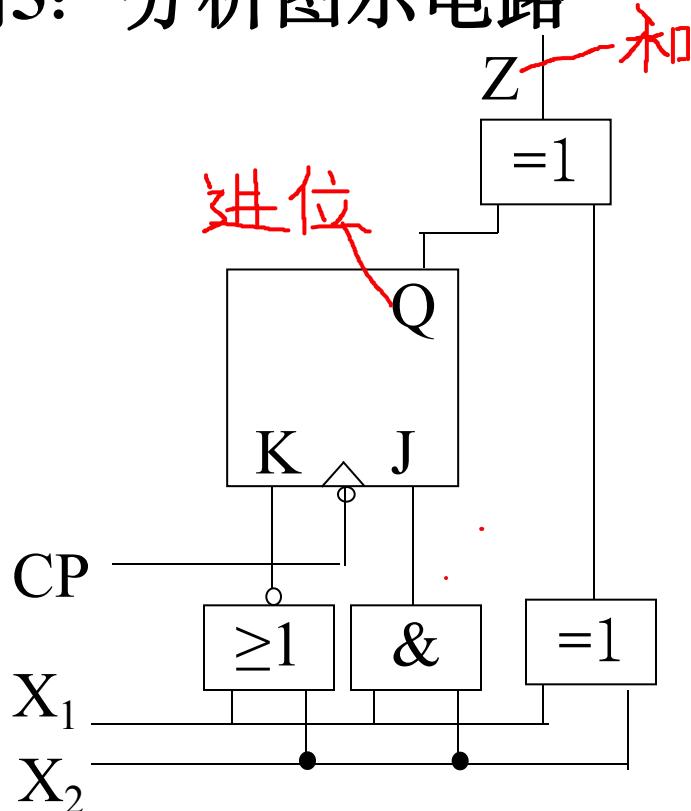
$$\begin{aligned}
 Q^{n+1} &= X_1 X_2 \bar{Q} + (X_1 + X_2) Q \\
 &= X_1 X_2 \bar{Q} + X_1 Q + X_2 Q \\
 &= X_1 X_2 + X_1 Q + X_2 Q
 \end{aligned}$$

4、转换表、转换图



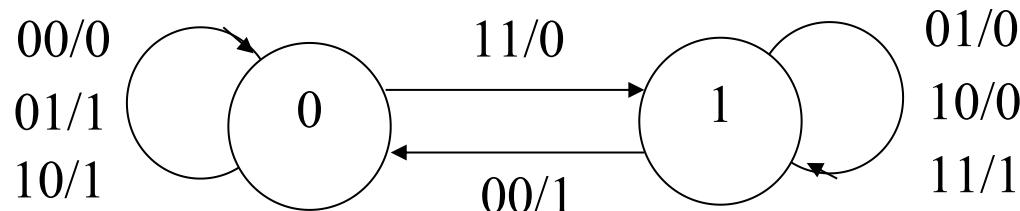
$Q X_1 X_2$	Q^{n+1}	Z
0 0 0	0	0
0 0 1	0	1
0 1 0	0	1
0 1 1	1	0
1 0 0	0	1
1 0 1	1	0
1 1 0	1	0
1 1 1	1	1

例5：分析图示电路



该电路为一个串行加法器， X_1 为被加数， X_2 为加数；按先低位后高位的顺序串行地加到相应的输入端，每位相加产生的进位由触发器保存下来参与下一位相加，输出Z为和数，也是从低位到高位串行地输出。

举例： $A=1101$, $B=1001$,
计算 $A+B$ 。



$$\begin{array}{r} 01/0 \\ 10/0 \\ 11/1 \\ + \end{array} \quad \begin{array}{r} 1 \ 1 \ 0 \ 1 \\ 1 \ 0 \ 0 \ 1 \\ \hline 1 \ 0 \ 1 \ 1 \ 0 \end{array}$$

6.3 同步时序逻辑电路的设计

一、同步时序电路设计的一般步骤

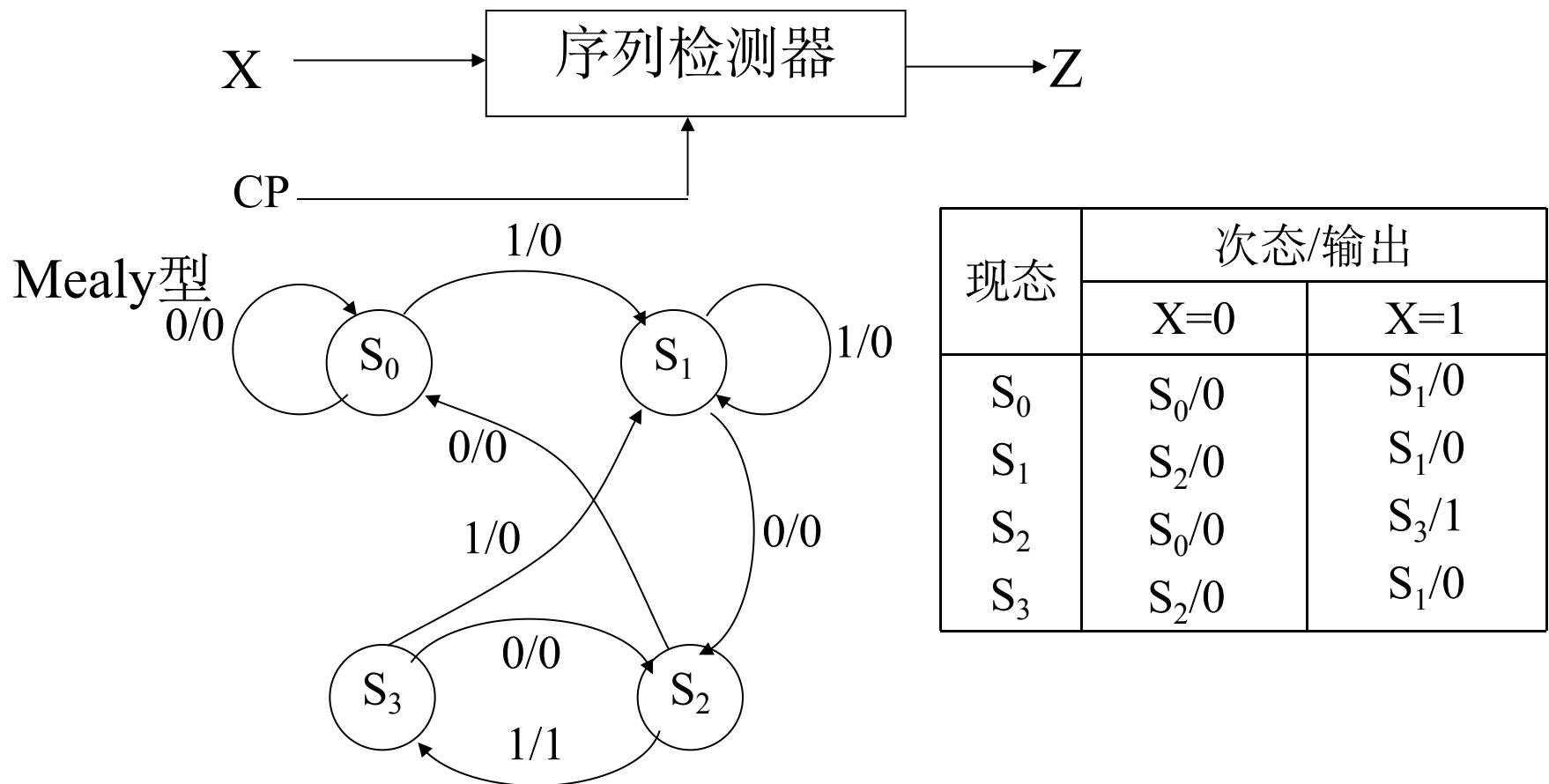
- 1、根据逻辑设计要求，作出状态图和状态表（确定输入变量和输出变量）。
- 2、状态简化。即消除冗余状态，求得最小化状态表。
- 3、状态编码。即对每一个状态指定一个二进制代码，这一步得到一个二进制状态表。
- 4、选定触发器，并写出各触发器的激励函数和输出函数的表达式。
- 5、画出逻辑电路图。

二、建立原始状态图（或原始状态表）

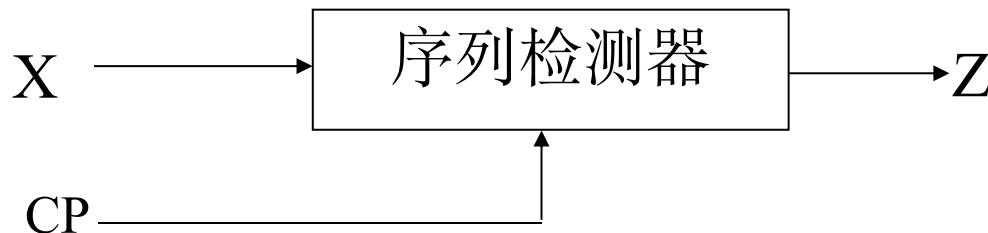
基本思想

根据文字描述的设计要求，先假定一个初态；从这个初态开始，根据输入条件确定输出和下一个状态。每加入一个输入，就可确定一个次态；该次态可能就是现态本身，也可能是已有的另一个状态或是新增加的一个状态。这个过程一直继续下去，直至每一个现态向其次态的转移都已被考虑，并且不再构成新的状态。如果有n个输入变量，则从每一个状态出发将 2^n 种不同的转移条件都考虑到。

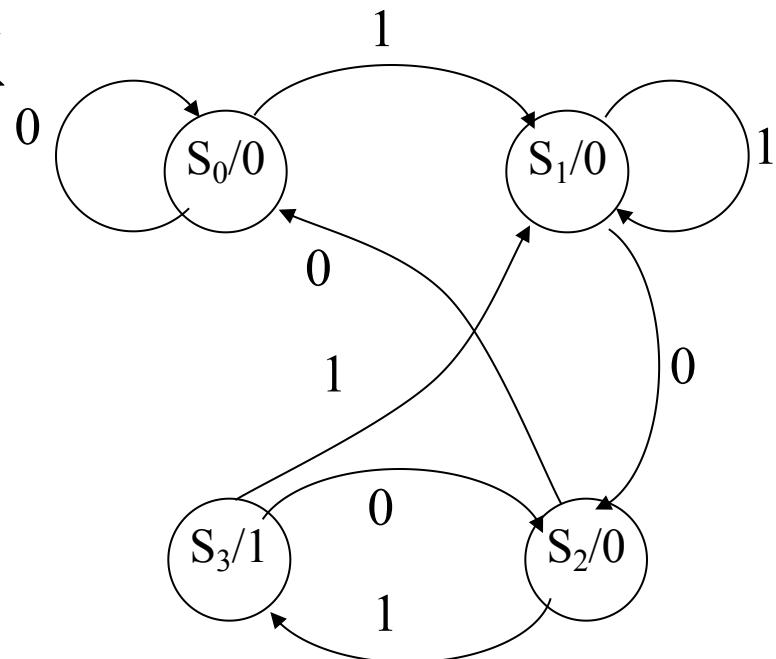
例1：某序列检测器有一个输入端X和一个输出端Z。从X端输入一组按时间顺序排列的串行二进制代码，当输入序列中出现101时，输出Z=1，否则Z=0，作出该检测器的Mealy型和Moore型状态图和状态表。



例1：某序列检测器有一个输入端X和一个输出端Z。从X端输入一组按时间顺序排列的串行二进制代码，当输入序列中出现101时，输出Z=1，否则Z=0，作出该检测器的Mealy型和Moore型状态图和状态表。

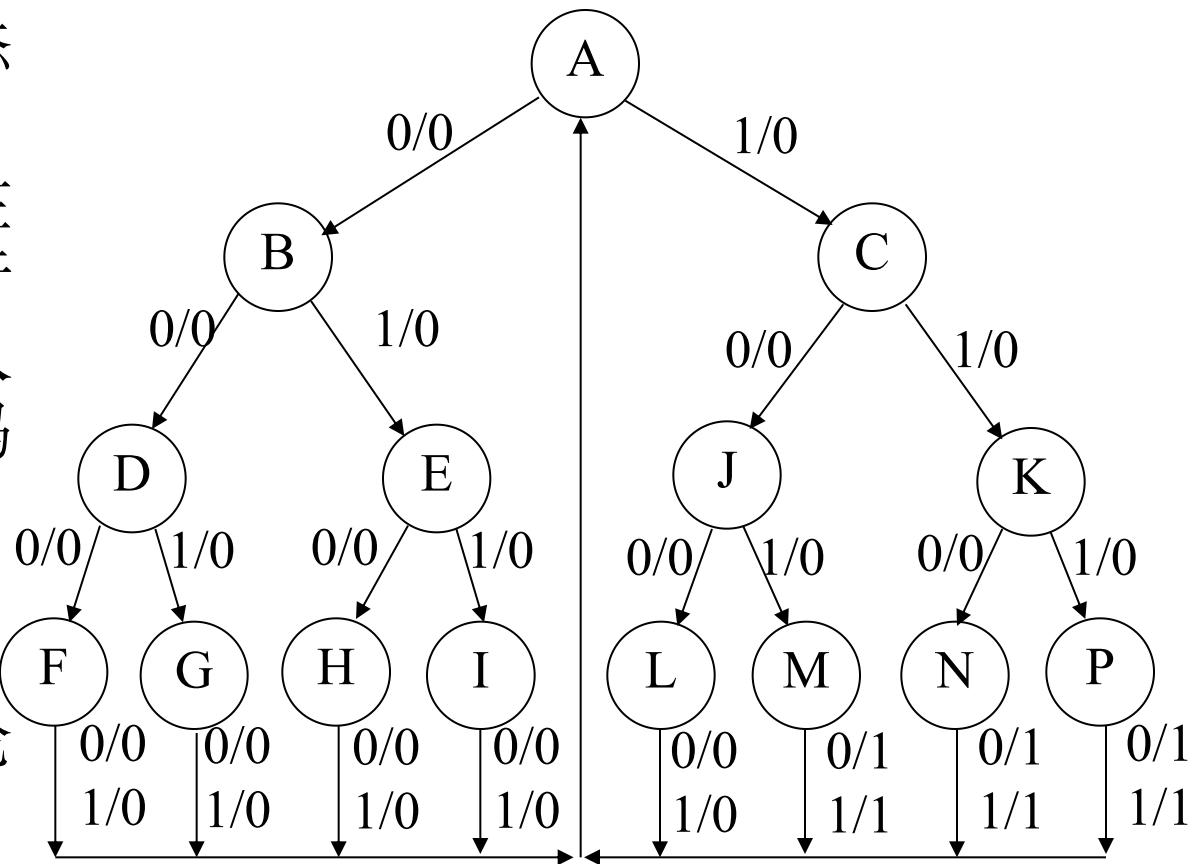


Moore型

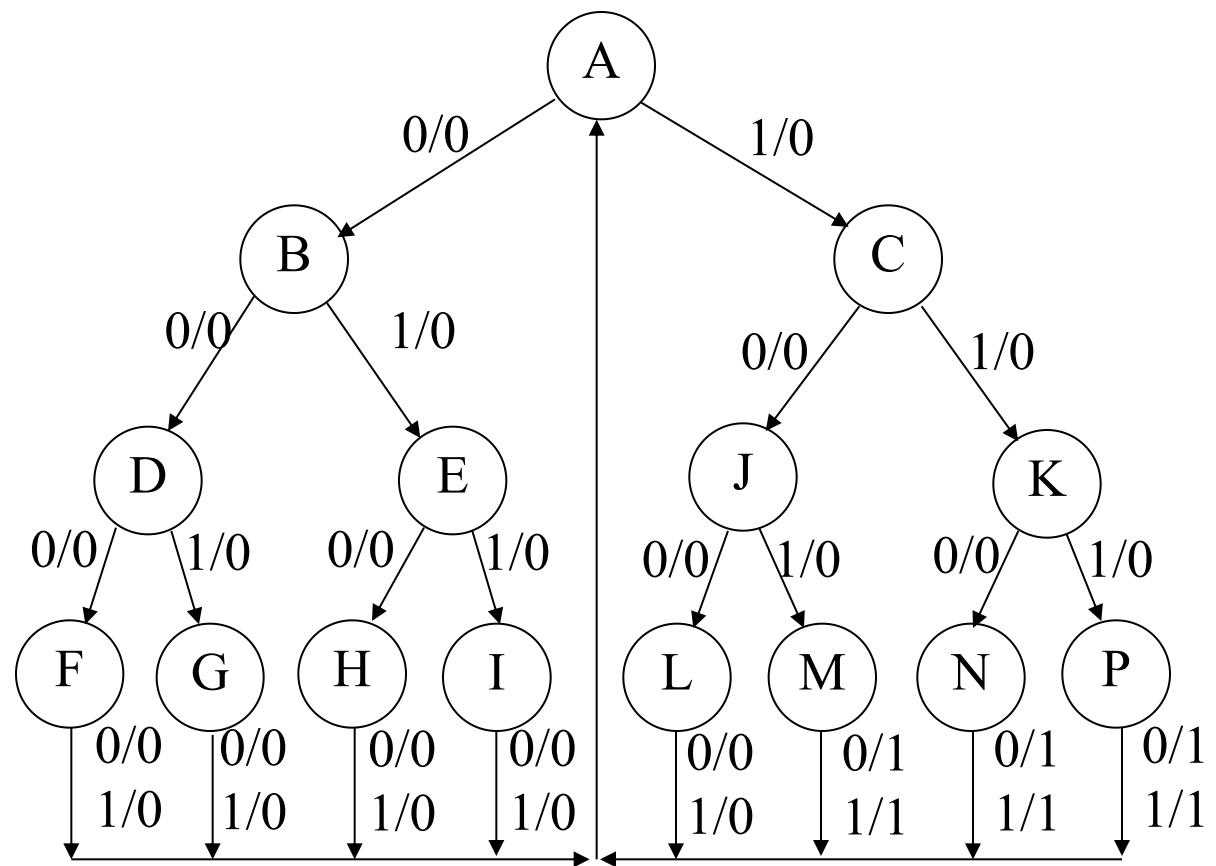


现态	次态		输出
	X=0	X=1	
S ₀	S ₀	S ₁	0
S ₁	S ₂	S ₁	0
S ₂	S ₀	S ₃	0
S ₃	S ₂	S ₁	1

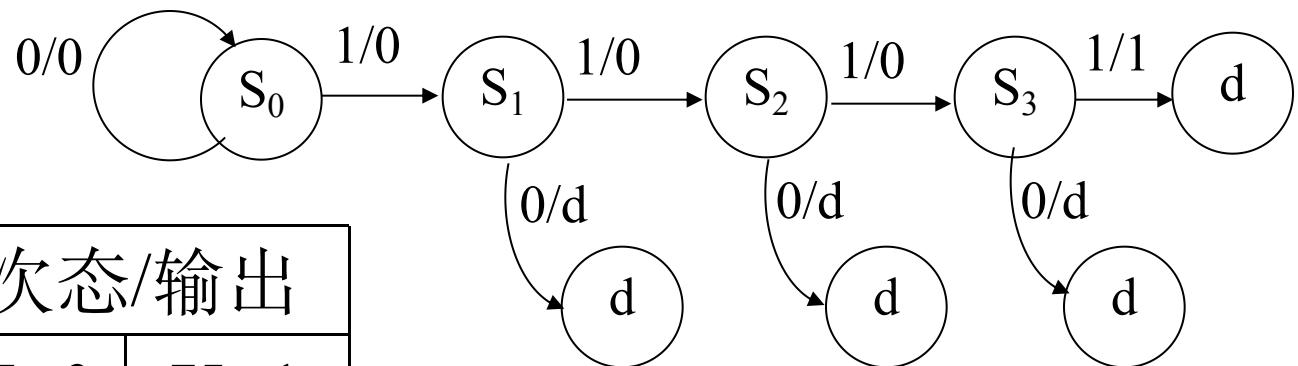
例2：作出8421BCD码的误码检测器的状态表和状态图。
 8421BCD码的高位在前，低位在后，串行地加在检测器的输入端，若收到非法代码（1010, 1011, 1100, 1101, 1110, 1111）时，电路的输出为1，否则，输出为0。不论输入的代码是否正确，电路接收到最低位以后均复位，并开始接收下一个代码。



现 态	次态输出	
	X=0	X=1
A	B/0	C/0
B	D/0	E/0
C	J/0	K/0
D	F/0	G/0
E	H/0	I/0
F	A/0	A/0
G	A/0	A/0
H	A/0	A/0
I	A/0	A/0
J	L/0	M/0
K	N/0	P/0
L	A/0	A/0
M	A/1	A/1
N	A/1	A/1
P	A/1	A/1



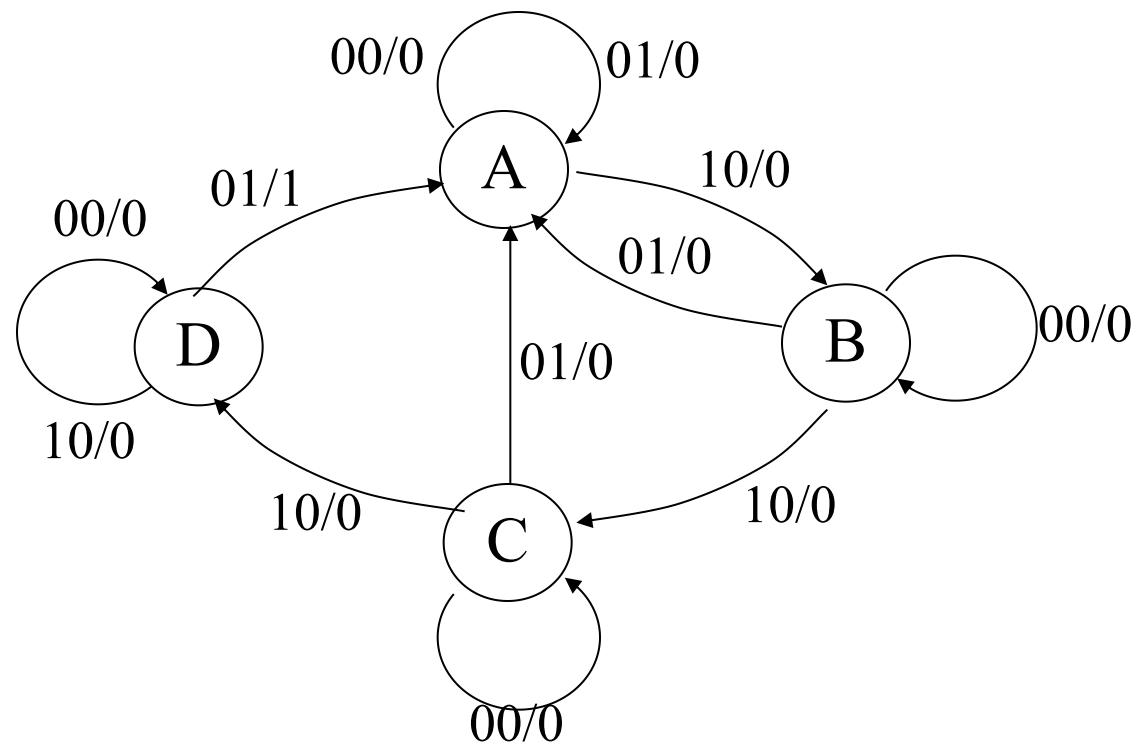
例3：某一起爆电路，其输入为X，输出为Z，若电路的X端连续收到四个1信号，则输出Z=1，使炸药引爆，试作出起爆电路的状态图和状态表。（电路一经启动，则不能停下来。）

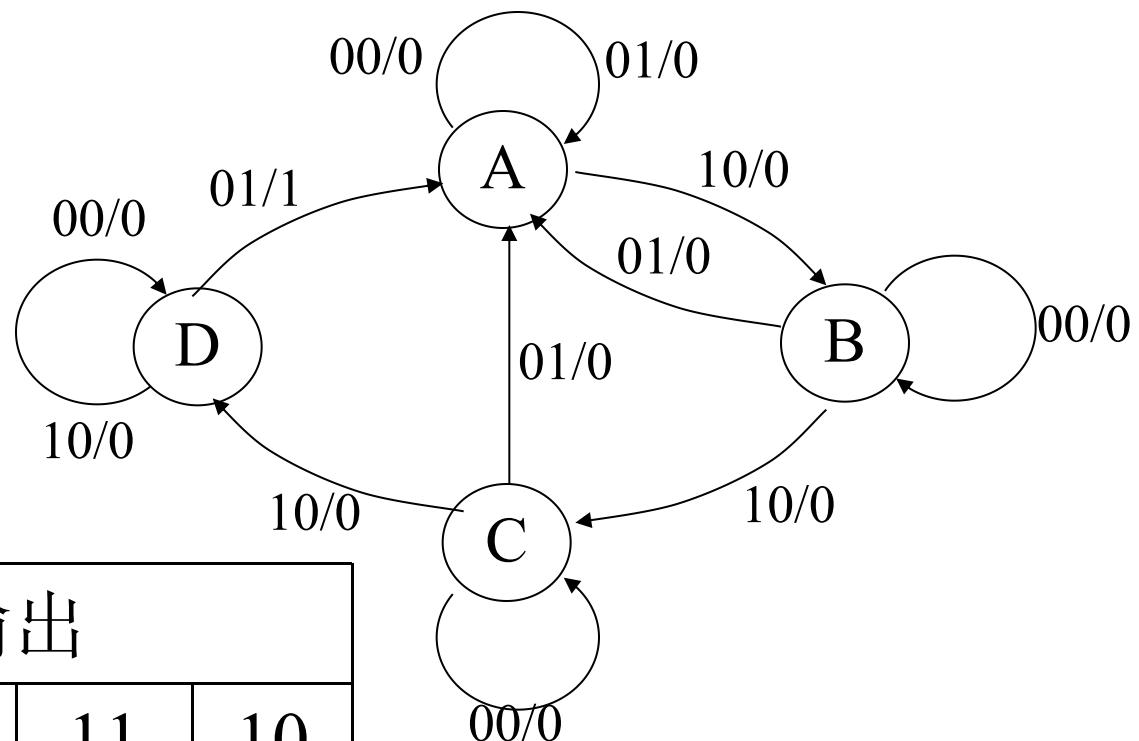


现 态	次态/输出	
	X=0	X=1
S ₀	S ₀ /0	S ₁ /0
S ₁	d/d	S ₂ /0
S ₂	d/d	S ₃ /0
S ₃	d/d	d/1

例4：有两个输入 x_1x_2 ，一个输出z。只有当 x_1 输入三个“1”（或三个以上的1）然后 x_2 输入一个“1”时，线路才有输出，即 $z=1$ ，在同一时间内，两个输入不能同时为1。

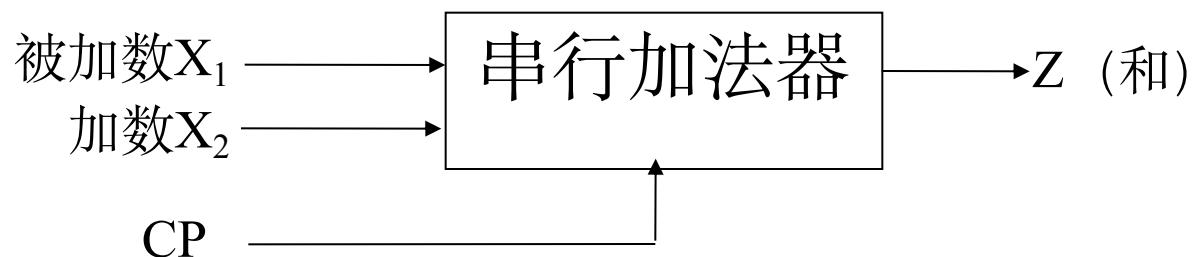
说明：这三个“1”并没有要求连续输入，只要中间没有 x_2 插入即可。而一旦 $z=1$ 时，线路就要回到原始状态。在其他情况下，不管电路处于哪个状态，只要 x_2 输入为1，电路的输出z均为0，并返回到初始状态。





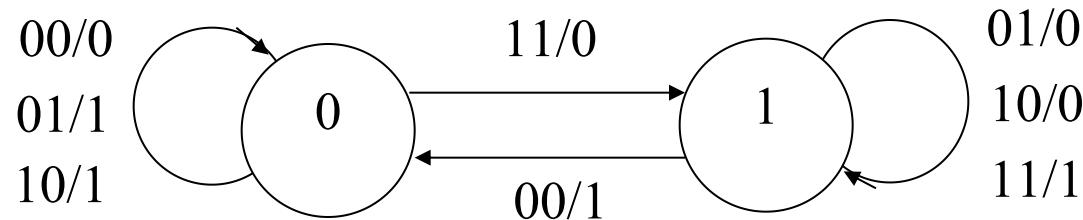
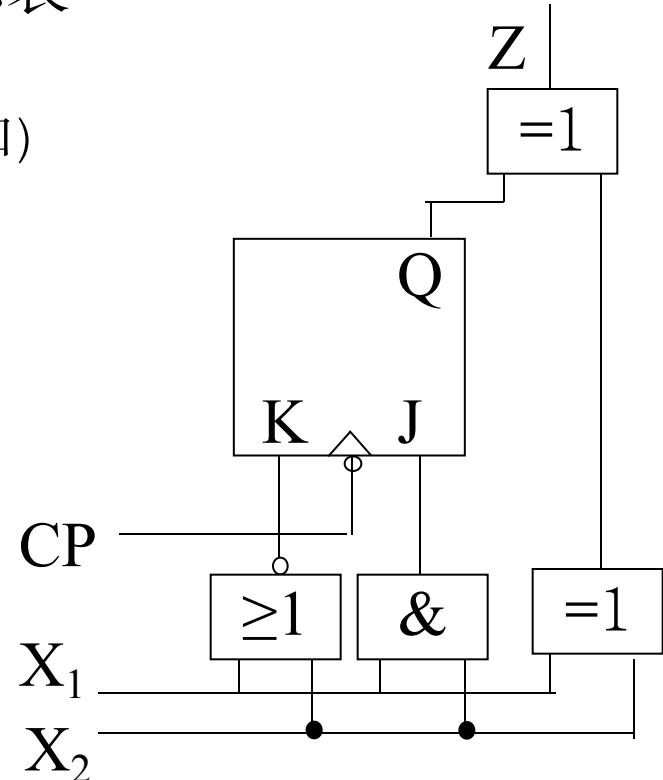
现 态	次态/输出			
	$X_1X_2=00$	01	11	10
A	A/0	A/0	d/d	B/0
B	B/0	A/0	d/d	C/0
C	C/0	A/0	d/d	D/0
D	D/0	A/1	d/d	D/0

例5：给出同步二进制串行加法器的状态表

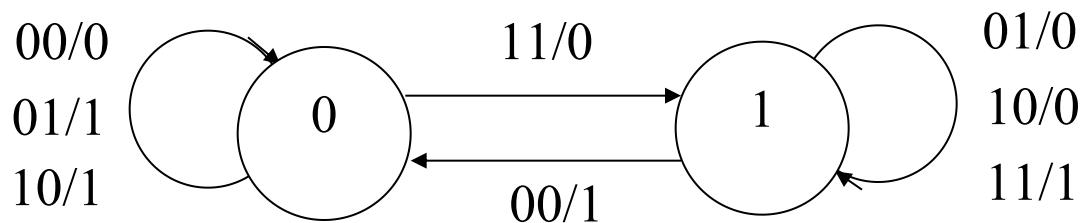


解：串行加法器仅需设置两个内部状态，
 以分别表示有进位和无进位。

a—无进位， b—有进位



现 态	次态/输出			
	$X_1X_2=00$	01	10	11
a	a/0	a/1	a/1	b/0
b	a/1	b/0	b/0	b/1



三、状态表的化简

设置状态的目的是利用这些状态记住电路的历史状态，以根据其后的输入产生相应的输出。如果所设置的某两个状态对其后输入的所有序列产生的输出序列完全相同，则这两个状态可以合并为一个状态。

状态表的每一行指明了在某一输入条件下某个状态的次态和电路的输出。当两行（或多行）所记载的内容完全一样时，说明这两行所代表的状态是相同的。将这两行合并为一行，不会影响整个电路的逻辑功能。

如果所设置的两个状态，对输入的所有序列产生的输出和次态完全相同，则这两个状态可以合并为一个状态。

现 态	次态/输出	
	X=0	X=1
A	A/0	B/0
B	A/0	C/0
C	A/0	D/1
D	A/0	D/1



现 态	次态/输出	
	X=0	X=1
A	A/0	B/0
B	A/0	E/0
E	A/0	E/1

四、状态编码

1、**概念**: 根据最小化状态表的状态数, 确定触发器的个数, 并指定每个状态的二进制代码。

对同步时序电路, 一般情况下, 状态分配不影响电路的可靠性, 仅仅影响电路的复杂程度。

2、状态编码规则：——相邻状态分配法

- (1) 在同一输入条件下，具有相同次态的现态，应尽可能分配相邻的二进制代码（即两个二进制代码中只有一位数码不同，其余各位均相同）——次态相同，现态编码应相邻。
- (2) 同一现态下，在相邻输入条件下的不同次态，应尽可能分配相邻的二进制代码——同一现态，次态编码应相邻。
- (3) 在所有输入条件下，具有相同输出的现态应尽可能分配相邻的二进制代码——输出相同，现态编码应相邻。
- (4) 将状态表中出现次数最多的状态分配逻辑0。
其重要性依次递减。

四、状态编码

2、状态编码规则:

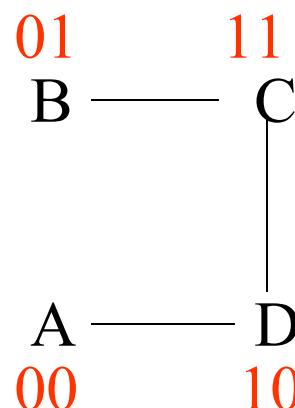
- (1) 次态相同， 现态编码应相邻。
- (2) 同一现态， 次态编码应相邻。
- (3) 输出相同， 现态编码应相邻。
- (4) 将状态表中出现次数最多的状态分配逻辑0。

由规则1: B—C

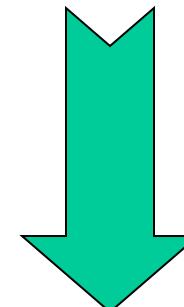
由规则2: B—C, A—D

由规则3: C—D

由规则4: A分配逻辑0



现态	次态/输出	
	X=0	X=1
A	C/0	B/0
B	A/0	A/1
C	A/1	D/1
D	B/1	C/1



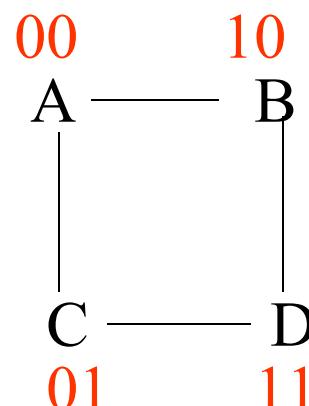
y_2y_1	$y_2^{n+1} y_1^{n+1}/Z$	
	X=0	X=1
00	11/0	01/0
01	00/0	00/1
11	00/1	10/1
10	01/1	11/1

四、状态编码

2、状态编码规则:

- (1) 次态相同， 现态编码应相邻。
- (2) 同一现态， 次态编码应相邻。
- (3) 输出相同， 现态编码应相邻。
- (4) 将状态表中出现次数最多的状态分配逻辑0。

由规则1: A—B, A—C



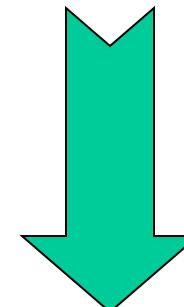
由规则2: C—D, A—C

B—D, A—B

由规则3: A—B, A—C, B—C

由规则4: A或B或C分配逻辑0

现态	次态/输出	
	X=0	X=1
A	C/0	D/0
B	C/0	A/0
C	B/0	D/0
D	A/1	B/1



y_2y_1	$y_2^{n+1} y_1^{n+1}/Z$	
	X=0	X=1
00	01/0	11/0
01	01/0	00/0
11	10/0	11/0
10	00/1	10/1

四、状态编码

2、状态编码规则：

- (1) 次态相同， 现态编码应相邻。
- (2) 同一现态， 次态编码应相邻。
- (3) 输出相同， 现态编码应相邻。
- (4) 将状态表中出现次数最多的状态分配逻辑0。

由规则1: A—C, B—D

A—D

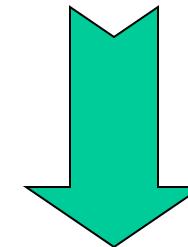
由规则2: B—E, A—D

A—E, A—B, C—D

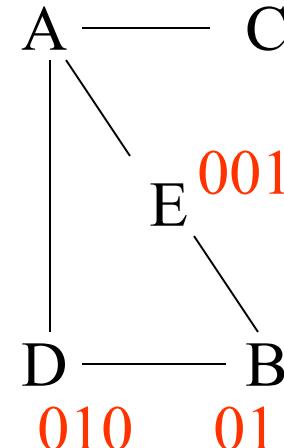
由规则3: A—C, A—E

由规则4: A分配逻辑0

现态	次态/输出	
	X=0	X=1
A	E/0	B/0
B	A/1	D/1
C	E/0	A/0
D	A/0	B/1
E	D/0	C/0



000 100



$y_3y_2y_1$	$y_3^{n+1} y_2^{n+1} y_1^{n+1}/Z$	
	X=0	X=1
000	001/0	011/0
011	000/1	010/1
100	001/0	000/0
010	000/0	011/1
001	010/0	100/0

五、选定触发器、求出激励函数和输出函数表达式

由二进制状态表和触发器的特征方程出发求出激励函数和输出函数。

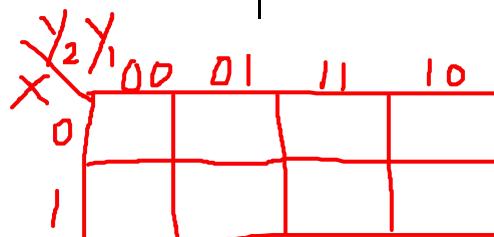
y_2y_1	$y_2^{n+1} y_1^{n+1}/Z$	
	X=0	X=1
00	11/0	01/0
01	00/0	00/1
11	00/1	10/1
10	01/1	11/1

$$D_2 = xy_2 + \bar{x}\bar{y}_2\bar{y}_1$$

$$D_1 = \bar{y}_1$$

$$Z = y_2 + xy_1$$

输入	次态	输出		
		y_2^{n+1}	y_1^{n+1}	Z
xy_2y_1				
0 0 0	1 1			0
0 0 1	0 0			0
0 1 0	0 1			1
0 1 1	0 0			1
1 0 0	0 1			0
1 0 1	0 0			1
1 1 0	1 1			1
1 1 1	1 0			1



五、选定触发器、求出激励函数和输出函数表达式

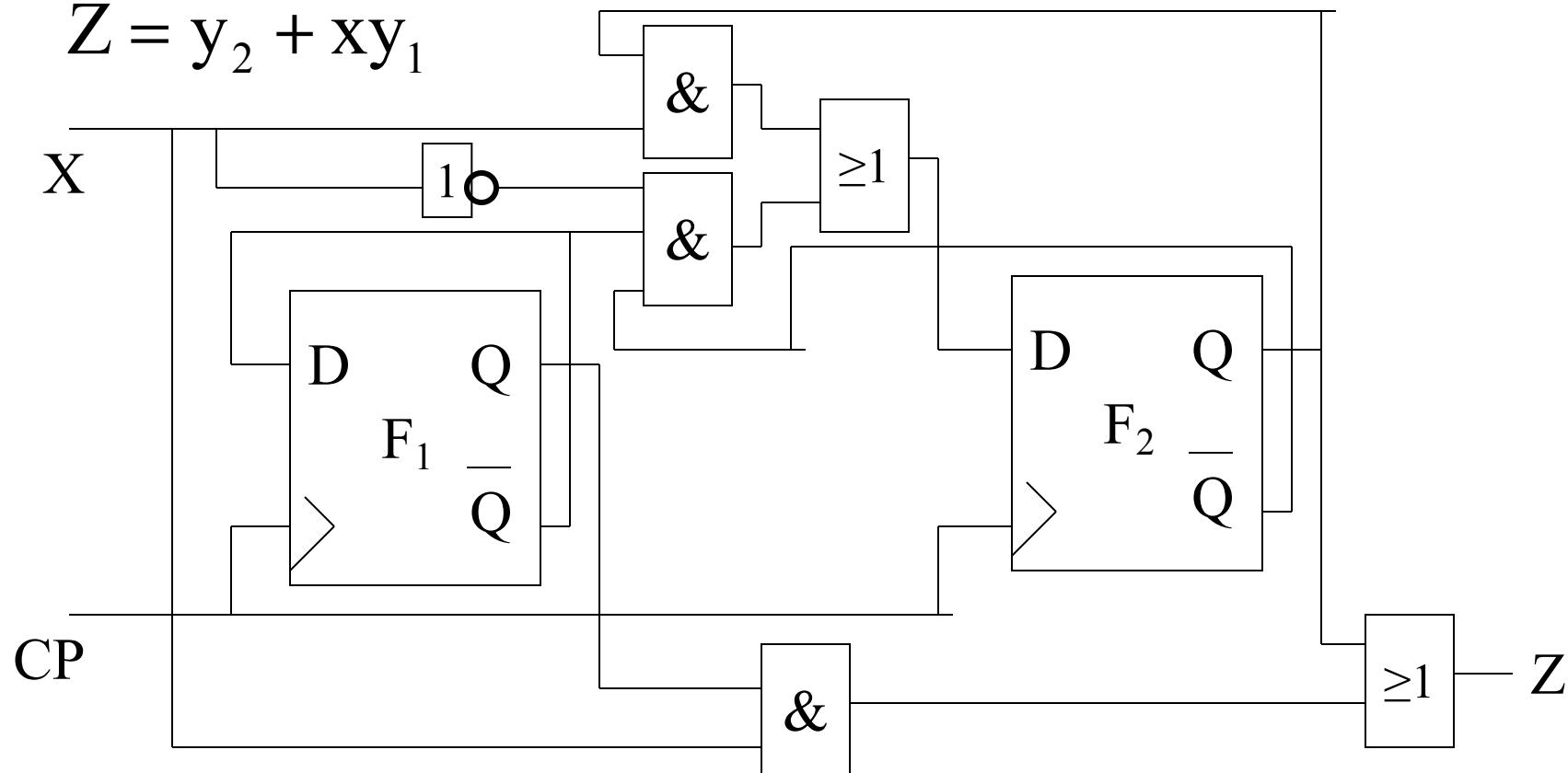
由二进制状态表和触发器的激励表出发求出激励函数和输出函数。

$$D_2 = xy_2 + \bar{x}\bar{y}_2\bar{y}_1$$

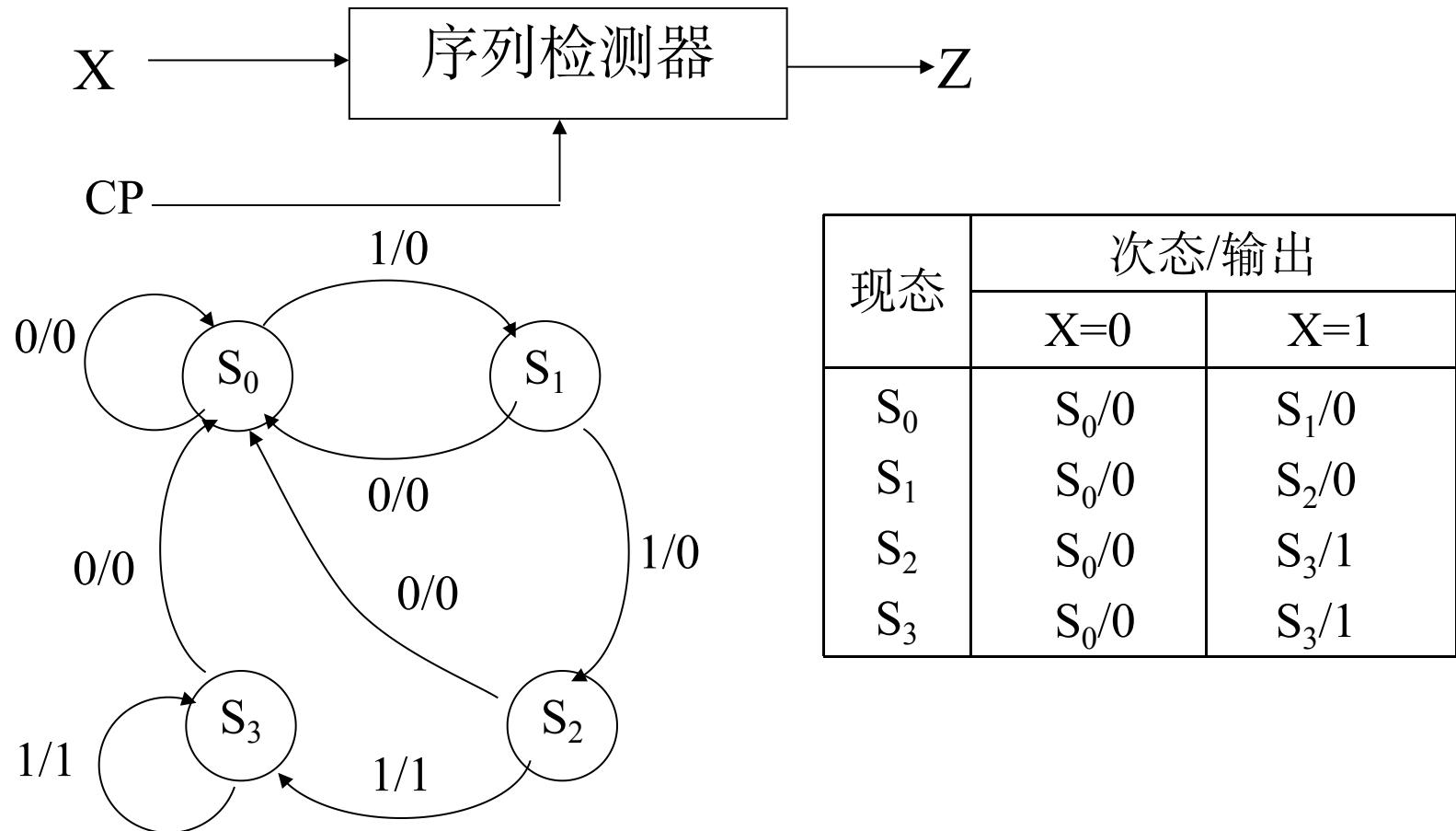
六、画逻辑电路图

$$D_1 = \bar{y}_1$$

$$Z = y_2 + xy_1$$



例：设计一个Mealy型电路的“111”系列检测器，当连续输入三个或三个以上的1时电路输出Z=1，否则Z=0。



例：设计一个Mealy型电路的“111”系列检测器，当连续输入三个或三个以上的1时电路输出Z=1，否则Z=0。

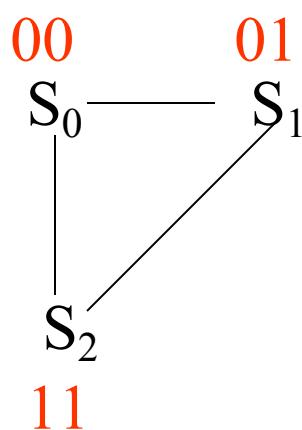
现态	次态/输出	
	X=0	X=1
S ₀	S ₀ /0	S ₁ /0
S ₁	S ₀ /0	S ₂ /0
S ₂	S ₀ /0	S ₃ /1
S ₃	S ₀ /0	S ₃ /1

由规则1： S₀—S₁, S₀—S₂

S₁—S₂

由规则2： S₀—S₁, S₀—S₂

由规则4： S₀分配逻辑0



现态	次态/输出	
	X=0	X=1
S ₀	S ₀ /0	S ₁ /0
S ₁	S ₀ /0	S ₂ /0
S ₂	S ₀ /0	S ₂ /1

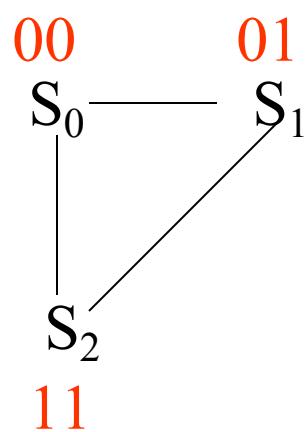
例：设计一个Mealy型电路的“111”系列检测器，当连续输入三个或三个以上的1时电路输出Z=1，否则Z=0。

y_2y_1	$y_2^{n+1} y_1^{n+1}/Z$	
	X=0	X=1
00	00/0	01/0
01	00/0	11/0
11	00/0	11/1

由规则1： $S_0 \rightarrow S_1$, $S_0 \rightarrow S_2$
 $S_1 \rightarrow S_2$

由规则2： $S_0 \rightarrow S_1$, $S_0 \rightarrow S_2$

由规则4： S_0 分配逻辑0



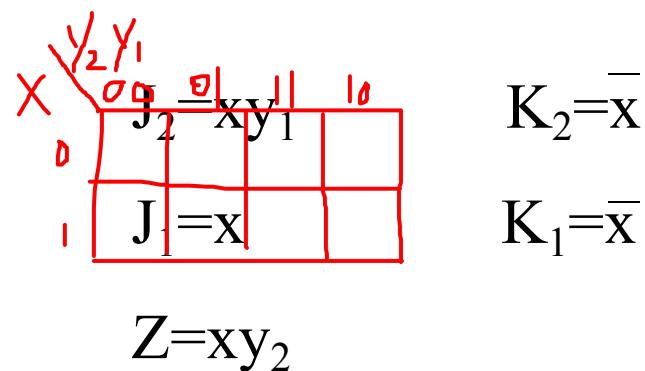
现态	次态/输出	
	X=0	X=1
S_0	$S_0/0$	$S_1/0$
S_1	$S_0/0$	$S_2/0$
S_2	$S_0/0$	$S_2/1$

例：设计一个Mealy型电路的“111”系列检测器，当连续输入三个或三个以上的1时电路输出Z=1，否则Z=0。

选用JK触发器 $Q_i^{n+1} = J_i \bar{Q}_i + \bar{K}_i Q_i$

xy_2y_1	$y_2^{n+1} y_1^{n+1}$	$J_2 K_2 \quad J_1 K_1$	Z
0 0 0	0 0	0 d 0 d	0
0 0 1	0 0	0 d d 1	0
0 1 0	d d	d d d d	d
0 1 1	0 0	d 1 d 1	0
1 0 0	0 1	0 d 1 d	0
1 0 1	1 1	1 d d 0	0
1 1 0	d d	d d d d	d
1 1 1	1 1	d 0 d 0	1

y_2y_1	$y_2^{n+1} y_1^{n+1}/Z$	
	X=0	X=1
00	00/0	01/0
01	00/0	11/0
11	00/0	11/1

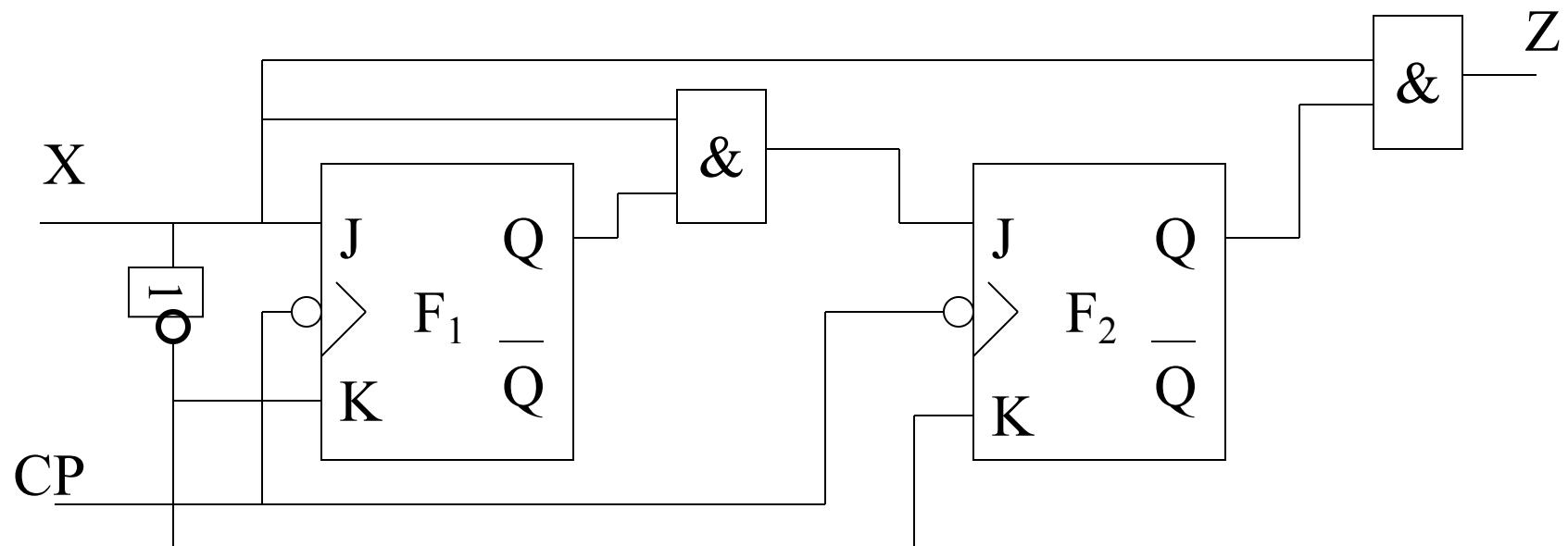


例：设计一个Mealy型电路的“111”系列检测器，当连续输入三个或三个以上的1时电路输出Z=1，否则Z=0。

$$J_2 = xy_1 \quad K_2 = \bar{x}$$

$$J_1 = x \quad K_1 = \bar{x}$$

$$Z = xy_2$$





第六章

结束