

Układy cyfrowe i systemy wbudowane 2

Dokumentacja projektu

Oscyloskop cyfrowy

Uczestnicy	Prowadzący	Termin zajęć
Olha Solovei (223176) Iwo Bujkiewicz (226203)	Dr inż. Jarosław Sugier	Wtorek parzysty 15:00

1. Wprowadzenie

1. Cel i zakres projektu

Celem projektu było zbudowanie układu cyfrowego realizującego zadanie oscyloskopu cyfrowego. W zakres prac wchodziła implementacja wyświetlania przebiegu zarejestrowanego cyfrowo sygnału analogowego na podłączonym do układu monitorze VGA z określoną częstotliwością próbkowania.

2. Sprzęt

Do realizacji projektu wykorzystano układ FPGA XC3S500E firmy Xilinx, zainstalowany na płycie Spartan-3E. Zestaw ten wyposażony był [1] w wyjście obrazu w standardzie VGA, przetwornik analogowo-cyfrowy z przedwzmacniaczem, a także zestaw przełączników i przycisków, które również wykorzystano.

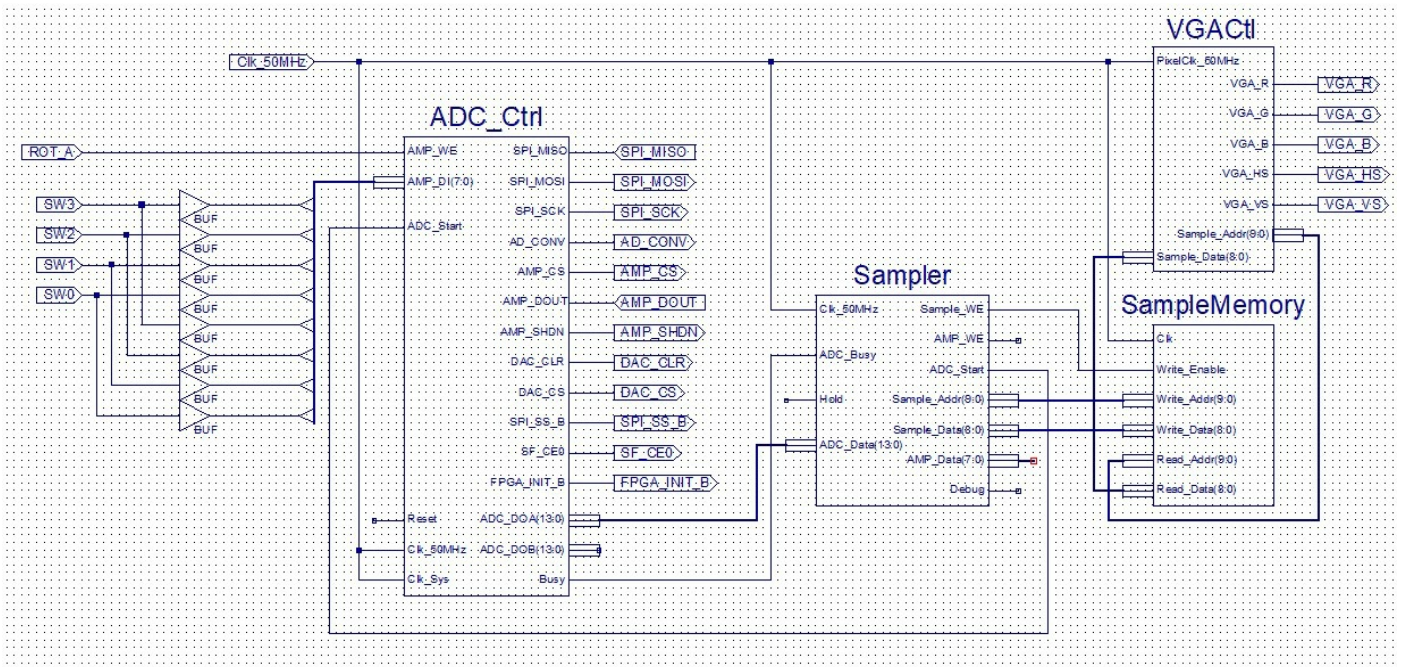
3. Zagadnienia teoretyczne

Zaprojektowany układ używa opisanych w [2] protokołów sterowania interfejsem VGA oraz przetwornikiem analogowo-cyfrowym (ADC) z przedwzmacniaczem, dostępnymi na płycie Spartan-3E. W celu ułatwienia korzystania z ADC, układ wykorzystuje moduł `ADC_Ctrl1` zaczerpnięty z [3]. Dodatkowo, podczas implementacji wyświetlania obrazu przez interfejs VGA, skorzystano z opisu synchronizacji sygnałów dla trybu VGA 800x600@72Hz, dostępnego w [4]. Przy tworzeniu kodu VHDL modułów projektu korzystano również w celach referencyjnych z [5] oraz [6].

2. Projekt

1. Hierarchia

Głównym elementem projektu jest schemat połączeń logicznych.



Na schemat składa się szereg modułów, odpowiadających za poszczególne funkcje podsystemowe:

- **ADC_Ctrl** - Moduł autorstwa dra Sugiera, ułatwiający sterowanie przetwornikiem analogowo-cyfrowym
- **Sampler** - Moduł odpowiedzialny za pobieranie cyfrowych próbek sygnału z **ADC_Ctrl** z odpowiednią częstotliwością i wpisywanie ich do pamięci
- **SampleMemory** - Pamięć dwuportowa przechowująca próbki
- **VGActl** - Kontroler interfejsu VGA, pobierający próbki z pamięci i generujący na ich podstawie punkty na ekranie

W ogólnym ujęciu praca układu wygląda następująco:

- **Sampler** pobiera próbki cyfrowe z **ADC_Ctrl**
 1. **Sampler** wysyła do **ADC_Ctrl** impuls **ADC_Start** i oczekuje na wyłączenie sygnału **ADC_Busy**
 2. Po odebraniu na wejściu **ADC_Data** 14-bitowej próbki **Sampler** wybiera z niej 9 najstarszych bitów
 3. **Sampler** wysyła 9-bitową próbkę do pamięci poprzez port **Sample_Data** i wpisuje ją pod odpowiedni adres ustawiony na porcie **Sample_Addr**, wysyłając do **SampleMemory** impuls **Sample_WE**
-

2. Moduły

3. Implementacja

1. Rozmiar układu

2. Szybkość pracy

3. Podręcznik obsługi

4. Podsumowanie

5. Literatura

1. Xilinx, Inc., 2013. *Spartan-3E FPGA Family Data Sheet*
(https://www.xilinx.com/support/documentation/data_sheets/ds312.pdf)

2. Xilinx, Inc., 2011. *Spartan-3E FPGA Starter Kit Board User Guide* (https://www.xilinx.com/support/documentation/boards_and_kits/ug230.pdf)
3. Sugier, J. *Zajęcia projektowe do przedmiotu "Układy cyfrowe i systemy wbudowane": Zestawy Digilent S3E-Starter* (http://www.zsk.iia.pwr.edu.pl/zsk_ftp/fpga/)
4. SECONS Ltd., 2008. *VESA Signal 800 x 600 @ 72 Hz timing* (<http://tinyvga.com/vga-timing/800x600@72Hz>)
5. Zhang, W., 2001. *VHDL Tutorial: Learn by Example* (University of California, Riverside, 2001) (<http://esd.cs.ucr.edu/labs/tutorial/>)
6. Hilbert, S., 2013. *_VHDL Type Conversion* (BitWeenie, LLC, 2013) (<http://www.bitweenie.com/listings/vhdl-type-conversion/>)