

电 工 电 子 实 验 报 告

课程名称： 电工电子基础实验B

实验名称： 组合逻辑电路

学 院： 计算机学院

班 级： B180304

学 号： B18030406

姓 名： 张颖

指导教师： 朱震华

学 期： 2019-2020 学年第 二 学期

电工电子实验教学中心

组合逻辑电路

1. 实验目的
2. 掌握基本门电路的实际应用。
3. 掌握基本门多余端的处理方法。
4. 用实验验证所设计电路的逻辑功能。
5. 判断、观察组合逻辑电路险象并了解消除险象的方法。
6. 主要仪器设备及软件

硬件： windows计算机

软件： Multisim软件

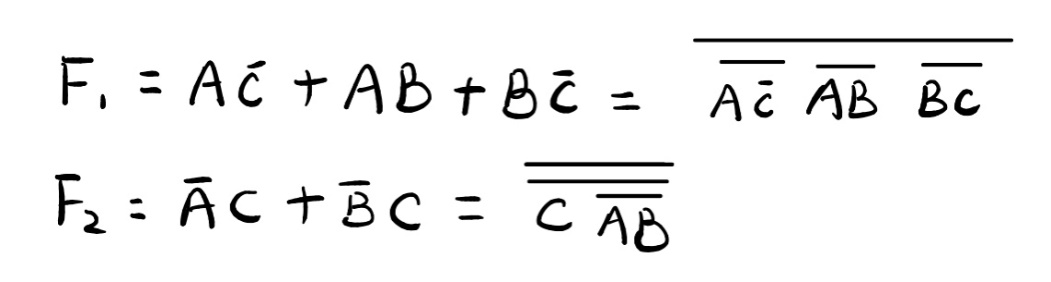
1. 实验原理及内容
2. 实验原理
3. 组合电路设计：

组合电路的设计原则不外两条：首先，所设计出的电路能实现给定的逻辑功能；其次， 电路尽可能是最佳的。

1. 测试74LS00与非门的逻辑功能：
   1. 静态:用控制变量法改变输入变量得出输出结果。

(2)动态:用自动产生并不断变化的逻辑电平值作为输入信号，测试不断变化的输出信号。

1. 数字锁逻辑电路：

设F1表示是否开锁成功、F2表示是否报警。其中“是”为“1"，“否”为“0”。通过题意可将数字锁电路的功能用真值表表示出来，画卡诺图，得逻辑表达式:

|  |  |  |
| --- | --- | --- |
| 静态逻辑险象的判别方法 | | |
| 代数法 | 当变量同时以原变量和反变量形式出现在函数式中时，该变量就具备了竞争的条件。 | 消除其它变量的方法：  将这些变量的各种取值组合依次代人式中，就可以把它们从式中消去。如果某一变量仅以一种形式出现在函数式中，它的变化决不会引起竞争，可不考虑它的影响。 |
| 消除式中其它变量而仅留下被研究的变量，若得到下列两种形式，则说明存在静态逻辑险象：  F= A • “0−1−0”型险象  F= A +  “1−0−1”型险象 |
| 卡诺法 | 只要有两个卡诺圈相切，则当变量在两卡诺圈搭接处发生变化时该电路必然存在险象，而两卡诺圈交叠或相互错开，则不会产生险象。 |  |
| 示波器法 | 将给定逻辑电路中某一具有竞争能力的变量用频率较高(>1MHz)的脉冲信号代替，而将其它变量接逻辑开关，然后在这些变量的各种取值下，用双迹示波器同时观察该脉冲信号及输出波形，就可看出该变量变化时，输出波形有无毛刺产生。 |  |

|  |  |
| --- | --- |
| 险象的消除方法 | |
| 修改逻辑设计 | 对逻辑险象来说，可在原函数中加上多余项或乘上多余因子(对或与表达式)，也就是在卡诺图中，用一个多余圈将两个相切的卡诺圈连接起来。或将卡诺图重圈，避免相切。其目的是使原函数F不再可能化为(A+)或A·的形式，从而消除逻辑现象。可以证明，添加多余项后，原来的险象消除了，但这样却增加了设备量。 |
| 加滤波电路 | 在输出波形要求不高的情况下，可在输出端加一个 RC 积分器(低通滤波器)或直接加滤波电容，适当选取 R、C 值将毛刺压抑在电路正常工作的允许范围内，从而消除毛刺对后级工作的影响。 |
| 加取样脉冲 | 在组合电路输出门的一个输入端加入一个取样脉冲，就可以有效地消除任何险象。取样脉冲的出现时间一定要与输入信号的变化时间错开。这样，通过取样后就能正确反映组合电路的输出值。 但必须指出，加取样脉冲后，输出将不是电位信号，而是脉冲信号。 |

1. 实验内容：
2. 测试7400LS与非门：

设A、B表示输入端：用 “0” 和 “1” 表示，按键是否为按下： “1”表示按键按下，“0” 表示按键没按下。

设F 表示输出端：用 “0” 和 “1” 表示，灯是否为熄灭： “1”表示灯亮，“0” 表示灯灭。

|  |  |  |
| --- | --- | --- |
| A | B | F |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| **1** | **1** | **0** |

**表1 7400LS与非门逻辑功能真值表**

1. 数字锁逻辑电路：

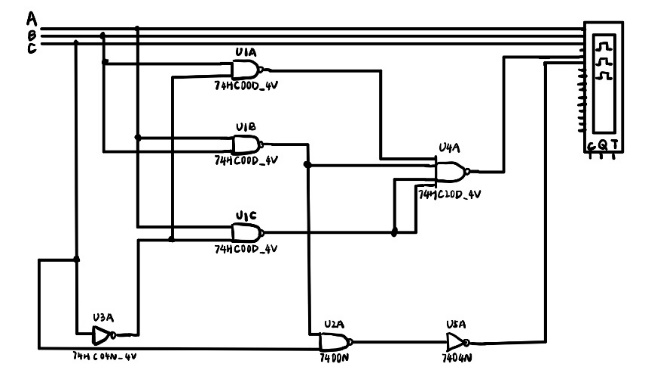
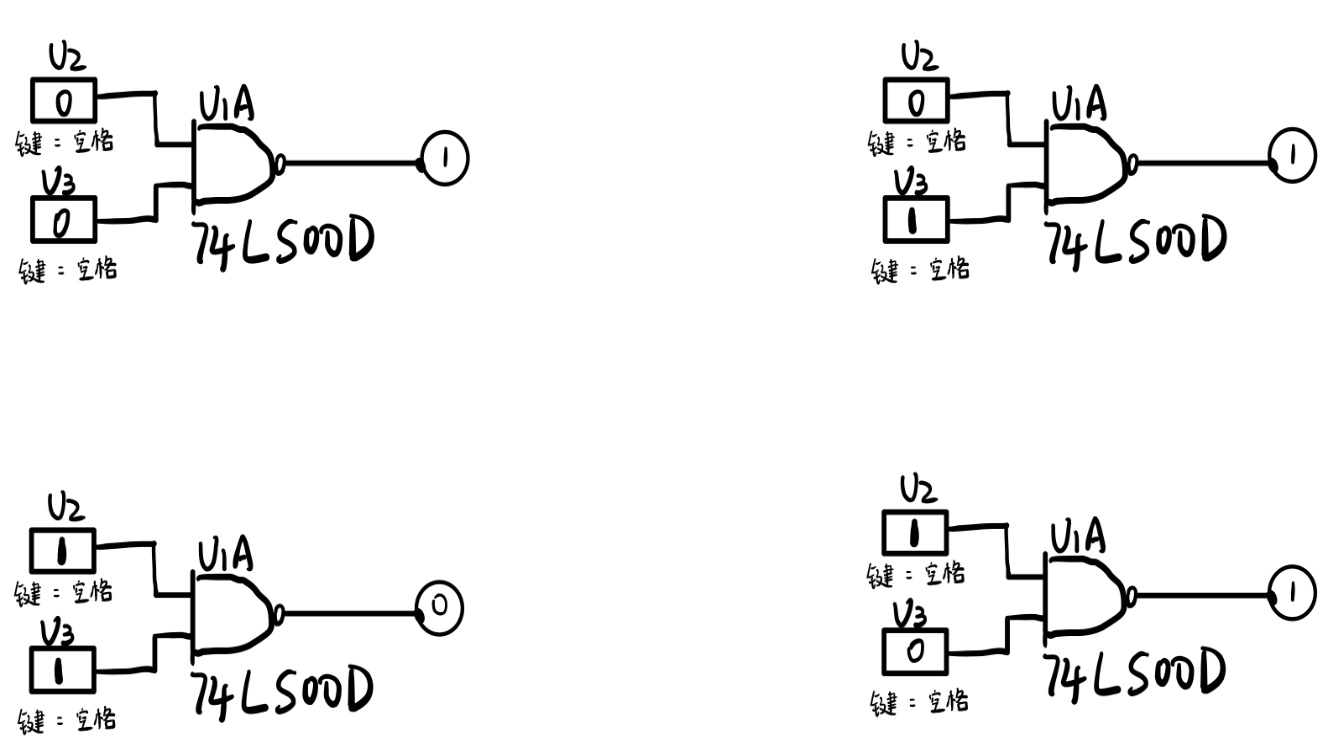
设A、B、C表示输入端：用 “0” 和 “1” 表示，按键是否为按下： “1”表示按键按下，“0” 表示按键没按下。

设 F1 表示是否开锁成功、， F2 表示是否报警：用 “0” 和 “1” 表示： “1”表示是，“0” 表示否。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C | F1 | F2 |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 |

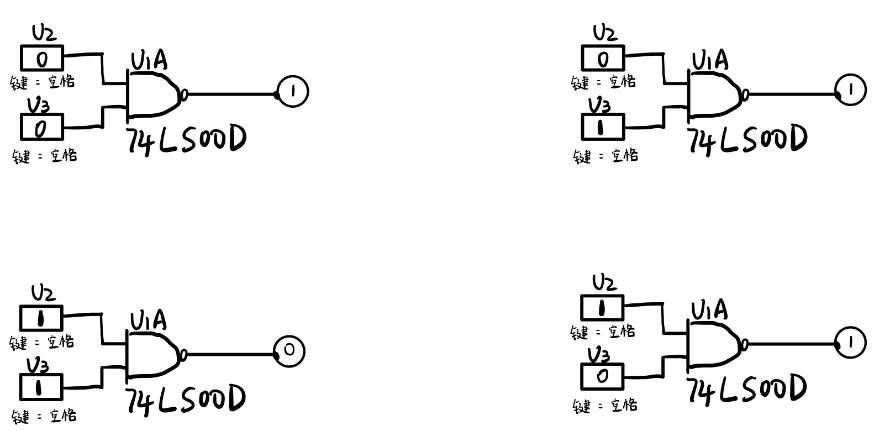
**表2 数字锁逻辑电路真值表**

1. 实验电路图：

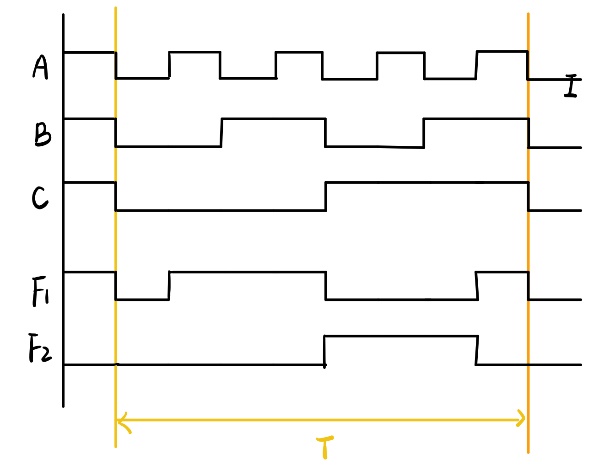


**图1 74LS00与非门实验电路图 图2 数字锁逻辑电路图**

1. 实验数据分析和实验结果
   * + 1. 实验结果：



**图1 测试74LS00与非门逻辑功能**



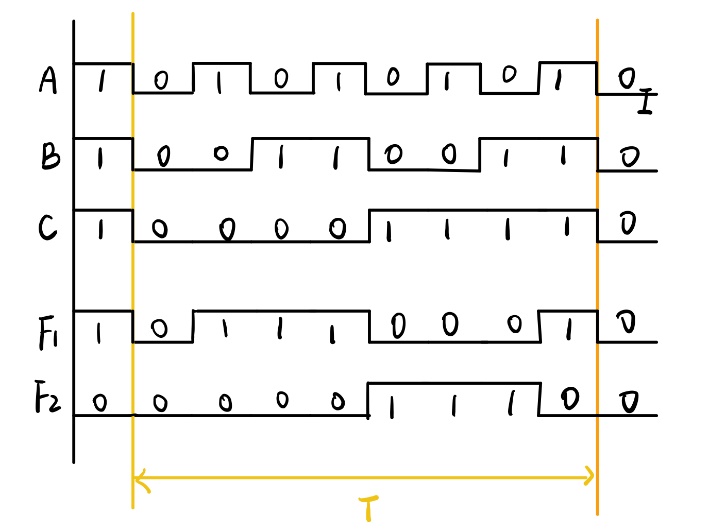
**图1 数字锁逻辑电路波形图**

* + - 1. 实验数据分析：
  1. 7400LS00与非门逻辑功能：

只有当A、B都为1时，F才会为0（即灯灭），其余F全为1（即灯亮）

* 1. 数字锁电路逻辑功能：

实验得到的波形图如下所示：

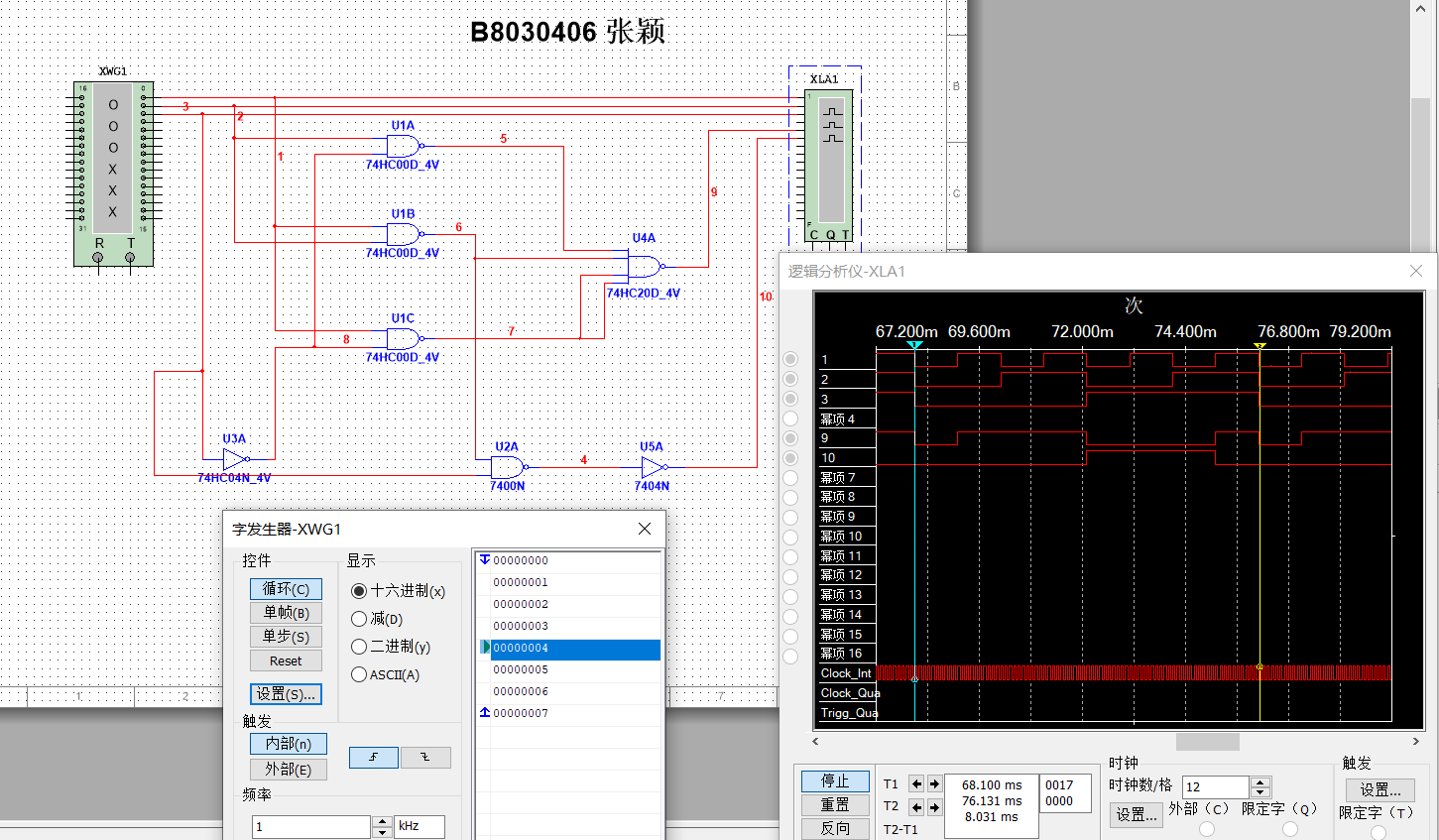


与真值表一一对应，电路设计正确

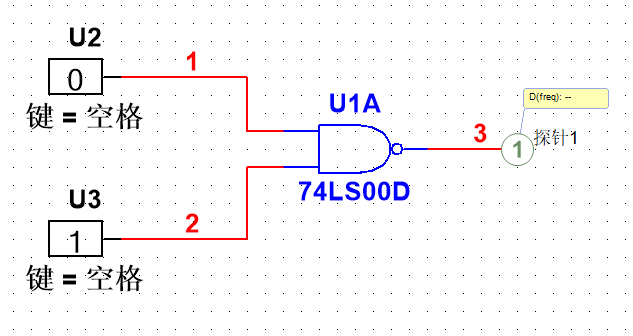
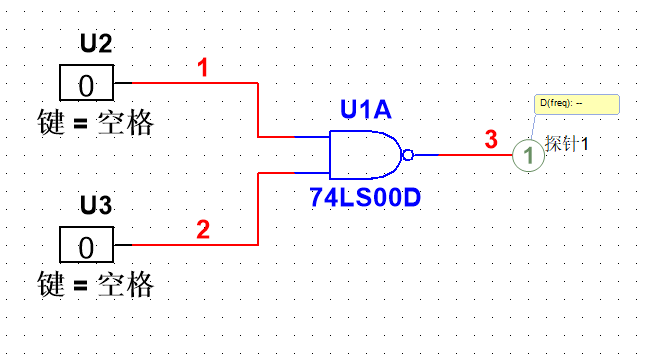
1. 实验小结

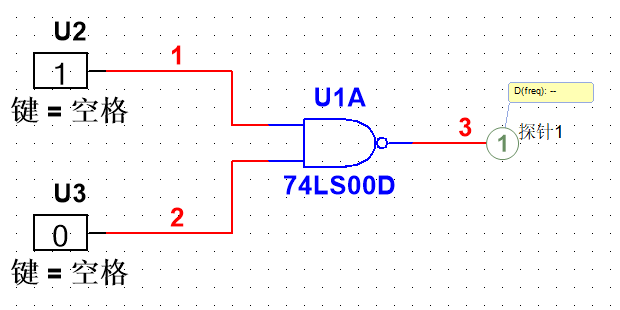
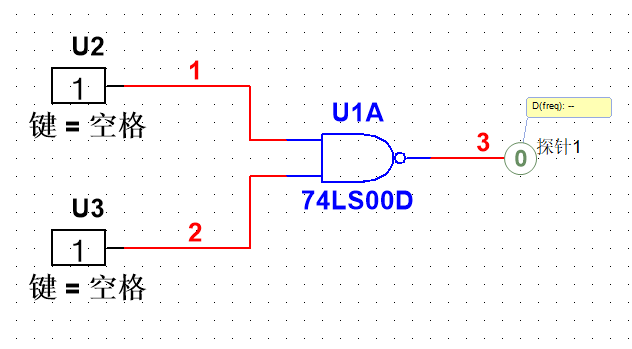
通过这次实验，我学会了基本门电路的实际应用及其多余端的处理方法，还学会了如何用实验验证所设计电路的逻辑功能。

1. 附录



**图1 数字锁逻辑电路图及波形**





**图2-5 测试74LS00与非门逻辑功能**