**一、实验目的：**

熟悉QuartusII的VHDL的文本设计流程，初步了解VHDL表达和设计电路的方法。

**二、实验原理及说明：**

2选1多路选择器：a、b端口为输入信号端口，s端口为通道选择控制输入端口，当s端口输入为低电频时，输出端口y输出a端口的信号；当s端口输入为高电频时，输出端口y输出b端口的信号。

逻辑表达式：Y = b · s + a · (~s)

**三、真值表：**

|  |  |  |  |
| --- | --- | --- | --- |
| 输入 | | | 输出 |
| a | b | s | y |
| 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 |

**四、实验内容：**

用VHDL语言设计2选1多路选择器：

LIBRARY IEEE;

USE IEEE.STD\_LOGIC\_1164.ALL;

ENTITY mux21a IS

  PORT ( a, b, s: IN  STD\_LOGIC;

              y : OUT STD\_LOGIC);

END ENTITY mux21a;

ARCHITECTURE one OF mux21a IS

 BEGIN

   PROCESS (a,b,s)

BEGIN

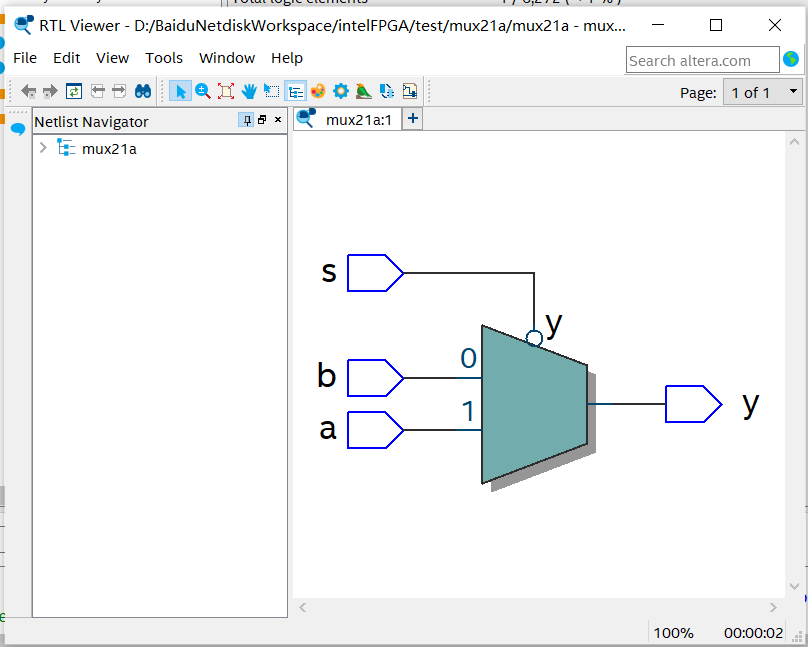
     IF s = '0'  THEN   y <= a ;  ELSE  y <= b ;

END IF;

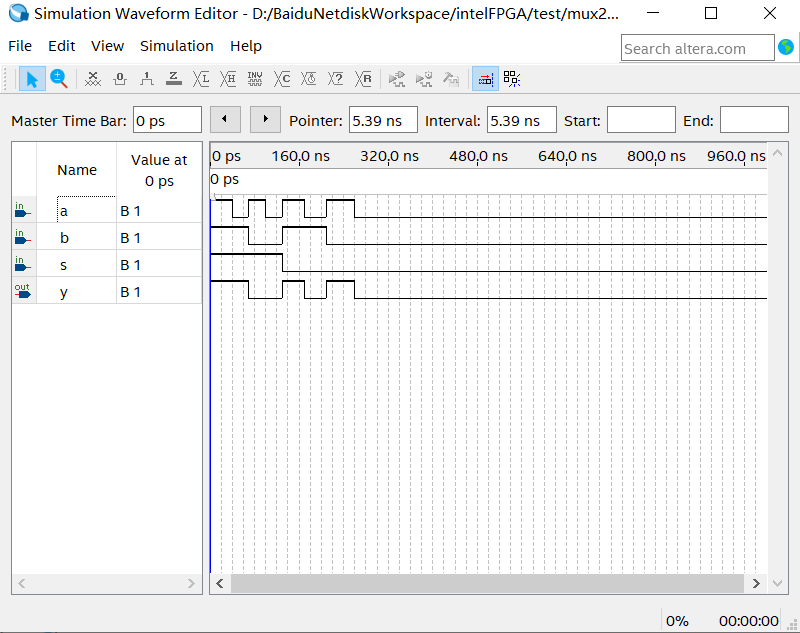
   END PROCESS;

END ARCHITECTURE one ;

**五、元件图：**



**六、波形图：**



**七、结果分析：**

1、当a输入高电平，b输入高电平，s输入高电平时，y输出高电平。

2、当a输入低电平，b输入高电平，s输入高电平时，y输出高电平。

3、当a输入高电平，b输入低电平，s输入高电平时，y输出低电平。

4、当a输入低电平，b输入低电平，s输入高电平时，y输出低电平。

5、当a输入高电平，b输入高电平，s输入低电平时，y输出高电平。

6、当a输入低电平，b输入高电平，s输入低电平时，y输出低电平。

7、当a输入高电平，b输入低电平，s输入低电平时，y输出高电平。

8、当a输入低电平，b输入低电平，s输入低电平时，y输出低电平。

**八、实验总结：**

1、通过此次实验，基本掌握了Quartus 软件的基础使用，首先是需要编写相关的代码并且编译成功无错误才能成功看到元件图以及进行仿真测试。

2、对VHDL语法有了一个初步的了解。例如VHDL语法中的实体名必须得是自己创建的文件名，数据类型有BIT类型、INTEGET类型、SID\_LOGIC类型、BOOLEAN类型四种。

3、每次做仿真测试时在运行前需要先修改Simulation，将Simulation setting里的选项开关-novopt删除，否则测试会报错。