**一、实验目的：**

设计一个一位全加器，并做出仿真波形。

**二、实验说明和实验原理：**

说明：一位全加器由两个一位半加器和或门连接而成。

原理：半加器只考虑两个一位二进制数的加法，不考虑来自低位进位的运算；全加器是除了本位两个二进制数相加外，还要加上来自低位的进位数。ain,bin是加数，作为电路的输入端，sum是两个二进制数相加的本位和，cin是来自低位的输入，cout是两个二进制数相加产生的向高位的进位，sum和cout共同作为电路的输出

逻辑表达式：  sum = ain ⊕ bin ⊕ cin

                      cout = ain · bin + bin · cin + cin · ain

**三、真值表：**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入 | | | 输出 | |
| ain | bin | cin | cout | sum |
| 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 |

**四、实验内容：**

使用VHDL语言设计一个一位全加器：

LIBRARY  IEEE;    --半加器描述(1)：布尔方程描述方法

USE IEEE.STD\_LOGIC\_1164.ALL;

ENTITY half\_adder IS

  PORT ( a, b  : IN STD\_LOGIC;

        co, so : OUT STD\_LOGIC);

END ENTITY  half\_adder;

ARCHITECTURE fh1 OF half\_adder IS

BEGIN

  so <= NOT(a XOR (NOT b)) ;   co <= a AND b ;

END ARCHITECTURE fh1;

LIBRARY  IEEE ;   --或门逻辑描述

 USE IEEE.STD\_LOGIC\_1164.ALL;

 ENTITY or2a IS

   PORT (a, b : IN STD\_LOGIC;  c : OUT STD\_LOGIC );

 END ENTITY or2a ;

 ARCHITECTURE one OF or2a IS

   BEGIN

   c <= a OR b ;

 END ARCHITECTURE one ;

LIBRARY  IEEE;   --1位二进制全加器顶层设计描述

 USE IEEE.STD\_LOGIC\_1164.ALL;

 ENTITY full\_adder IS

   PORT (ain, bin,  cin : IN STD\_LOGIC;

              cout, sum : OUT STD\_LOGIC);

 END ENTITY full\_adder;

 ARCHITECTURE fd1 OF full\_adder IS

   COMPONENT half\_adder                  --调用半加器声明语句

     PORT (  a, b : IN STD\_LOGIC;

           co, so : OUT STD\_LOGIC);

   END COMPONENT;

   COMPONENT or2a

      PORT (a, b : IN STD\_LOGIC;

               c : OUT STD\_LOGIC);

   END COMPONENT;

SIGNAL d, e, f : STD\_LOGIC; --定义3个信号作为内部的连接线

  BEGIN

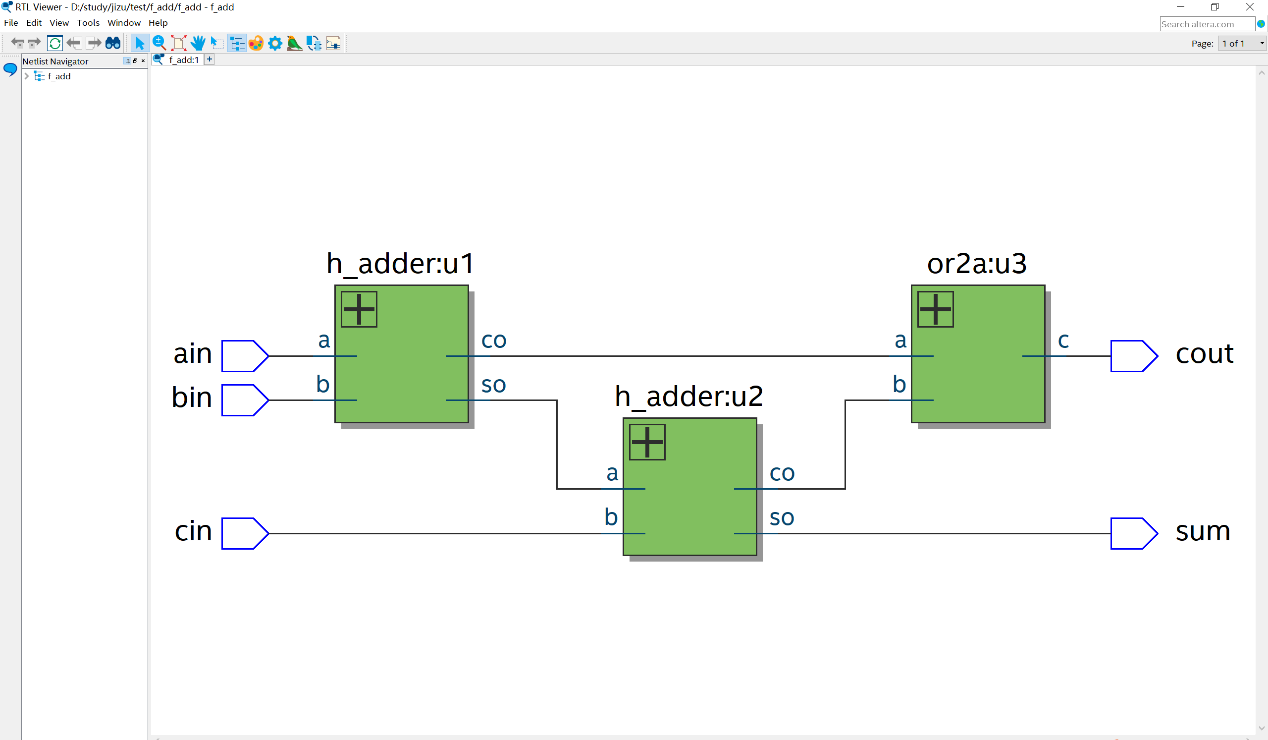
   u1 : half\_adder PORT MAP(a=>ain, b=>bin, co=>d, so=>e);  --例化语句

   u2 : half\_adder PORT MAP(a=>e, b=>cin, co=>f, so=>sum);

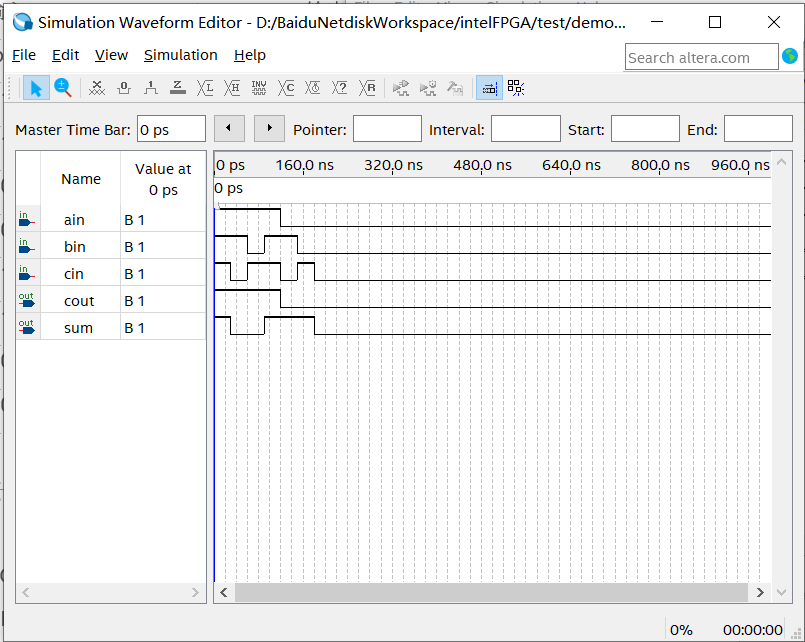
   u3 : or2a    PORT MAP(a=>d, b=>f, c=>cout);

 END ARCHITECTURE fd1;

**五、元件图：**



**六、仿真测试：**



**七、结果分析：**

1、当ain输入高电平，bin输入高电平，cin输入高电平时，cout输出高电平,sum输出高电平。

2、当ain输入高电平，bin输入高电平，cin输入低电平时，cout输出高电平,sum输出低电平。

3、当ain输入高电平，bin输入低电平，cin输入高电平时，cout输出高电平,sum输出低电平。

4、当ain输入高电平，bin输入低电平，cin输入低电平时，cout输出低电平,sum输出高电平。

5、当ain输入低电平，bin输入高电平，cin输入高电平时，cout输出高电平,sum输出低电平。

6、当ain输入低电平，bin输入高电平，cin输入低电平时，cout输出低电平,sum输出高电平。

7、当ain输入低电平，bin输入低电平，cin输入高电平时，cout输出低电平,sum输出高电平。

8、当ain输入低电平，bin输入低电平，cin输入低电平时，cout输出低电平,sum输出低电平。

**八、实验总结：**

1、通过此次实验，设计出了一个一位全加器，并通过仿真测试验证了该全加器的功能。

2、知道了如何在当前设计中如何调用一个已经设计好的模块：

COMPONENT 元件名

   PORT （端口名）；

 END COMPONENT ;

3、一个文件中可以存放多个设计好的功能模块，此次实验我将半加法器、或门以及全加法器三个模块放在了一个文件中。