



模拟与数字电路实验 (数字逻辑实验)

前言&实验准备

卢建良

lujl@ustc.edu.cn

模拟与数字电路实验



教师:

卢建良

lujl@ustc.edu.cn

张俊霞

zjx@ustc.edu.cn

助教:

刘思睿

lsr12@mail.ustc.edu.cn

李继权

lijiquan@mail.ustc.edu.cn

陈翊辉

cyh88888@mail.ustc.edu.cn

樊晓天

qqzz0620@mail.ustc.edu.cn

胡煜霄

hyx0acg@mail.ustc.edu.cn

董澳

da5915@mail.ustc.edu.cn

模拟与数字电路实验



上课时间:

教学周5~14

周五下午2:00~5:00, 晚上6:30~9:30

上课地点:

科大西区电三楼406、410、412

课程QQ群: 755964308



模拟与数字电路实验



实验安排：（暂定）

实验0：Vivado使用

实验1：建模概念

实验2：数制

实验3：组合逻辑电路

实验4：任务、函数及测试平台

实验5：锁存器、触发器

实验6：寄存器、计数器

实验7：行为模型和时序约束

实验8：知识产权（IP）核

实验9：时钟

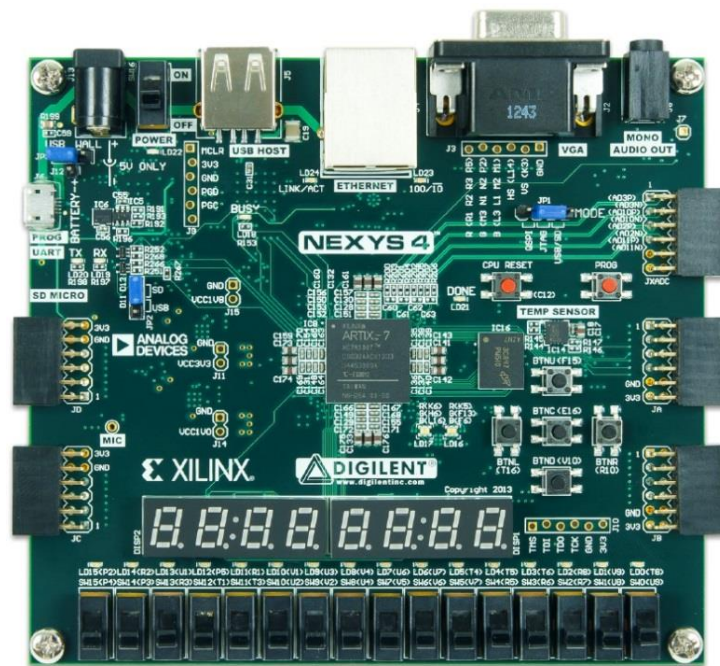
实验10：有限状态机

模拟与数字电路实验



实验软硬件环境

- PC，推荐Win7系统
- Vivado，2016.2版本
- Nexys4 DDR开发版
- 实验指导书，自编
- 主要翻译工作由6位助教完成，如有问题请反馈给相应助教



模拟与数字电路实验



实验检查

当堂提交，根据完成情况现场打分
无法按时完成的可在本课程结束前补交
补交越迟扣分越多

下次上课前提交实验报告（方式待定）

实验报告应按规定格式撰写

内容包括但不限于：核心代码、中间结果、
仿真截图、下板验证照片（照片中应包含本人姓名学号标识，如一卡通）、实验总结

模拟与数字电路实验



实验0

熟悉Vivado软件的使用

熟悉简单Verilog语法

发放Nexys4 DDR开发板

本次实验不需要提交实验报告



谢谢！