**计算机组成原理 实验报告**

姓名：杨佳熹 学号：PB17000050 实验日期：2019-3-21

**一、实验题目：**

Lab01 运算器

**二、实验目的：**

设计一算术逻辑运算单元（ALU），实现加减或与异或非功能；利用前述的ALU模块与适当的硬件电路，完成输出斐波那契数列。

**三、实验平台：**

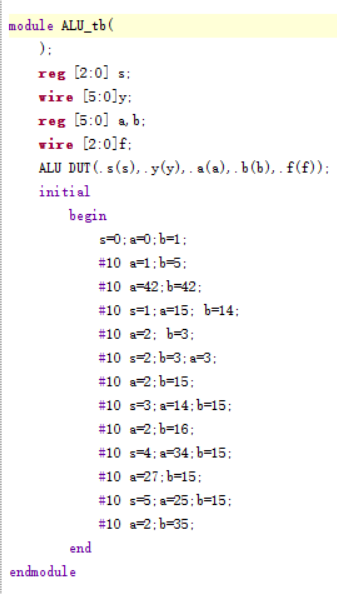
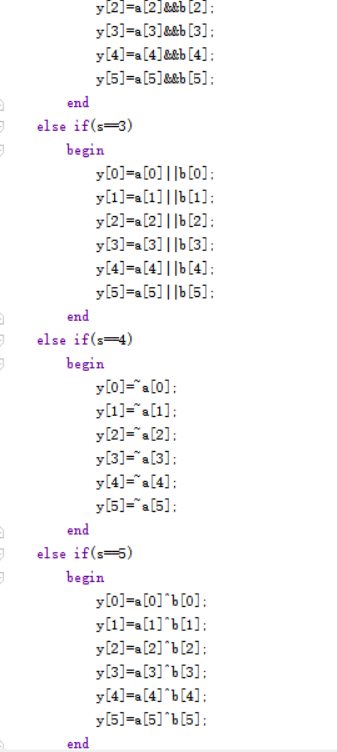
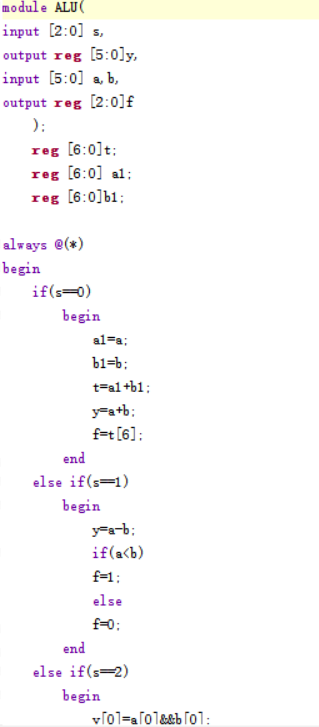
Vivado

**四、实验过程：**

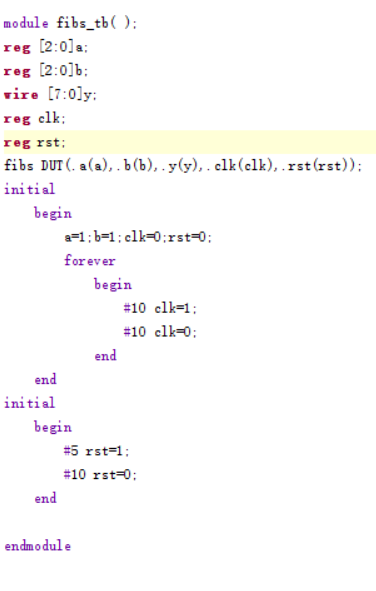
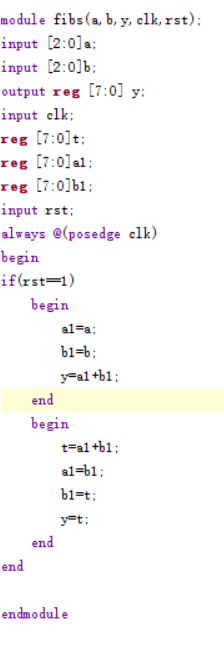
此实验分为两部分ALU运算器和ALU的简单应用。

实验一代码截图：

利用always语句实现基本运算；

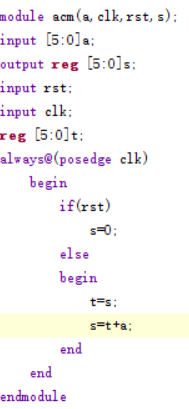
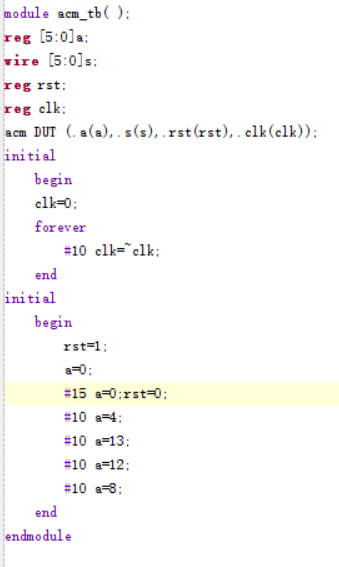


实验二 代码截图：



利用时序逻辑电路把上一个时钟的值进行运算；

累加器代码截图：

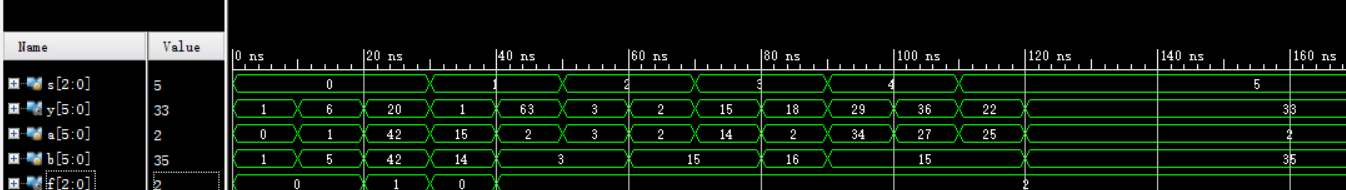
 

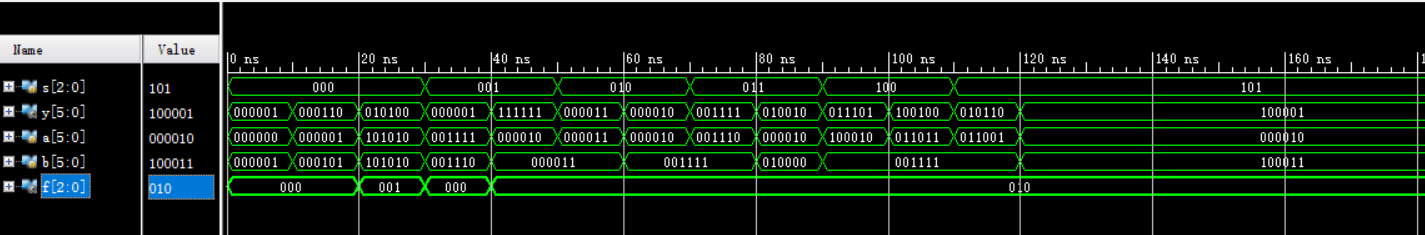
**五、实验结果：**

此处讲述实验结果，必须附上最后的仿真波形图或是下载到板子上的实拍结果图（视实验要求而定）。

实验一：

仿真截图：





加法进位和减法借位均满足结果。

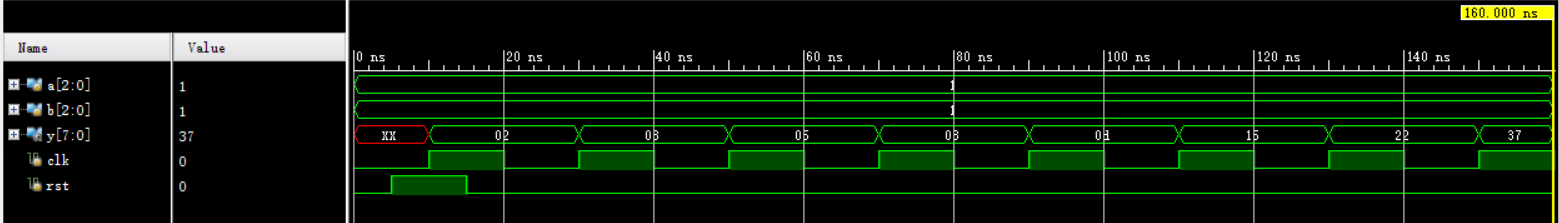
下载结果：





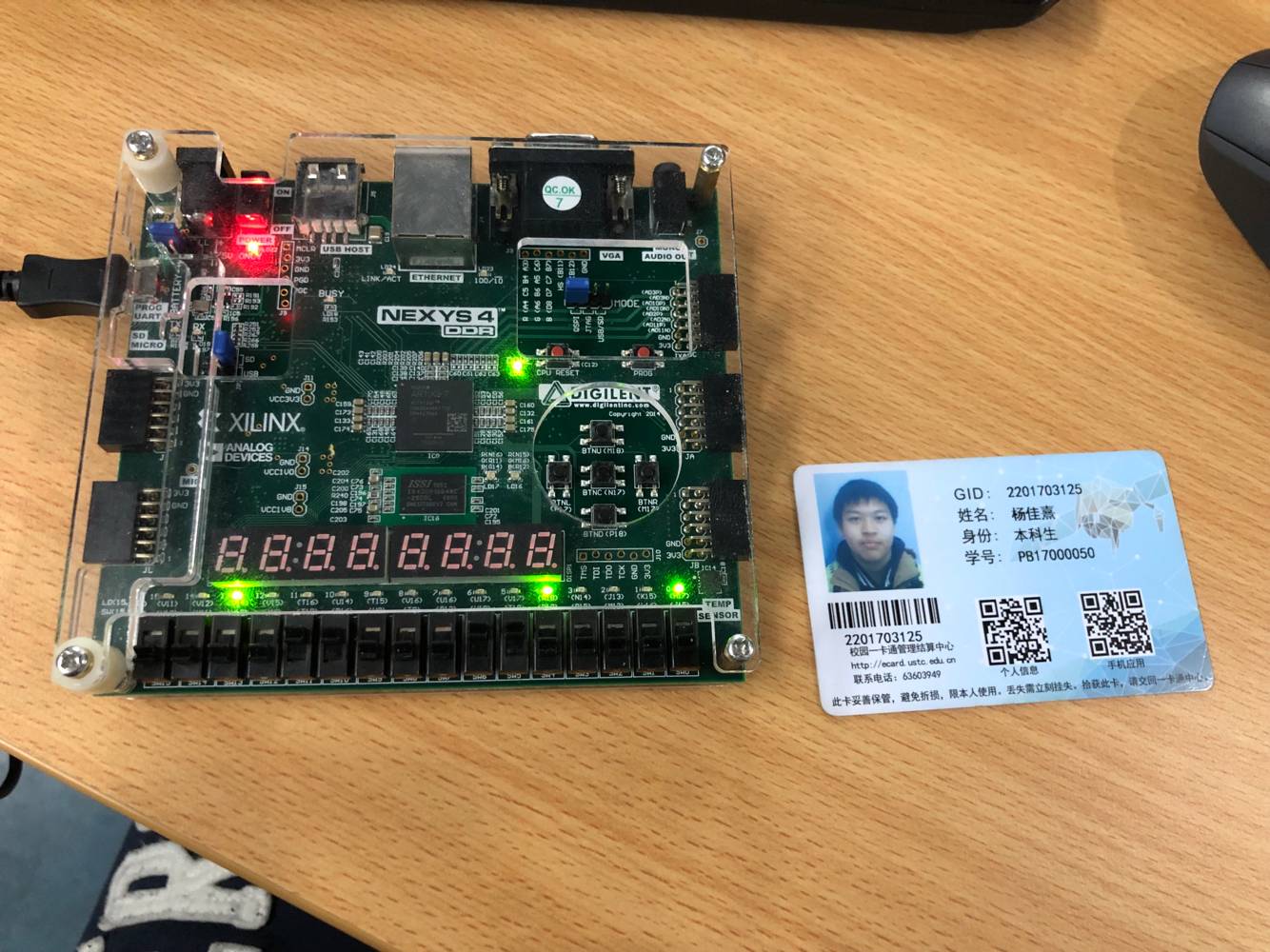
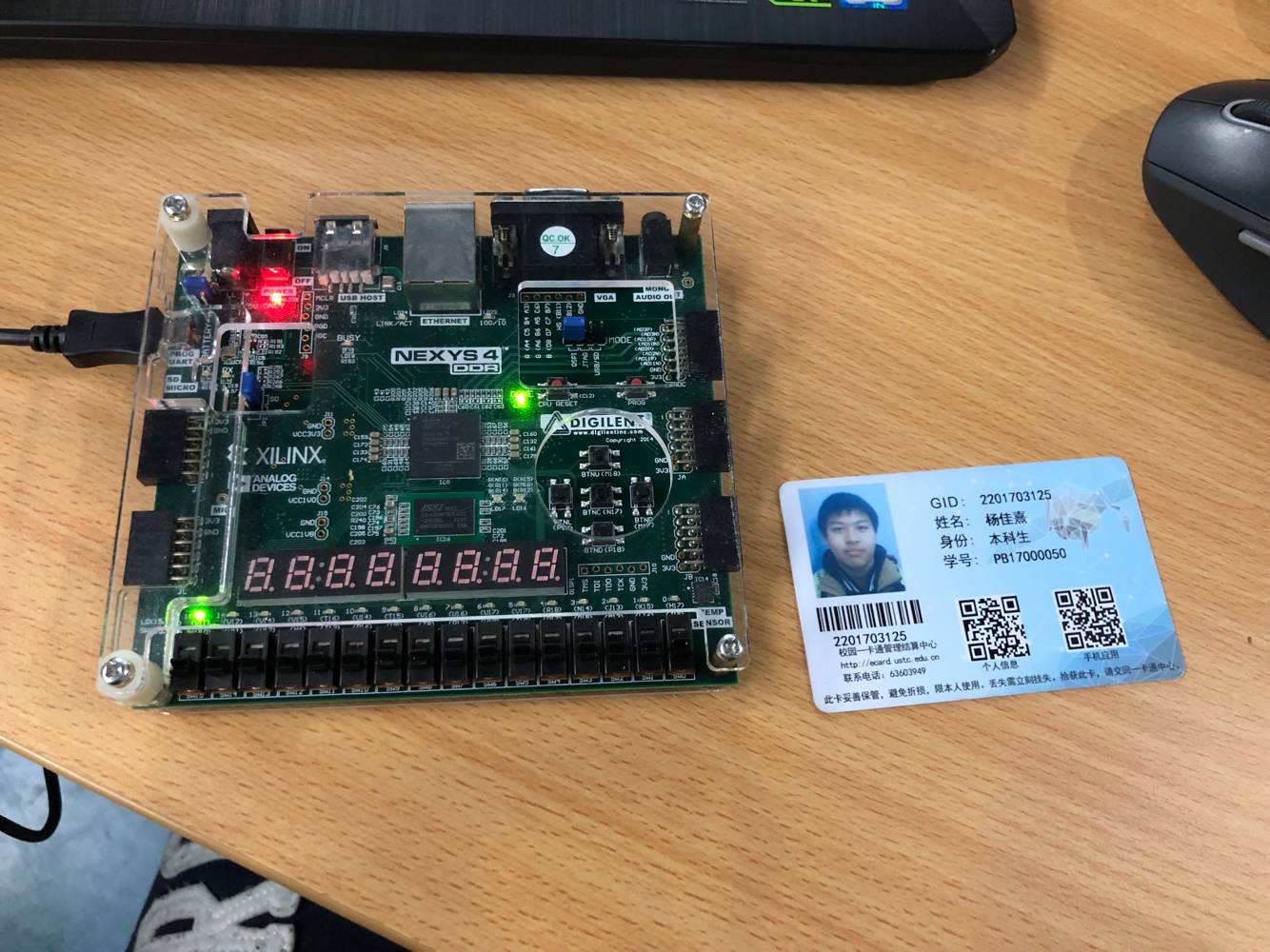
实验二：

仿真截图：



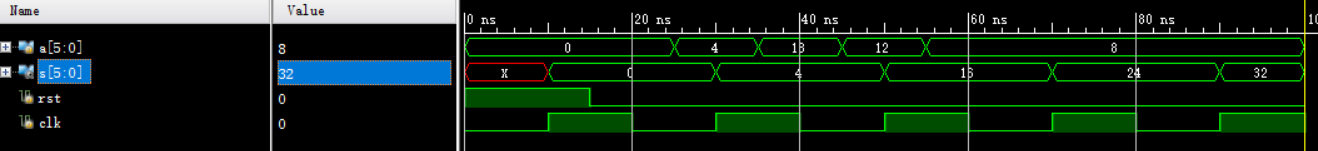
在rst=1时时间上升沿；赋初值a+b；之后每经历上升沿生成下一项。

下载结果：

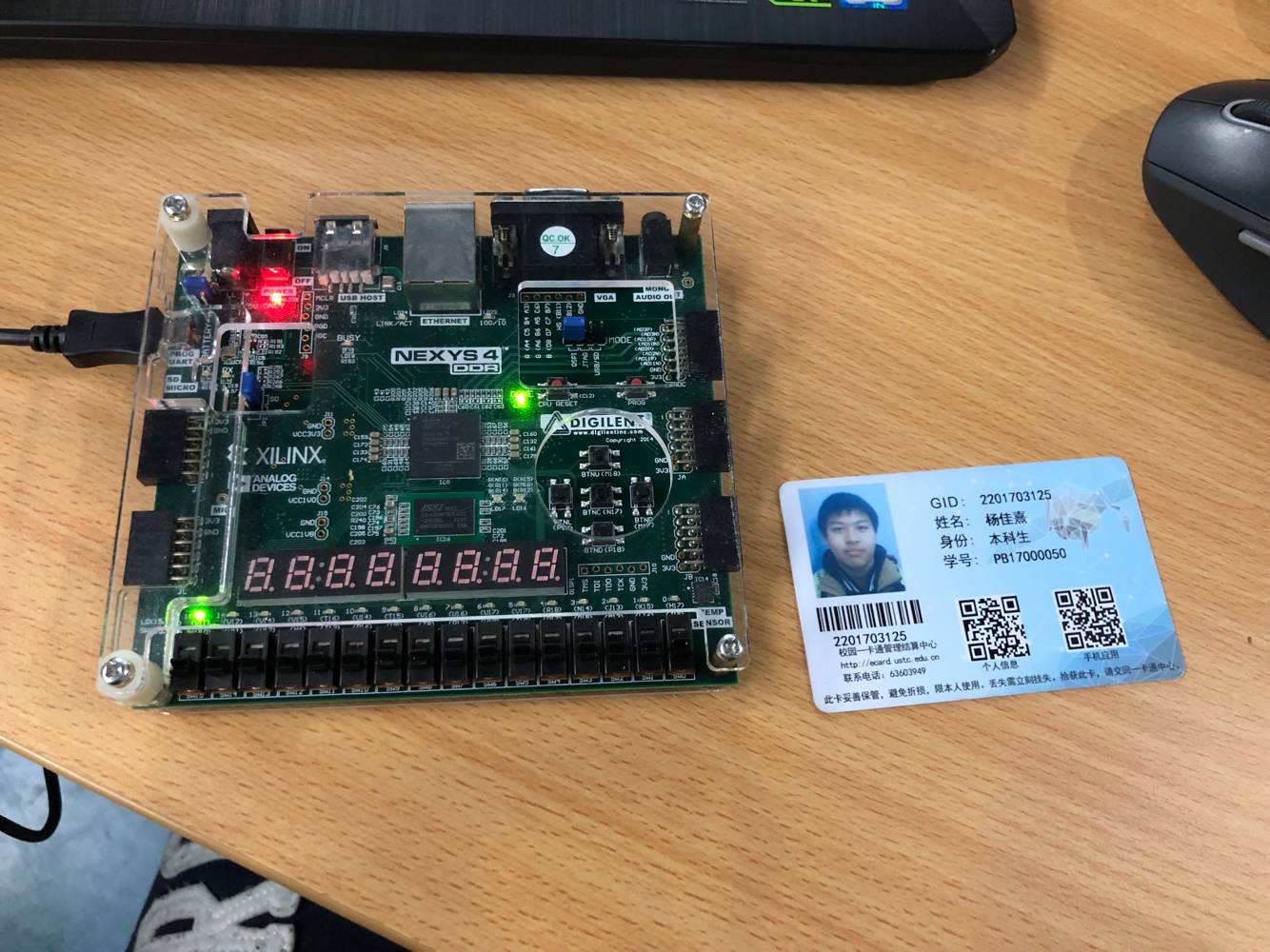


累加器：

仿真截图：



下载结果：



**在rst经历时间上升沿是清零，之后没经历一个上升沿会加a；**

**六、心得体会：**

此次实验为第一次实验，难度不大，主要让我们复习了verilog语句的基本语法。在实验中遇到了mult-driven的问题（一个变量在不同的always里赋值），只需把两个always合在一起即可通过。另外，debug的时候可以打开提示中所给路径的文件来查看问题所在，遗憾的是，上学期的数电实验没有发现这个技巧从而浪费了很多时间。在赋值硬件引脚时，简单回顾了手动控制clk的技巧，在xdc文件内加上一句代码即可实现。