**计算机组成原理 实验报告**

姓名： 杨佳熹 学号：PB17000050 实验日期：2019-3-28

**一、实验题目：**

Lab02 数据通路与状态机

**二、实验目的：**

设计一带有排序功能的时序逻辑电路，实现四个数排序功能；类似设计带有除法功能的电路，通过时钟控制执行。

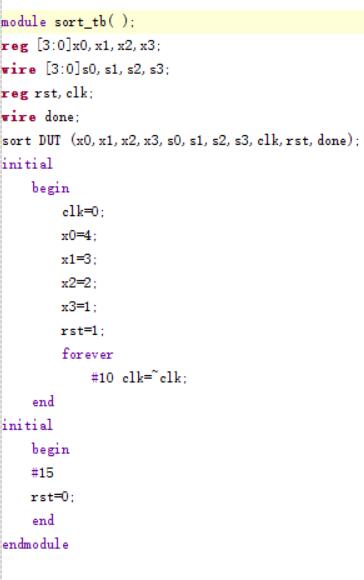
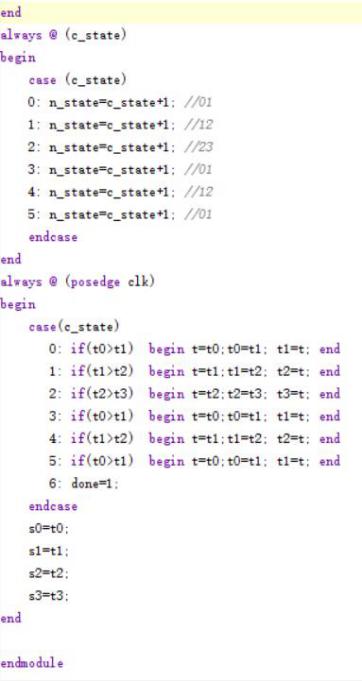
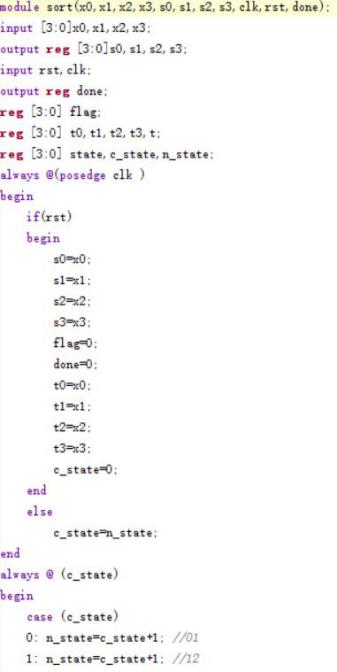
**三、实验平台：**

Vivado

**四、实验过程：**

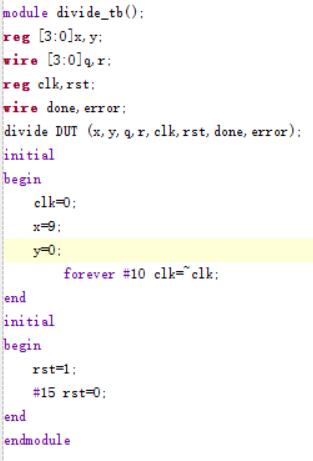
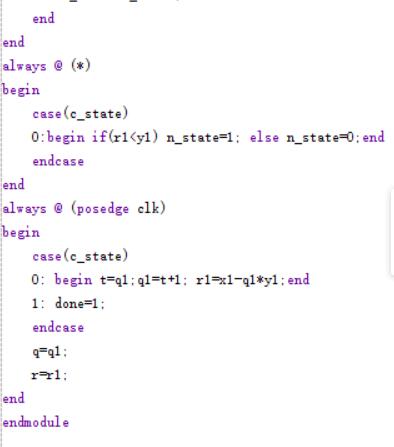
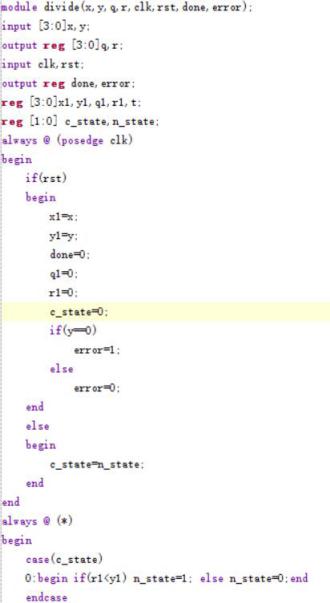
从ppt中三个数排序的算法推广到四个数排序，利用always语句实现类似冒泡的排序算法。

排序代码截图：



设中间变量来进行两个数调换，依次从0-1到2-3进行比较判断是否交换，与冒泡排序法类似。设计六个状态表示比较进行的程度，最后一个状态为结束状态。

代码截图：

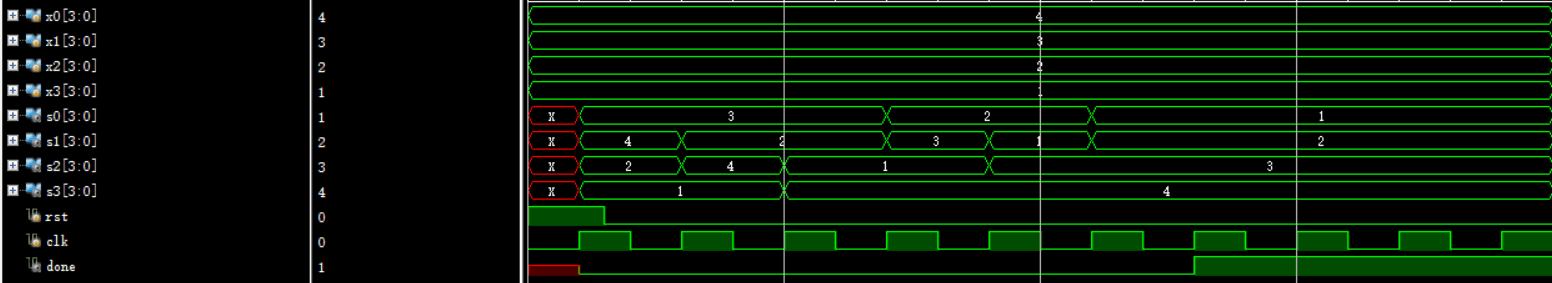


除法是通过每一个时钟沿减去被除数实现，记录商逐渐加一，判断余数是否小于除数来终止运算。设计两个状态，一种是余数大于除数还可以继续运算，另一个状态是余数小于除数，不能再进行下去，结束运算。

**五、实验结果：**

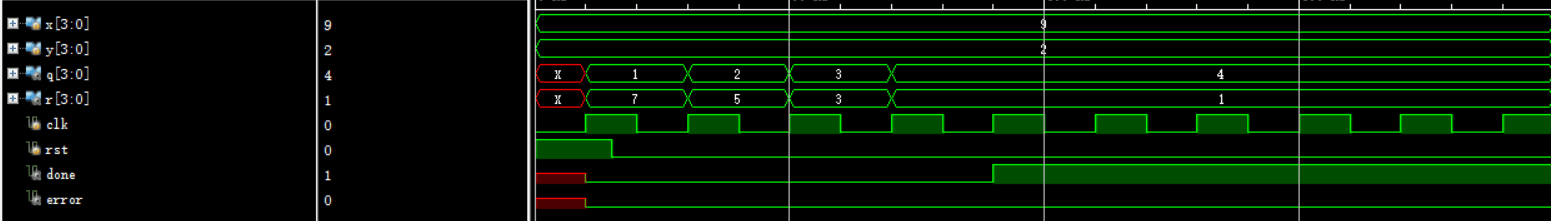
仿真截图：

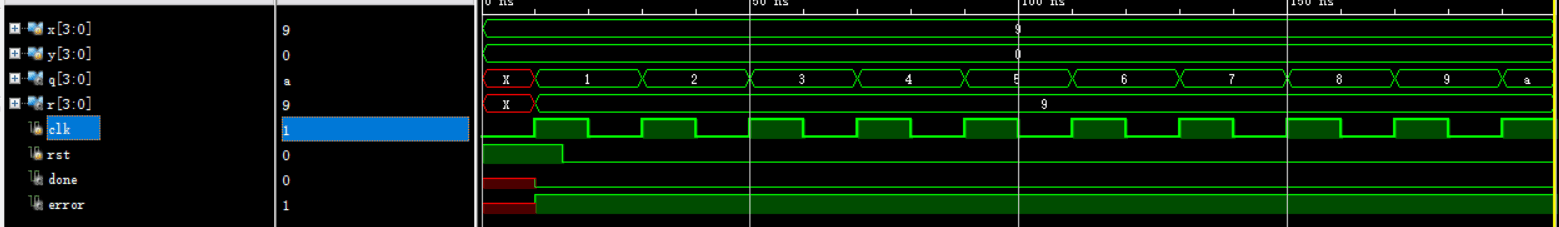
排序：



仿真结果可以看出经过三个时钟上升沿，011223依次进行排序并且排序完成。一共六个时钟周期，所有排序结束。

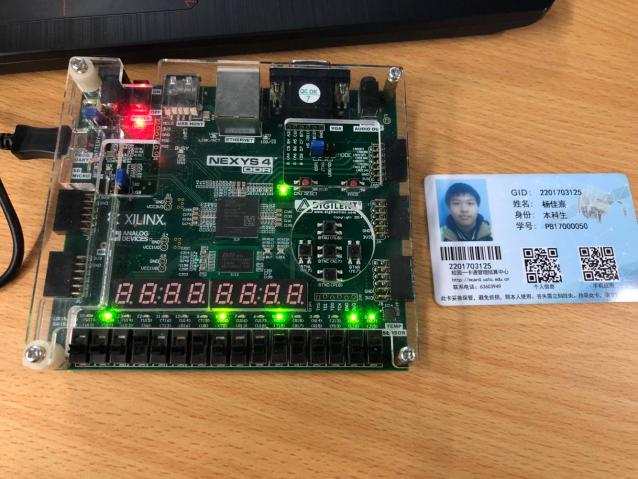
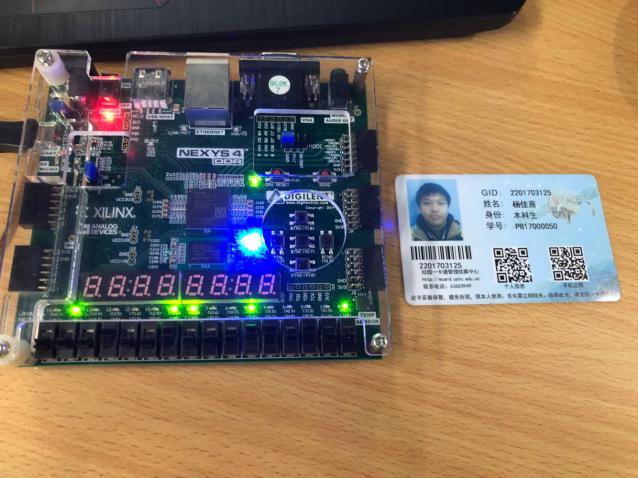
除法：





仿真结果看出，y=0时error等于一，否则每次时钟沿商加一，三个时钟沿后done=1，结束运算。

排序下载结果：



蓝灯代表结束排序。

除法下载结果：



**六、心得体会：**

本次实验让我们复习了有限状态机的写法，并且能够利用三段式实现基本的数据通路。主要遇到的问题有函数的调用不能在always里进行，如果想用always功能的话只能在函数内通过调用时钟并在函数内写always；其次有限状态机最好利用三段式，结构清晰并且不需要担心mutidriven。

改进：除法实验可以利用移位来实现，也借助有限状态机的模型，只不过这次因为图省事用了减法实现。