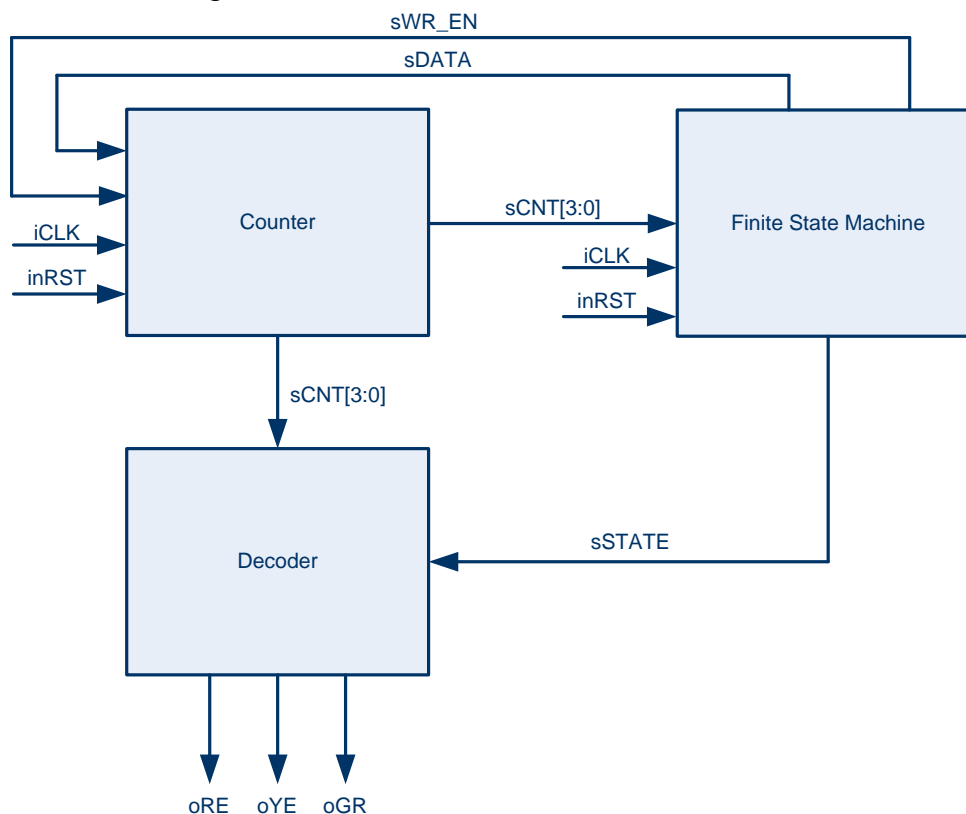


ZADATAK:

U VHDL jeziku za opis fizičke arhitekture izvršiti sintezu digitalnog sistema prikazanog na Slici 1., koji služi za kontrolu semafora. Dati digitalni sistem sadrži: četvorobitni brojač modula 11 (opseg brojanja je 0 – 10), automat stanja koji kontrolira rad brojača signalom za upis vrednosti u brojač i dekodera koji generiše izlazne signale za kontrolu semafora.



Slika 1: Blok-šema digitalnog sistema

Ulazi digitalnog sistema:

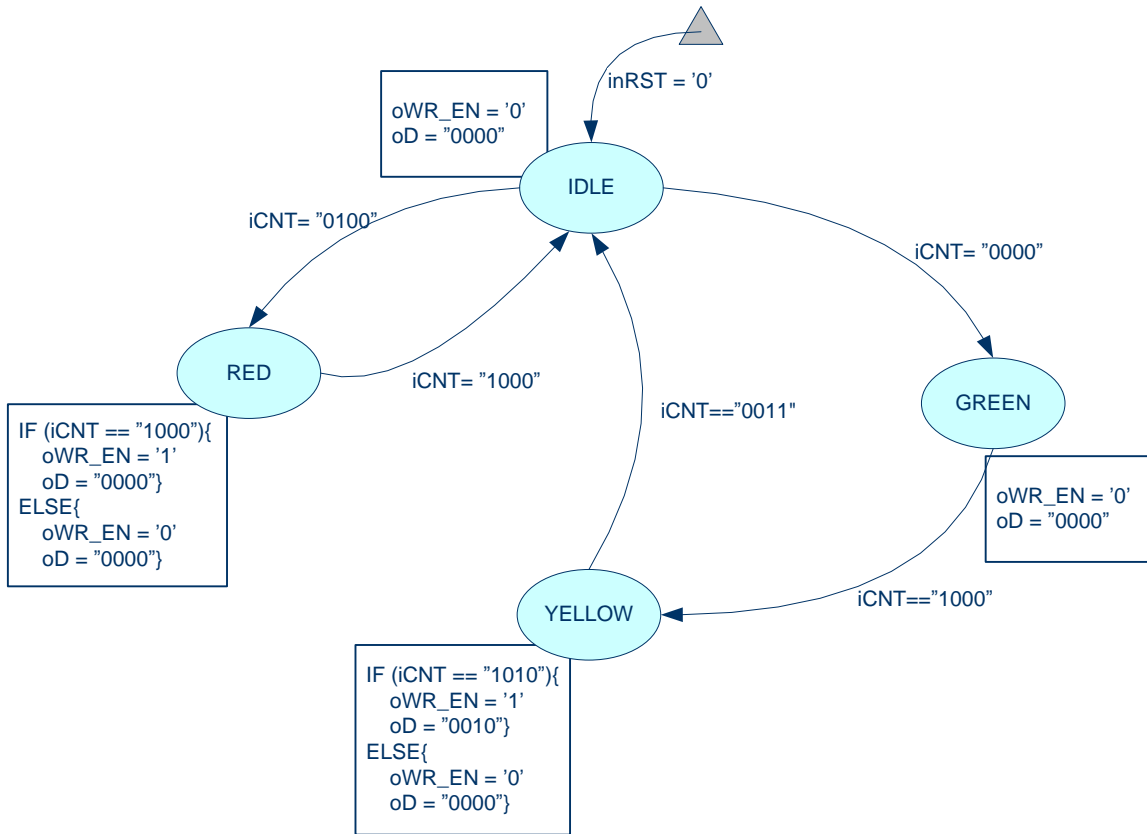
- **iCLK** - signal takta,
- **inRST** - asinhroni reset signal, aktivan u stanju logičke nule.

Izlaz digitalnog sistema:

- **oRE, oYE i oGR** – signali za kontrolu tri svetla semafora.

Brojač je modula 11. Sadržaj brojača se postavlja na nulu signalom inRST. Dozvolu upisa u brojač, kao i vrednost, generiše automat stanja, kao što je opisano grafom automata.

Automat stanja opisan je grafom na slici 2.



Slika 2: Graf stanja konačnog automata

Dekoder generiše izlazne signale iz sistema na sledeći način:

$$oYE = \begin{cases} 1, & \text{state} = \text{YELLOW} \\ 0, & \text{inače} \end{cases}$$

$$oRE = \begin{cases} 1, & \text{state} = \text{RED} \mid \\ & \text{state} = \text{IDLE} \vee sCNT = 4 \\ 0, & \text{inače} \end{cases}$$

$$oGR = \begin{cases} 1, & \text{state} = \text{GREEN} \mid \\ & \text{state} = \text{YELLOW} \mid \\ & \text{state} = \text{IDLE} \vee sCNT = 0 \\ 0, & \text{inače} \end{cases}$$