

ZADATAK:

U VHDL jeziku za opis fizičke arhitekture izvršiti sintezu složenog digitalnog sistema prikazanog na Slici 1 koji predstavlja jednostavan automat za plaćanje. Automat se sastoji od limitera, 16-bit registra, sabirača, oduzimača, komparatora i multipleksera.

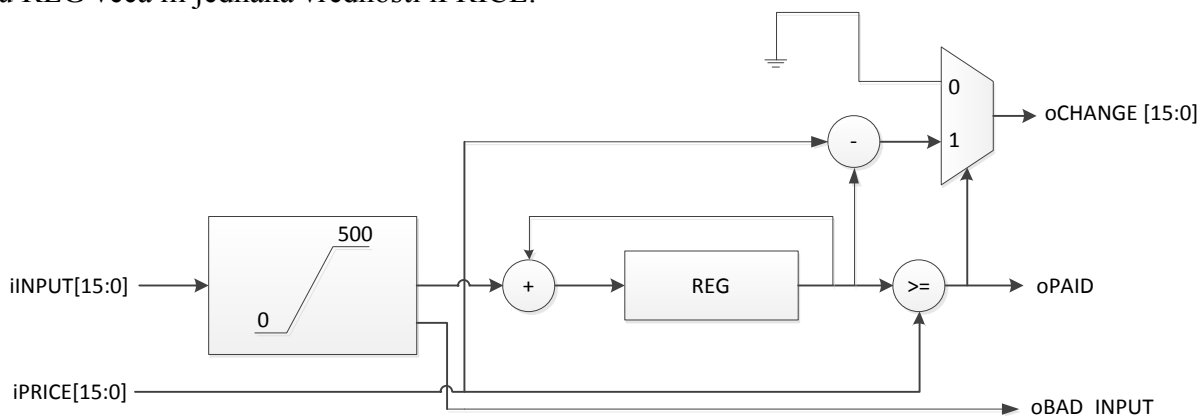
Ulazi digitalnog sistema su:

- **iCLK** - signal takta,
- **inRST** - reset signal koji je asinhron i aktivan na niskom naponskom nivou,
- **iINPUT** - signal koji predstavlja vrednost novčanice ubačene u automat,
- **iPRICE** - signal koji predstavlja cenu kupljenog proizvoda.

Izlazi digitalnog sistema su:

- **oPAID** – aktivan ukoliko je kupljeni proizvod plaćen,
- **oCHANGE** – jednak 0 ukoliko proizvod nije plaćen, a jednak kusuru ukoliko je proizvod plaćen,
- **oBAD_INPUT** – aktivan ukoliko se na ulazu pojavi vrednost veća od 500.

Limiter na ulazu je kombinaciona mreža i treba da postavi izlaz oBAD_INPUT na visoki naponski nivo ukoliko se na ulazu iINPUT pojavi vrednost veća od 500, pošto automat prima najviše novčanicu od 500 dinara. Izlaz limitera je jednak ulazu ako je ulaz manji ili jednak 500, a jednak 0 u suprotnom. Izlaz oCHANGE je jednak kusuru (razlici vrednosti u registru REG i cene iPRICE) ukoliko je iznos plaćen (oPAID = 1), a u suprotnom je jednak 0. Komparator na izlazu daje vrednost 1 ukoliko je vrednost u registru REG veća ili jednaka vrednosti iPRICE.



Slika 1: Blok-šema digitalnog sistema

(zbog jasnijeg prikaza, na slici su izostavljeni signali iCLK i inRST koji su podrazumevani ulazi svih sekvencijalnih komponenti)

Izvršiti simulaciju rada sistema prilikom kupovine jednog proizvoda jeftinijeg od 500 dinara, kao i nekoliko proizvoda skupljih od 500 dinara (u bar jednom testnom slučaju prikazati ponašanje ukoliko se ubaci više novca nego što je cena proizvoda). Između svake kupovine treba resetovati sistem.