

Yıldız Teknik Üniversitesi

Bilgisayar Mühendisliği

Lojik Devre Laboratuvarı

Deney Föyü

Laboratuvar Çalışma Düzeni

Genel Bilgiler

- Deney grubu, tarih ve saat ilgili laboratuvara sorumlusu tarafından ilan edilecektir.
- Deneylerde %80 devam şartı vardır. Mazeretsiz 2 deneye gelmeyen öğrenci laboratuvardan kalır.
- Laboratuvardan kalmak dersten kalmayı gerektirmez.
- Laboratuvarın derse katkısı %20 dir.
- Deneyler ödev ve uygulama olarak ikiye ayrılmıştır ve puan yüzdeleri eşittir (%50). Ödevler deney sırasında, oturma düzenine göre kontrol edilecektir.
- Deneyler ve ödevler bireysel olarak yapılacaktır. Her öğrenciye sadece 1 ödev ve 1 laboratuvar sorusu verilecektir. Hangi öğrenciye hangi sorunun geleceği rastgele belirlenecektir.
- Ödev soruları deneylerden en az bir hafta önce, laboratuvar soruları ise deney sırasında verilecektir.
- Deney süresi bir saattir.
- Her bir deney grubunun sorumlu asistanı bellidir. Laboratuvar ile ilgili problemlerinizde grubunuzun sorumlu asistanları ile görüşebilirsiniz.
- Öğrenci ödev cevaplarının simülasyon ortamında çalıştığını ispatlamak zorundadır.
- Ödevler Logicworks programı ile yapılacaktır. Kurulum dosyaları laboratuvar sorumlusunun sayfasında verilecektir.
- Öğrencinin ihtiyaç duyacağı bütün anlatımlar önceden yapılmış ve yayınlanmıştır.
- Öğrencilerin, laboratuvara gelmeden önce,
 - ✓ Entegre tanıtım videolarını ve diğer videoları incelemiş olmaları,
 - ✓ Verilen ödev sorusunu teorik ve simülasyon çözümlerini yapmaları,
 - ✓ laboratuvara uygulaması için gerekli ön çalışmayı yapmış olmaları,
 - ✓ föyde yazılı olan malzeme listesindeki malzemeleri satın almış olmaları ve
 - ✓ Deneyde kullanılacak entegrelerin “datasheet”leri **araştırarak**, nasıl çalıştıklarını öğrenmeleri gerekmektedir.

Kurallar

- Deneyler, öğrenciye pratik ve teorik bilgilerin verilmesinin yanında çalışma disiplini elde etmesi içinde önemlidir. Puanlamanın bir kısmı da bu çalışma disiplini ile alakalı kısımdır.
- Deneyde öğrenci soru sormayacaktır, ihtiyacı olduğu bütün bilgiler önceden verilmiştir.
- Kişiler kendi aralarında konuşamaz, birbirlerinden yardım isteyemez. Her uyarı -10 puandır.
- 2 deneye gelmeyen öğrenci laboratuvardan sıfır alır.
- Öğrenci çalıştığı ortamı temiz bırakmak zorundadır. Dağınık bırakılan her masa -10 puandır.
- Öğrenci malzemesi eksik olarak deneye gelemmez, eksik malzemeyi arkadaşlarından temin edemez.
- Deney notları, o hafta deneylerin bitiminden sonra laboratuvar sorumlusu tarafından ilan edilir.
- Ödevlerde kopya tespit edilirse öğrenci -50 puan alacaktır.
- Ödevlerde öğrenci yaptığı devreyi açıklayamazsa duruma göre puan kırılacaktır.
- Bu kurallar öğrenciye çalışma disiplini sağlamak içindir. Bu hangi mesleği seçerseniz seçin sizin için deneylerin içeriğinden daha önemli bir konudur. Eğer öğrenci bu disiplini öğrenip uygulayabilir hale gelirse kurallar esneyebilir.

Temel Bilgiler

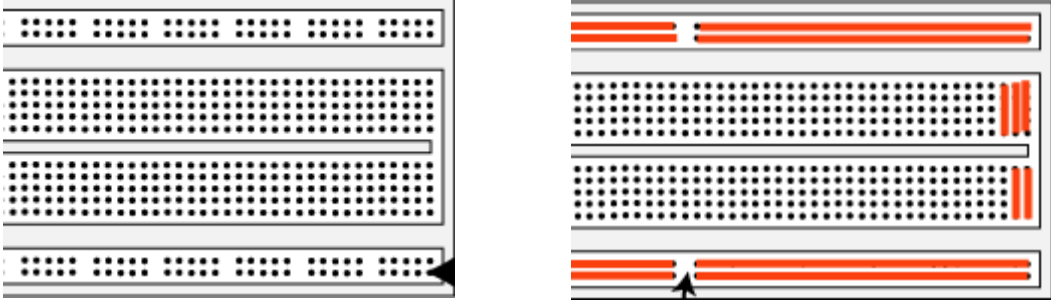
Lojik devreler anlatım videolarına aşağıdaki linklerden erişilebilir:

<https://www.youtube.com/user/ytudonanim>

Öğrenci her deneyden önce o deney için kullanılacak entegrenin tanıtım videosunu izlemelidir.

İhtiyaç duyabileceğiniz yazılı anlatımlar aşağıdadır.

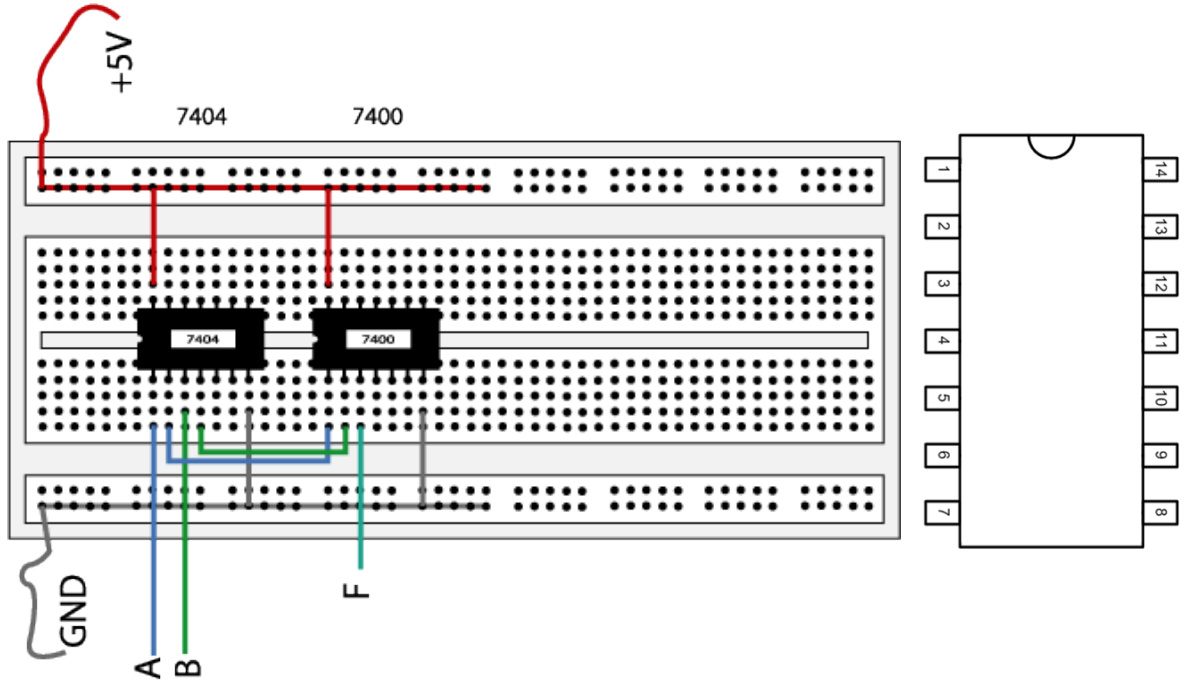
Deneylerde devreler delikli çalışma panolarında (breadboard) gerçekleştirilecektir. Breadboard'a ilişkin görünüm ve içten kısa devre olan düğümler aşağıdaki şekil ile özetlenmiştir. Dış taraftaki **2'li yolların devrede 5V ve GND dağıtımı için** kullanılması uygundur. İç kısımdaki **5'li terminal düğümler ise lojik entegrelerin yerleştirilmesi için** uygundur.



Örneğin $F=(A'.B')'$ fonksiyonunu ele alacak olursak F fonksiyonu 2 NOT ve 1 NAND kapısı ile gerçekleştirilebilir. Devreye ilişkin girişler için **8'li lojik anahtarlardan** istenen ikisi kullanılabilir. Çıkış için ise yine gösterge LED'lerden istenen kullanılabilir.

Deney seti üzerindeki sabit 5V ve GND düğümlerinden ilgili gerilimler breadboard üzerine teller ile taşınarak istenen devre aşağıdaki şekilde kurulmalıdır. Dikkat edilecek nokta lojik entegrelerin her bir bacağına farklı bir düğüme denk getirilmesidir.

Entegre bacak numaralandırılması entegre üzerindeki çentiğin solu 1 olacak şekilde saat yönünün tersine artan düzende yapılır. Deney sırasında devreye eklenen **her bir kapı için çıktı kontrolü** yapılarak (kapı çıkışı LED'e bağlanarak) ilerlenmesi hatasız devre kurulum açısından önemlidir ayrıca hatalı sonuç oluşmuşsa önceki kapılara doğru gelerek adım adım **hata ayıklaması** yapılmalıdır.



Entegreler ve entegre aileleri için Entegre Nedir.pdf dosyasını inceleyebilirsiniz.

Deney Konuları

1. Deney

Doğruluk tablosundan min veya max termler cinsinden fonksiyon yazabilme.

2. Deney

Kombinasyonel lojik devre sentezi. (3 giriş, 2 çıkış)

Kaynak: "Digital Design", 4. baskı, M., M. Mano, M., D. Ciletti, Bölümler: (4.2) "Combinational Circuits", (4.3) "Analysis Procedure", (4.4) "Design Procedure",

3. Deney

Mux ile 4 girişli lojik fonksiyon gerçekleştirme

Kaynak: "Digital Design", 4. baskı, M., M. Mano, M., D. Ciletti, Bölümler: (4.11) "Multiplexers"

4. Deney

Senkron ardışıl lojik devre sentezi. (en az üç durumlu)

Kaynak: "Digital Design", 4. baskı, M., M. Mano, M., D. Ciletti, Bölümler: (5.5) "Analysis of Clocked Sequential Circuits", (5.8) "Design Procedure"

5. Deney

D FF ile shift register gereklenmesi

Kaynak: “Digital Design”, 4. baskı, M., M. Mano, M., D. Ciletti, Blmler: (5.8) “Design Procedure”

Malzeme Listesi

- 7400 *3 (4-2 in NAND)
- 7402 *3 (4-2 in NOR)
- 7404 *3 (6 inverter)
- 7410 *3 (3-3 in NAND)
- 7420 *3 (2-4 in NAND)
- 7427 *3 (3-3 in NOR)
- 7432 *3 (4-2 in OR)
- 7408 *3 (4-2 in AND)
- 7474 *3 (2 D flip flop)
- 7483 *3 (4-bit binary adder)
- 7486 *3 (4-2 in XOR)
- 74112 *3 (4 JK flip flop)
- 74139 *3 (2-2 4 decoder)
- 74153 *3 (2-4*1 mux)
- 74158 *3 (4-2*1 mux)
- 74163 *3 (4-bit counter)
- 74194 *3 (4-bit bidirectional shift register)
- Yan keski
- Penset
- En az 3 metre tek damar kablo (0.5mm kalınlıėında) – (zil teli deney iin uygun deėildir)

Malzemeler

Karaky elektronikiler arşıısı ya da Selanik pasajı,

Perpa,

Kadıky Yazıcıoėlu iř hanı

Temin edilebilir.

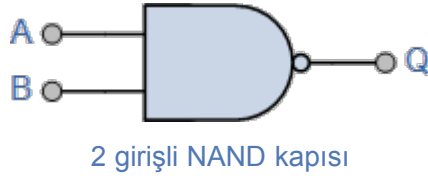
7400

İki girişli 4 NAND kapısı - Quad 2-input NAND gate



Sembol

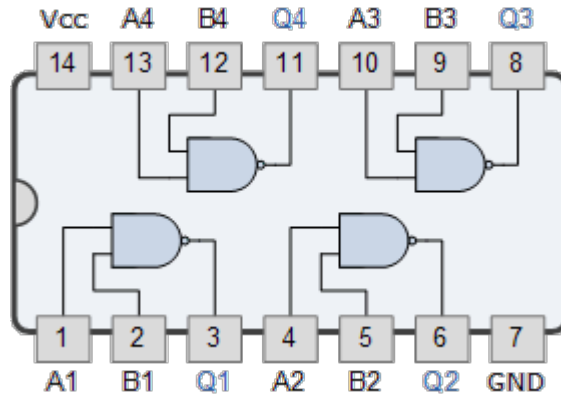
Doğruluk Tablosu



Mantıksal ifade $Q = \overline{A \cdot B}$

Q, A VE B'nin DEĞİLİ'dir.

Pin Diyagramı



7402

İki giriřli 4 NOR kapısı – Quad 2-input NOR gate



Sembol

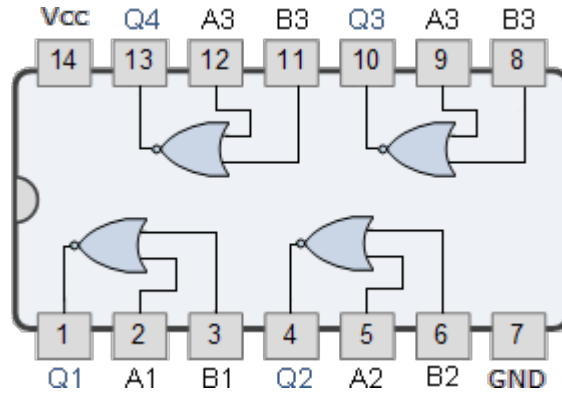
Doğruluk Tablosu



Mantıksal İfade $Q = \overline{A+B}$

Q, A VEYA B'nin DEĞİLİ'dir.

Pin Diyagramı



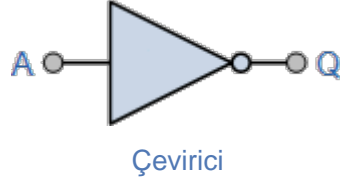
7404

Altı adet çevirici – Hex inverter



Sembol

Doğruluk Tablosu



A

Q

0

1

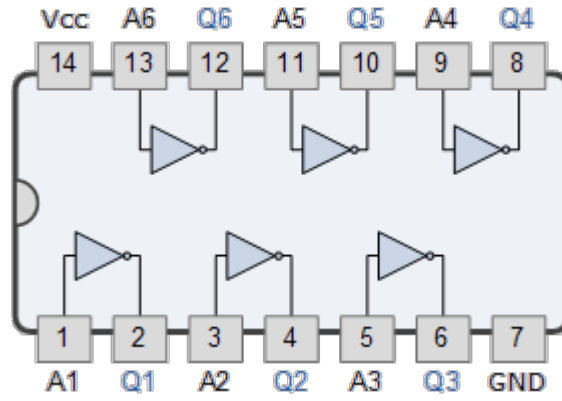
1

0

Mantıksal ifade $Q = \text{not } A \text{ or } \bar{A}$

Q, A'nın tersidir.

Pin Diyagramı

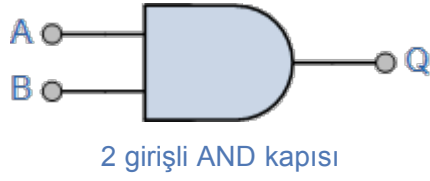


7408

İki giriřli 4 AND kapısı - Quad 2-input AND gate



Sembol



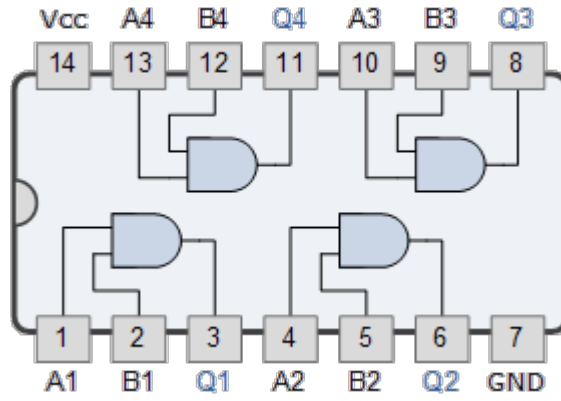
Doğruluk Tablosu

B	A	Q
0	0	0
0	1	0
1	0	0
1	1	1

Mantıksal İfade $Q = A.B$

Q, A VE B'ye eşittir.

Pin Diyagramı



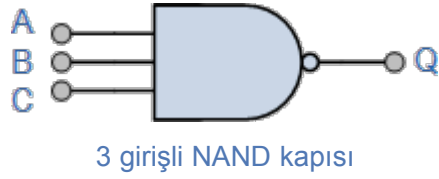
7410

Üç girişli 3 NAND kapısı - Triple 3-input NAND gate



Sembol

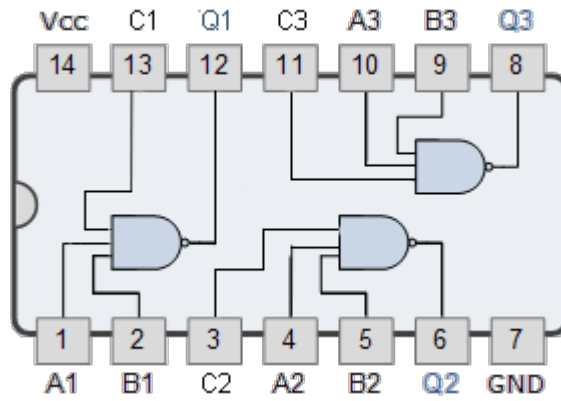
Doğruluk Tablosu



Mantıksal ifade $Q = \overline{A \cdot B \cdot C}$

Q, A VE B VE C'nin DEĞİL'idir.

Pin Diyagramı

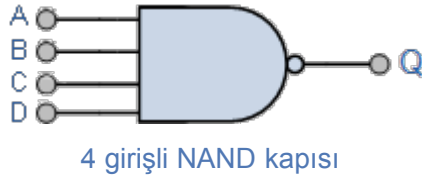


7420

Dört giriřli 2 NAND kapısı – Dual 4-input NAND gate



Sembol



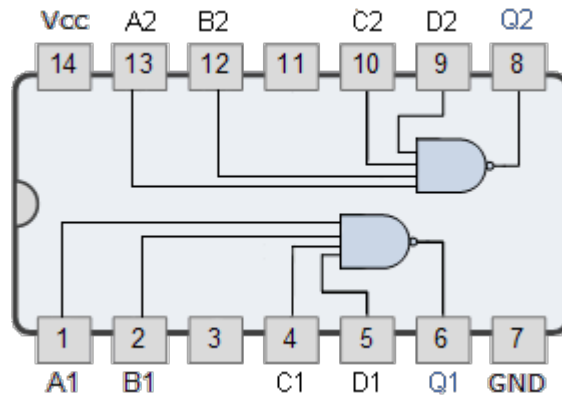
Doęruluk Tablosu

A	B	C	D	Q
X	X	X	0	1
X	X	0	X	1
X	0	X	X	1
0	X	X	X	1
1	1	1	1	0

Mantıksal İfade $Q = \overline{A.B.C.D}$

Q, A VE B VE C VE D'nin DEęİL'idir.

Pin Diyagramı



7427

Üç girişli 3 NOR kapısı - Triple 3-input NOR gate



Sembol

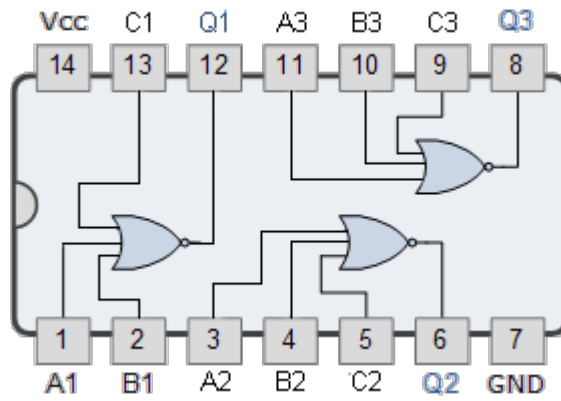
Doğruluk Tablosu



Mantıksal İfade $Q = \overline{A+B+C}$

Q, A VEYA B VEYA C'nin DEĞİL'idir.

Pin Diyagramı



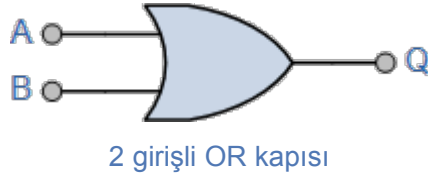
7432

İki girişli 4 OR kapısı - Quad 2-input OR gate



Sembol

Doğruluk Tablosu

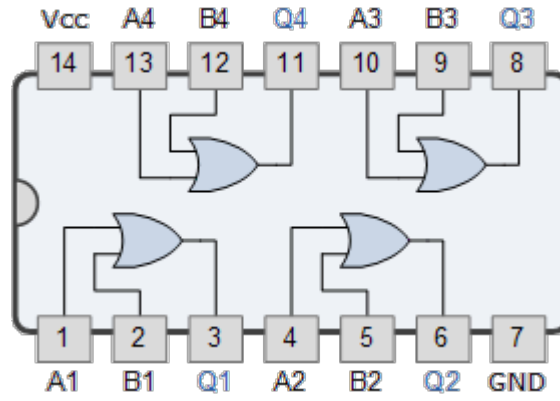


A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1

Mantıksal İfade $Q = A+B$

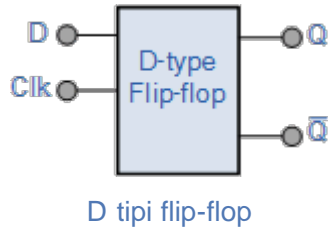
Q, A VEYA B'dir.

Pin Diyagramı



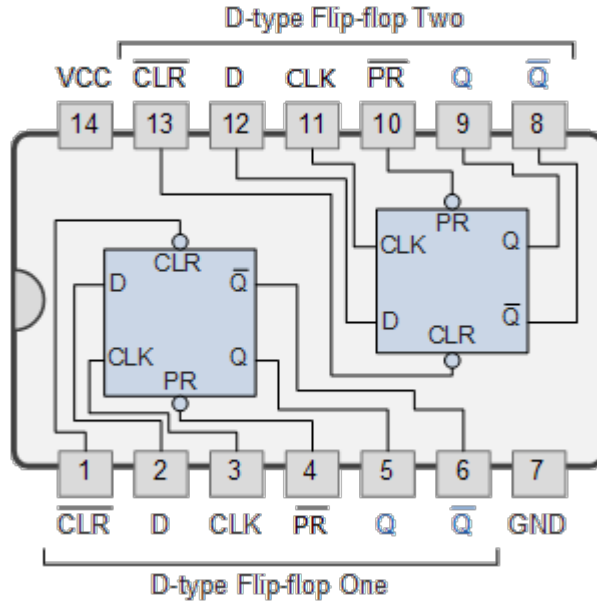
7474

D Tipi Flip-Flop



Sembol	Doğruluk Tablosu						
	\overline{PR}	\overline{CLR}	Clk	D	Q	\overline{Q}	Açıklama
	0	1	X	X	1	0	İlk değer olarak 1 oluşturulur.
	1	0	X	X	0	1	İlk değer olarak 0 oluşturulur.
	0	0	X	X	1	1	İlk değer için ayar modu.
	1	1	$\downarrow \gg 0$	X	$Q(t-1)$	$\overline{Q}(t-1)$	Bellekte değişim yok
	1	1	$\uparrow \gg 1$	0	0	1	Reset Q » 0
	1	1	$\uparrow \gg 1$	1	1	0	Set Q » 1

Pin Diyagramı

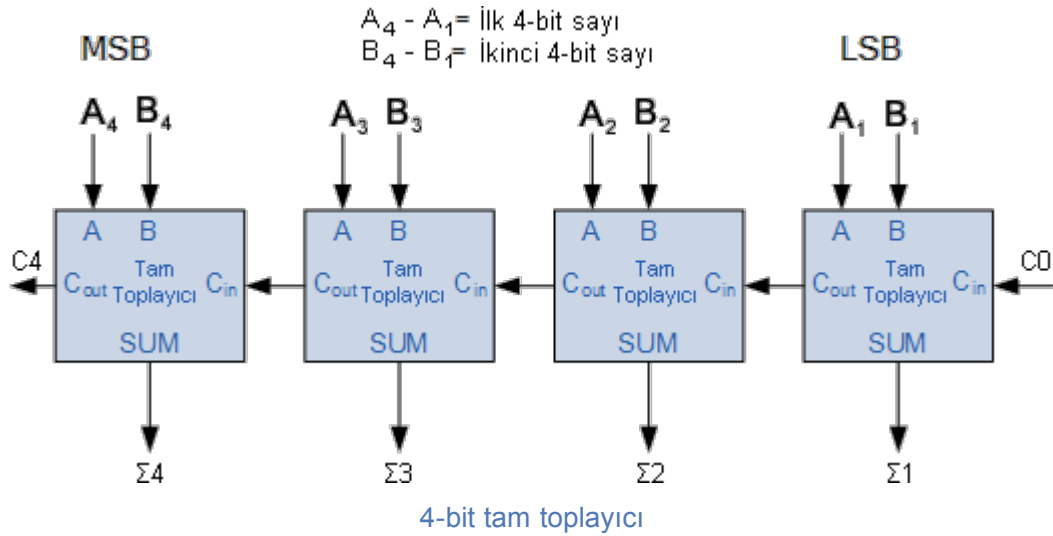


7483

4-bit binary tam toplayıcı – 4-bit binary full adder



Sembol



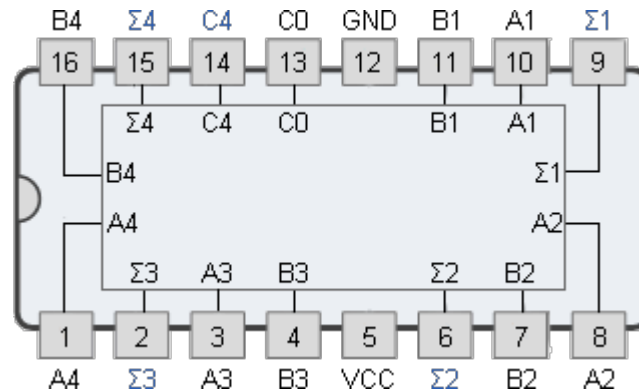
Doğruluk Tablosu

C0	A4	A3	A2	A1	B4	B3	B2	B1	C4	Σ4	Σ3	Σ2	Σ1
0	0	0	0	1	0	0	0	1	0	0	0	1	0
0	0	1	0	1	1	0	1	0	0	1	1	1	1
1	0	1	0	1	1	0	1	0	1	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0	0	1	0

$$C0 + (A1 + B1) + 2(A2 + B2) + 4(A3 + B3) + 8(A4 + B4) = \Sigma1 + 2\Sigma2 + 4\Sigma3 + 8\Sigma4 + 16C4$$

(+) = toplama işlemidir.

Pin Diyagramı



7486

İki girişli 4 adet XOR(ÖZEL VEYA) kapısı – Quad 2-input XOR gate



Sembol

Doğruluk Tablosu

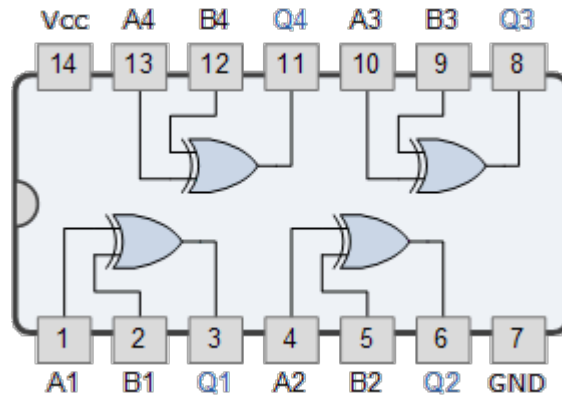


A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

Mantıksal ifade $Q = A \oplus B$

Q, A VEYA B ancak ikisi BİRDEN değil.

Pin Diyagramı

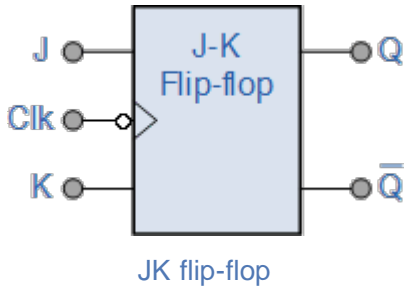


74112

JK Flip-Flop

J-K

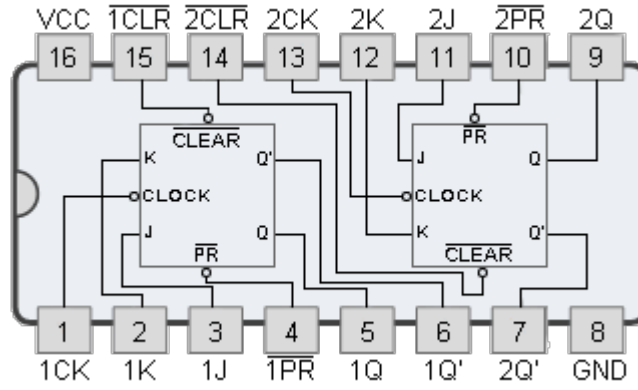
Sembol



Doğruluk Tablosu

$\overline{\text{CLR}}$	$\overline{\text{PR}}$	J	K	CLOCK	Q	$\overline{\text{Q}}$	Açıklama
0	1	X	X	X	0	1	Temizle
1	0	X	X	X	1	0	Önceden Ayarla
0	0	X	X	X	1	1	-
1	1	0	0	↓	Q(t-1)	$\overline{\text{Q}}(t-1)$	Değişim Yok
1	1	1	0	↓	1	0	-
1	1	0	1	↓	0	1	-
1	1	1	1	↓	$\overline{\text{Q}}(t-1)$	Q(t-1)	Geçiş
1	1	X	X	↑	Q(t-1)	$\overline{\text{Q}}(t-1)$	Değişim Yok

Pin Diyagramı

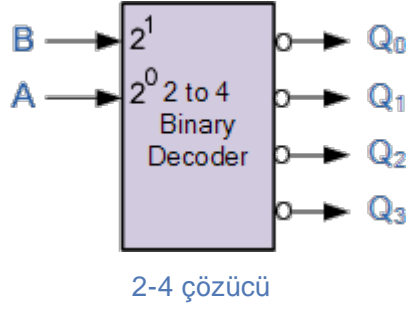


74139

İki 2-4 çözücü - Dual 2-to-4 decoder



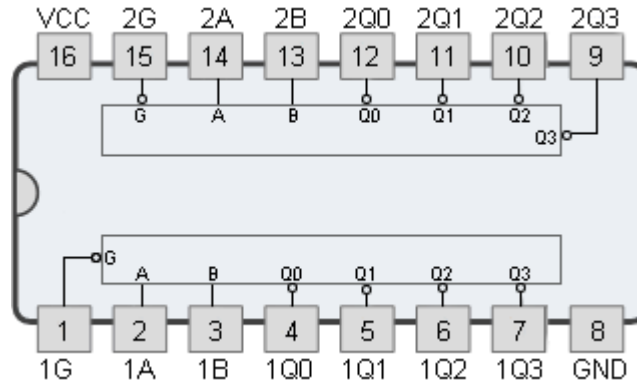
Sembol



Doğruluk Tablosu

B	A	Q0	Q1	Q2	Q3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

Pin Diyagramı

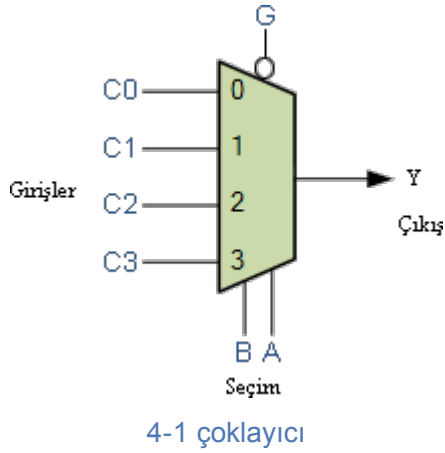


74153

İki 4-1 çoklayıcı - Dual 4-to-1 multiplexer

MUX

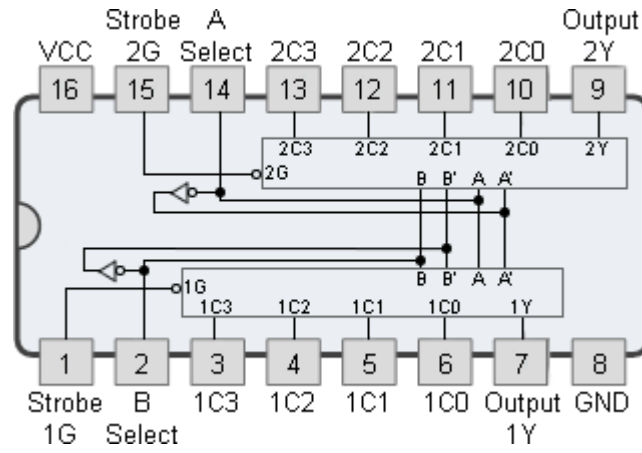
Sembol



Doğruluk Tablosu

A	B	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	1	0
0	0	0	X	X	X	0	0
0	0	1	X	X	X	0	1
1	0	X	0	X	X	0	0
1	0	X	1	X	X	0	1
0	1	X	X	0	X	0	0
0	1	X	X	1	X	0	1
1	1	X	X	X	0	0	0
1	1	X	X	X	1	0	1

Pin Diyagramı

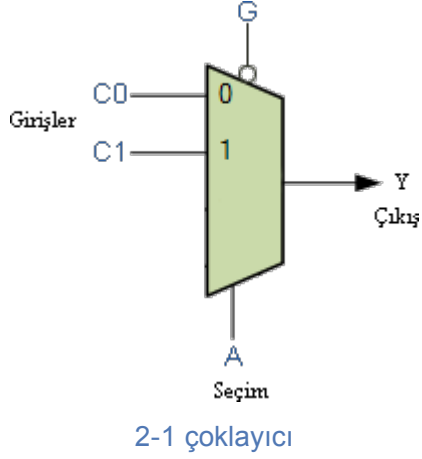


74158

Dört 2-1 çoklayıcı - Quad 2-to-1 multiplexer

MUX

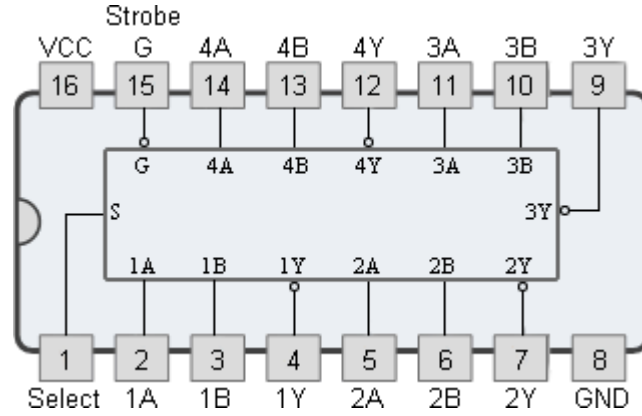
Sembol



Doğruluk Tablosu

G'	S	A	B	Y'
1	X	X	X	1
0	0	0	X	1
0	0	1	X	0
0	1	X	0	1
0	1	X	1	0

Pin Diyagramı

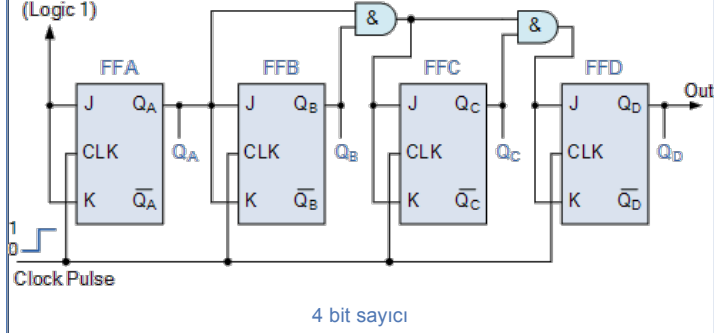


74163

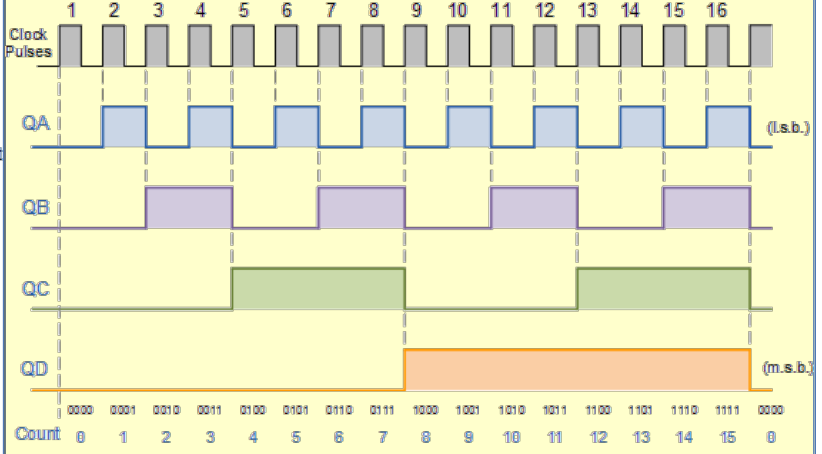
4-bit senkron binary sayıcı - 4-bit binary synchronous counter

..2

Sembol



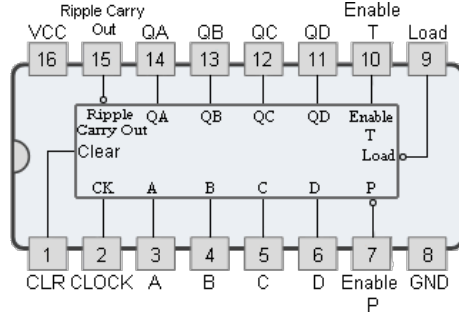
Dalga Formu Diyagramı



Doğruluk Tablosu

CLOCK	CLEAR	LOAD	Enable P	Enable T	D-A	QD	QC	QB	QA	Açıklama
↑	0	X	X	X	X	0	0	0	0	Sayacı sıfırla
↑	1	0	X	X	D-A	QD	QC	QB	QA	Sayaca girişi yükle
↑	1	1	1	1	X	0'dan 15'e kadar sayar				Sayacı artır

Pin Diyagramı

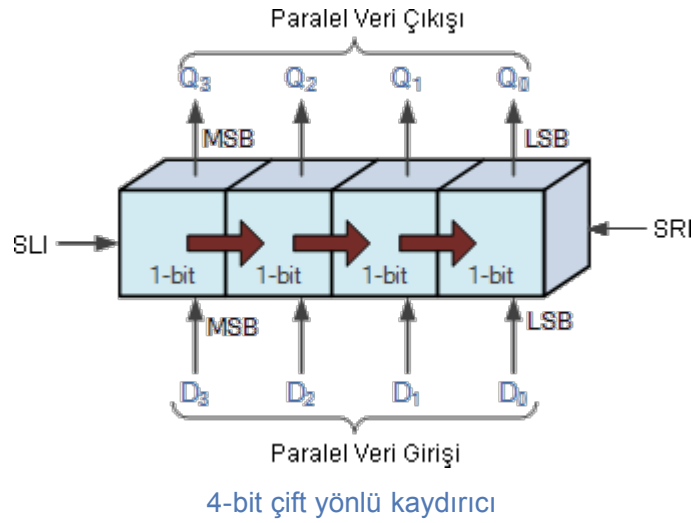


74194

4-bit paralel yüklemeli çift yönlü ötelemeli yazmaç 4-bit bidirectional shift register



Sembol



Fonksiyon Tablosu

clear	S1	S0	clock	SLI	SRI	A	B	C	D	QA	QB	QC	QD
0	X	X	X	X	X	X	X	X	X	0	0	0	0
1	X	X	0	X	X	X	X	X	X	QA0	QB0	QC0	QD0
1	1	1	↑	X	X	a	b	c	d	a	b	c	d
1	0	1	↑	X	1	X	X	X	X	1	QAn	QBn	QCn
1	0	1	↑	X	0	X	X	X	X	0	QAn	QBn	QCn
1	1	0	↑	1	X	X	X	X	X	QBn	QCn	QDn	1
1	1	0	↑	0	X	X	X	X	X	QBn	QCn	QDn	0
1	0	0	X	X	X	X	X	X	X	QA0	QB0	QC0	QD0

a, b, c, d = elle verilen durumlar.

QA0, QB0, QC0, QD0 = ilk durumlar.

QAn, QBn, QCn, QDn = önceki durumlar.

Pin Diyagramı

