

INSTITUTO SUPERIOR DE ENGENHARIA DE LISBOA
DEPARTAMENTO DE ENGENHARIA DE ELECTRÓNICA E TELECOMUNICAÇÕES E DE COMPUTADORES
Lógica e Sistemas Digitais
2º Teste - (18/Jul/2008)

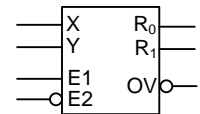
[1]

- a) Dada a função $F = A.(\overline{C} \oplus D) + A.\overline{B} + \overline{A}.\overline{C}.D + \overline{A}.C.\overline{D}$ obtenha a forma AND-OR, simplificando algebricamente.
- b) Obtenha a forma OR-AND simplificada de $G = ((B.\overline{C} + D)(\overline{A}.D + \overline{C}.D)) + \overline{A}.\overline{B}.(A + B + \overline{C} + D).A.\overline{C}.D$, utilizando mapas de *Karnaugh*.

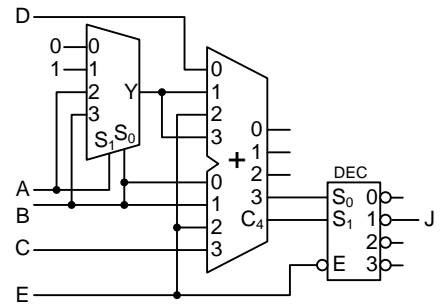
[2] Não dispondo das variáveis na forma complementar, realize com o mínimo de componentes as seguintes funções:

- a) $H = \overline{B}.\overline{C}.\overline{D} + A + B.\overline{C}.D$, apenas com portas NAND e NOR e XOR de duas entradas. Desenhe o circuito, explicitando o método utilizado.
- b) $I = \overline{C}(A + \overline{D}) + C(B + D)$, apenas com multiplexers de 4x1.

[3] Projecte e implemente com portas lógicas o módulo da figura ao lado. As saídas R_0 e R_1 representam, em binário natural, o resultado do produto de X por Y que valem respectivamente 2 e 3. A saída OV fica activa quando o resultado do produto excede o domínio de R. As entradas E1 e E2 funcionam como inibidoras do circuito, ou seja, se alguma destas estiver inactiva, todas as saídas do módulo ficam desactivadas.



[4] Dado o circuito da figura ao lado, obtenha a expressão simplificada para a saída J. Justifique.



[5]

- a) Represente o número $-(144)_6$ em código dos complementos na base 2, com o menor número de bits.
- b) Na operação $R = (x * 3 + x) - 4$, com $x = \overline{A} 0 B$ calcule justificando, expressões booleanas para cada um dos seis *bits* do resultado (em função de A e B).
- c) Complete os campos da tabela, assumindo que numa ALU de 4 *bits* está seleccionada a operação de subacção $R = A - B - Ci$. Justifique sucintamente os cálculos efectuados e o significado dos valores dos vários indicadores.

		R	A	B	Ci	Cy/ Br	Ov	BE	GE
Base 2					1				
Base 10	natural						-		-
	relativo			0		-	1	-	

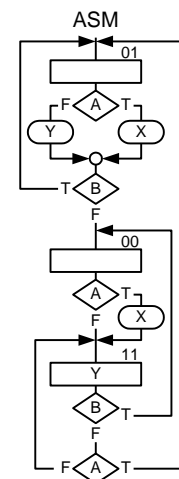
- [6] Dado o programa em CUPL, desenhe o *ASM-chart* referente a este módulo. Os símbolos de gráficos de decisão só devem conter o teste a uma variável, ou seja, não devem conter expressões booleanas.

```
[Q0..2].AR = 'b' 0;
[Q0..2].SP = 'b' 0;
```

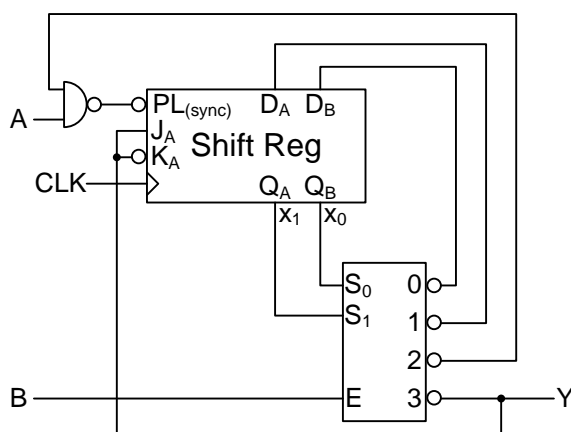
```
SEQUENCE [Q2..Q0]{
PRESENT 0
  NEXT 1;
PRESENT 1
  IF X & Y OUT A;
  IF X & Y NEXT 4;
  DEFAULT NEXT 2;
PRESENT 2
  OUT B;
  IF X # Y NEXT 2;
  DEFAULT NEXT 4;
PRESENT 4
  IF X $ !Y NEXT 1;
  DEFAULT NEXT 0;
}
```

- [7] Dada a máquina de estados descrita pelo *ASM-chart* da figura, e assumindo que caso a máquina se encontre no estado 01 deverá seguir para o estado 01, na próxima transição de *clock*:

- Obtenha as funções de saída e de geração do estado seguinte utilizando *flip-flops* do tipo JK;
- Admita a existência de uma entrada **síncrona** S (Set) que quando activa leva a máquina ao estado 11 e aí permanece enquanto S estiver activa. Indique quais as alterações a realizar na implementação da alínea a) de forma a implementar esta funcionalidade.
- Realize a máquina de estados descrita pelo ASM da figura utilizando uma PAL22V10. Descreva o programa em CUPL utilizando a estrutura SEQUENCE e especifique os pinos utilizados.



- [8] Desenhe o *ASM-chart* correspondente ao circuito da figura abaixo, com início no estado 00.



Os docentes

Questão	1a	1b	2a	2b	3	4	5a	5b	5c	6	7a	7b	7c	8	
Classificação	1,5	1,5	1,5	1,5	1	2	0,5	1,5	1,5	1,5	2	1	1	2	20