

Lógica e Sistemas Digitais - 0

Introdução e Bibliografia

ISEL

Departamento de Engenharia de Electrónica
e Telecomunicações e de Computadores
Lisboa

Mário Araújo

2016-1

Os slides estão organizados em 10 Capítulos e propõem-se servir de apoio à Unidade Curricular (UC) de **LÓGICA E SISTEMAS DIGITAIS** (LSD) e outras disciplinas curriculares sobre esta matéria, e também a orientar o estudo a quem individualmente pretender aprender a analisar e projetar sistemas de pequena e média complexidade com circuitos lógicos SSI (Small Scale Integration) e MSI (Medium Scale Integration), e Dispositivos Lógicos Programáveis (PLD) do tipo Programmable Array Logic (PAL).

- LSD 0 – INTRODUÇÃO E BIBLIOGRAFIA
- LSD 1 – ANÁLISE E SÍNTESE COMBINATÓRIA
- LSD 2 – REPRESENTAÇÃO E MINIMIZAÇÃO DE FUNÇÕES
- LSD 3 – ROM, PAL COMBINATÓRIA E PLA
- LSD 4 – MÓDULOS COMBINATÓRIOS MSI
- LSD 5 – CÓDIGOS NUMÉRICOS, CIRCUITOS ARITMÉTICOS E ITERATIVOS
- LSD 6 – ALUS E EXEMPLO DE APLICAÇÃO
- LSD 7 – LATCHES, FLIP-FLOPS E PAL SEQUENCIAL
- LSD 8 – CIRCUITOS SEQUENCIAIS
- LSD 9 – MÁQUINAS DE ESTADOS ALGORÍTMICAS

Índice dos Capítulos.

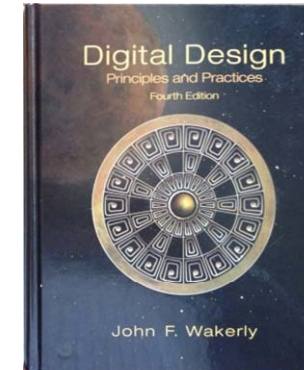
A UC de **LÓGICA E SISTEMAS DIGITAIS** tem uma forte componente prática, dividindo-se as aulas teórico-práticas entre:

- a apresentação das técnicas formais de representação, minimização e síntese de circuitos digitais combinatórios e sequenciais, e das arquiteturas e algoritmos envolvidos;
- a realização de 3 trabalhos de aplicação das metodologias de projecto e utilização de circuitos digitais MSI, incluindo PALs, utilizados na realização dos blocos funcionais dos Sistemas Digitais.





1.
PROJETO DE SISTEMAS DIGITAIS, 3ª EDIÇÃO, VITOR
PIMENTA RODRIGUES E MARIO SEIA DE ARAUJO



2.
DIGITAL DESIGN PRINCIPLES AND PRACTICES,
FOURTH EDITION, BY JOHN F. WAKERLY

3.
ARQUITECTURA DE COMPUTADORES
JOSÉ PARAISO (VER 2.1)
INSTITUTO SUPERIOR DE ENGENHARIA DE LISBOA -
ISEL

4.
DISPOSITIVOS LÓGICOS PROGRAMÁVEIS
MÁRIO P. VÉSTIAS
INSTITUTO SUPERIOR DE ENGENHARIA DE LISBOA -
ISEL



Antes da invenção do transistor bipolar, foi patenteado o MOSFET (Metal-oxide Semiconductor Field Effect Transistor, pelos físicos Julius Edgar Lilienfeld (em 1926 e 1928), e Oskar Heil em 1934.

A sua aplicabilidade era inicialmente reduzida devido à dificuldade de fabrico e à reduzida velocidade de operação.

O transistor foi inventado nos Laboratórios da Bell Telephone em 1947 por Bardeen e Brattain durante os estudos de superfícies em torno de um díodo de contato de ponto. Os transistores eram portanto do tipo 'point-contact'.

William Shockley, responsável pelo grupo de pesquisa em semicondutores, aperfeiçoou o transistor de contacto e desenvolveu o transistor de junção bipolar, baseado no conceito de dopagem em semicondutores.

O nome transistor deveu-se às suas propriedades intrínsecas de 'resistor de transferência' (TRANSfer reSISTOR).

Em 1956, Bardeen, Brattain e Shockley receberam o prémio Nobel da Física pela descoberta e aperfeiçoamento do transistor.

Shockley viria a criar a Shockley Semiconductor Co, da qual saíram em 1957 entre outros Gordon Moore e Robert Noyce, que com Sherman Fairchild criaram a Fairchild Semiconductor famosa nas décadas de 60 e 70, uma das companhias incubadoras do Silicon Valley que viria indiretamente a dar origem à Intel.

William Shockley John Bardeen Walter Brattain



1910-1989 1908-1991 1902-1987
(USA) (USA) (USA)

Os antigos transistores eram feitos de germânio, mas logo se descobriu que o silício oferecia uma série de vantagens sobre o germânio, apesar de ser mais difícil de refinar devido ao seu alto ponto de fusão. O silício, ao contrário do germânio, é um mineral abundante. As técnicas de produção permitiram popularizar o transistor e a causar uma verdadeira revolução na indústria electrónica, que só se repetiria com a invenção e aperfeiçoamento dos circuitos integrados em 1958. Houve assim dois marcos tecnológicos principais no progresso para a miniaturização:

- a invenção do transistor, que iniciou a electrónica do estado sólido, e
- a invenção do circuito integrado em 1958, que iniciou a microelectrónica.

Jack Kilby e Robert Noyce são considerados os ‘co-inventores’ do circuito integrado, também designado por ‘chip’, e esta é considerada uma das mais significativas invenções na história da humanidade. Jack Kilby foi prémio Nobel da Física em 2000, mas Robert Noyce desapareceu precocemente em 1990.

Jack Kilby trabalhava na Texas Instruments e Robert Noyce na Fairchild Semiconductor. Jack Kilby criou em 1958 o primeiro circuito integrado, colocando num único dispositivo monolítico miniaturizado de Germânio transístores, resistências e dispositivos semicondutores, e permitindo a sua interligação. Ao mesmo tempo Robert Noyce desenvolvia um projecto similar, baseado em silício, que veio a tornar-se o padrão.

Jack Kilby possuía um BSc em Engenharia Electrotécnica da Universidade de Illinois, e um MSc da Universidade de Wisconsin de 1950, e patentes em 60 invenções, incluindo uma referente à primeira calculadora portátil de 1967. Robert Noyce possuía 16 patentes na área de semicondutores, e um doutoramento do MIT de 1953. Trabalhou na Philco Corporation, foi fundador da Fairchild Semiconductor em 1957, e mais tarde, em 1968, da Intel.

A designação de J-K para o flip-flop com o mesmo nome (ver o capítulo LSD-7) está frequentemente associada a Jack Kilby. Este mito é desconstruído pelo testemunho do engenheiro P. L. Lindley, do Jet Propulsion Laboratory, que em 13 de Junho de 1968 escreveu uma carta aos editores da publicação periódica EDN (Electronic Design), que a divulgaram em Agosto do mesmo ano.

Nessa carta ele afirma que foi o Dr. Eldred Nelson que baptizou o flip-flop de J-K, entre 1948 e 1954, quando era director do Hughes Aircraft Advanced Electronics Laboratories. O Dr. Eldred Nelson foi um físico que trabalhou com Ernest Lawrence e Enrico Fermi, ambos prémios Nobel da Física em 1939 e 1938 respectivamente, e ainda com Robert Openheimer, director do Projecto Manhattan durante a segunda guerra mundial.

A questão era simples: os flip-flops já eram intensivamente usados pela Hughes Aircraft, e o Dr. Eldred Nelson utilizava profusamente pares de letras A-B, C-D ... para distinguir os vários flip-flops, tendo estabilizado na designação constante J-K com vários subscritos para fazer a distinção. A escolha de J-K deveu-se ao facto de serem ‘nice, innocuous letters’ como refere a dita carta.

Jack Kilby



1923-2005
(USA)

Robert Noyce

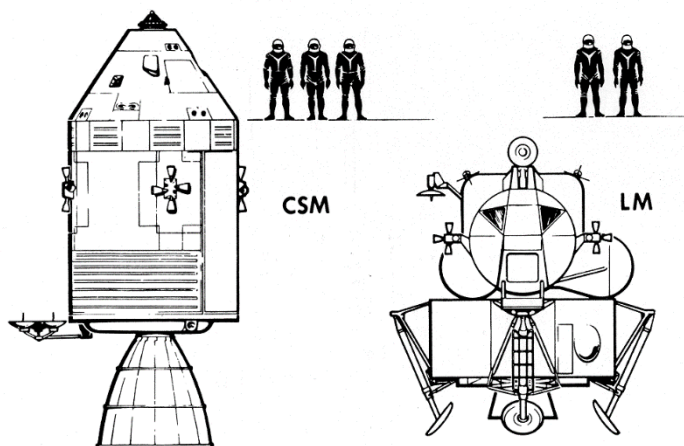


1927-1990
(USA)

A constituição de uma porta lógica depende da tecnologia usada na sua construção. Um circuito integrado (CI) digital agrupa portas lógicas de uma mesma família e a sua fabricação obedece a características próprias.

Um CIRCUITO INTEGRADO é, em geral, formado por um pequeno cristal de silício onde se difundiram impurezas para formar transistores, díodos, resistências e outros elementos de circuitos, interligados entre si para materializarem circuitos digitais.

As primeiras aplicações de circuitos integrados em COMPUTADORES DIGITAIS deram-se no sector aeroespacial, sendo o Apollo Guidance Computer (AGC) o primeiro exemplo de que há memória.



Computadores Digitais e Referências históricas do Programa Lunar.

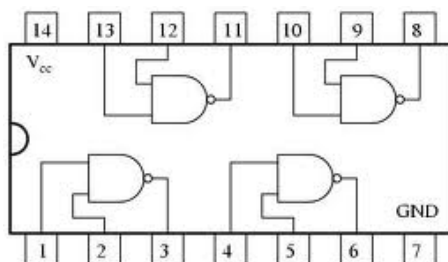
Este computador, de que havia um exemplar na nave-mãe (Comand Service Module – CSM), e outro no módulo lunar (Lunar Extended Module – LUM) foi desenhado no MIT e construído pela Raytheon, tendo sido de 1962 a 1965 a aplicação com maior número de circuitos integrados no mundo (5600 circuitos do tipo porta NOR de 3 entradas em tecnologia DTL). Pesava 35 kg e consumia 55 W, foi utilizado na descida do Eagle (com Neil Armstrong e Buzz Aldrin a bordo) no Mar da Tranquilidade da superfície lunar em Julho de 1969.

Os circuitos integrados podem ser classificados segundo o número de portas lógicas que utilizam de acordo com as designações:

- **SSI (SMALL-SCALE INTEGRATION)** – os que utilizam até 10 portas básicas simples.
- **MSI (MEDIUM-SCALE INTEGRATION)** – os que utilizam mais de 10 e até 100 portas e já desempenham funções elementares sendo exemplo os somadores e os contadores.
- **LSI (LARGE-SCALE INTEGRATION)** – os que utilizam mais de 100 e até alguns milhares de portas sendo exemplo os pequenos processadores.
- **VLSI (VERY LARGE-SCALE INTEGRATION)** – os que utilizam mais de 1 milhão de transistores (no ano 2000 havia já circuitos com 50 milhões de transistores), de que são exemplo os microprocessadores.

As famílias lógicas de referência neste curso são a **TTL** (**TRANSISTOR-TRANSISTOR LOGIC**) e a **CMOS** (**COMPLEMENTARY METAL-OXIDE SEMICONDUCTOR**). A CMOS é dominante pelo baixo consumo e grande capacidade de integração (menores requisitos de área por transístor).

A família TTL tem uma importância histórica por ter sido a primeira a conter circuitos integrados digitais iniciados na gama SSI e MSI, tendo posteriormente passado a contar com variantes LSI e VLSI.



Embalagem DIP (Dual In-line Package) do circuito integrado 74LS00 com a numeração dos pinos e das entradas e saídas neles disponíveis.

Foi comercializada pela primeira vez em meados dos anos 60, popularizou-se durante essa década e estabeleceu critérios e normas que levaram a que outras famílias de tecnologia mais actual se tornassem com ela total ou parcialmente compatíveis, como a família CMOS, de tal modo que hoje em dia a designação TTL é tomada no sentido de TTL-COMPATÍVEL. Utiliza resistências e transístores bipolares (Bipolar Junction Transistors – BJT).

Designa-se por TTL porque tanto os andares de entrada lógica como os de saída amplificadora são desenhados com transístores (ao contrário das famílias precursoras **RTL** (Resistor-Transistor Logic) e

DTL (Diode-Transistor Logic), que usavam resistências e díodos nos andares de entrada).

Os circuitos da família TTL subdividem-se em várias subfamílias com características diferenciadas, mas todas compatíveis entre si.

Podem ser encontrados em duas séries denominadas **74** (para uso comercial funcionando numa gama de temperaturas de 0 a +70 graus centígrados), e **54** (para uso militar, funcionando numa gama de temperaturas de – 55 graus centígrados a +125 graus centígrados). A nomenclatura dos circuitos integrados da família TTL segue o padrão de numeração **74xxxyyy** para a versão comercial, e **54xxxyyy** para a versão militar.

As letras **xxx** entre o número 74/54 e o número **yyy** servem para caracterizar as subfamílias com diversas especificações relativas:

- ao tempo de propagação por porta
- à frequência de operação,
- ao consumo em energia elétrica e
- potência dissipada sob a forma de calor, e
- à margem de ruído.

Os números **yyy** determinam a função lógica que o circuito executa. A subfamília 74yyy sem as letras intermédias corresponde à série TTL Standard (comercial).

Existem outras famílias como a **ECL** (EMITTER-COUPLED LOGIC) usada em aplicações de alta frequência, a **BiCMOS** (BIPOLAR COMPLEMENTARY METAL-OXIDE SEMICONDUCTOR) que combina CMOS com TTL, e a **GaAs** (GALLIUM-ARSENIDE) usada em circuitos que operam em muito alta frequência.

| FAMÍLIA TTL | SÉRIE 74 STANDARD | SÉRIE 74 LS LOW POWER SCHOTTKY | UNIDADES |
|---|-----------------------------|---|----------|
| Consumo/Porta | 10 | 2 | mW |
| Tempo de atraso/Porta (Propagation Delay) | 9 | 9 | nS |
| Consumo x Tempo de Atraso (Speed-Power Product) | 90 | 18 | pJ |
| V_{IHmin} | 2 | 2 | V |
| V_{ILmax} | 0,8 | 0,8 | V |
| I_{IHmax} | 40 | 20 | μA |
| I_{ILmax} | - 1,6 | - 0,36 | mA |
| V_{OHmin} | 2,4 | 2,7 | V |
| V_{OLmax} | 0,4 | 0,5 | V |
| I_{OHmax} | - 400 | - 400 | μA |
| I_{OLmax} | 16 | 8 | mA |
| Fan-out | 10 | 20 | |

Parâmetros retirados das folhas de características dos fabricantes com indicação dos valores máximos e mínimos para tensões e correntes em regime estacionário.

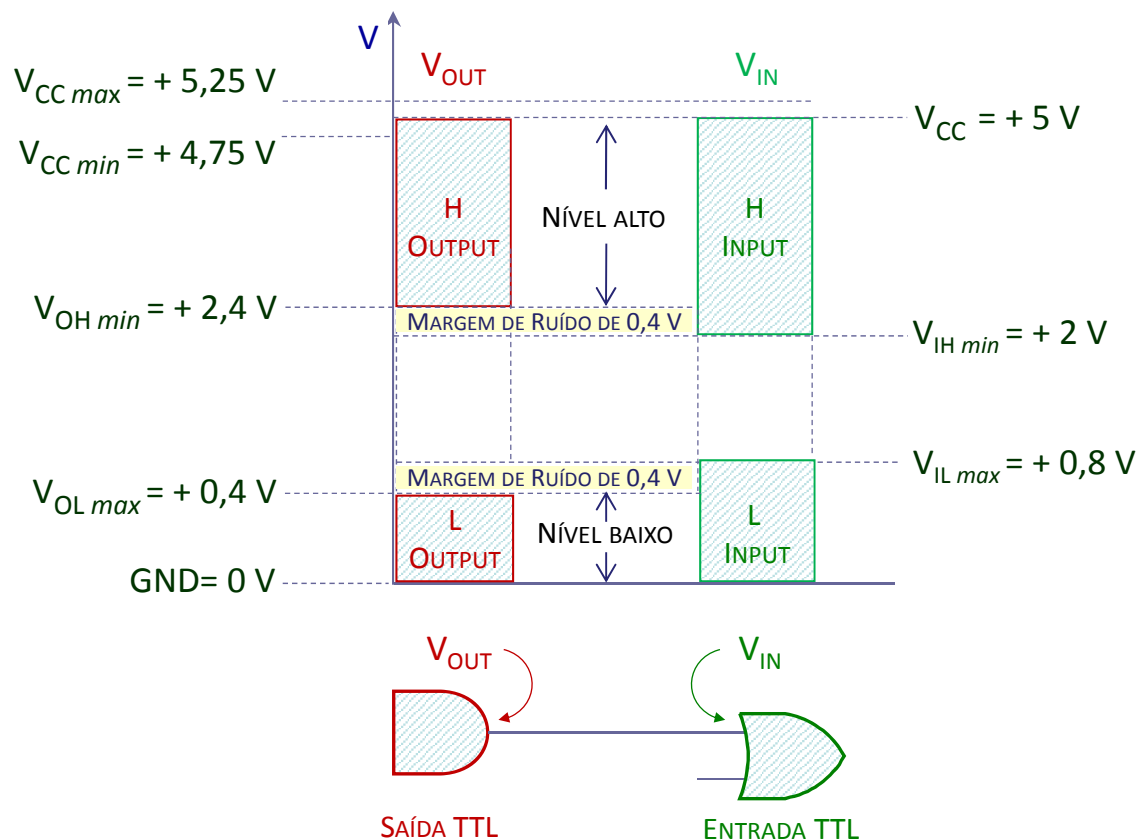
| SÉRIE | NOME | VELOCIDADE | CONSUMO |
|--------|---------------------------------|------------|----------|
| 74 | STANDARD | Std. | Std. |
| 74 H | HIGH POWER | High | High |
| 74 L | LOW POWER | Low | Low |
| 74 LS | LOW POWER SCHOTTKY | Std. | Low |
| 74 S | SCHOTTKY | High | High |
| 74 ALS | ADVANCED LOW POWER SCHOTTKY | High | Low |
| 74 AS | ADVANCED SCHOTTKY | V. High | Std. |
| 74 F | FAST TTL | V. High | High |
| 74 HC | HIGH SPEED CMOS | Std. | V. Low |
| 74 HCT | HIGH SPEED CMOS WITH TTL INPUTS | Std. | V. Low |
| 74 C | CMOS – TTL PINOUT | Low | V.V. Low |

Variantes tecnológicas TTL e CMOS com denominação 74xxx correspondentes a soluções de compromisso entre velocidade e consumo suscitadas pela evolução tecnológica.

CARACTERÍSTICAS ELÉCTRICAS DAS PORTAS DA FAMÍLIA TTL

0-9

TTL: TRANSISTOR **T**RANSISTOR **L**OGIC



V_{OH} OUTPUT HIGH LEVEL VOLTAGE
 V_{OL} OUTPUT LOW LEVEL VOLTAGE
 V_{IH} INPUT HIGH LEVEL VOLTAGE
 V_{IL} INPUT LOW LEVEL VOLTAGE

As portas lógicas distinguem 2 intervalos distintos de tensão, que são interpretados como 1 ou H (**H** de **HIGH**), e 0 ou L (**L** de **LOW**). A associação de valores lógicos 0 e 1 com os níveis de tensão nos circuitos utilizados nas diversas tecnologias pode ser feita fazendo corresponder o 0 lógico ao nível L e o 1 lógico ao nível H. É a designada Lógica Positiva, mas há a possibilidade inversa.

TENSÕES DE ALIMENTAÇÃO PARA A FAMÍLIA TTL

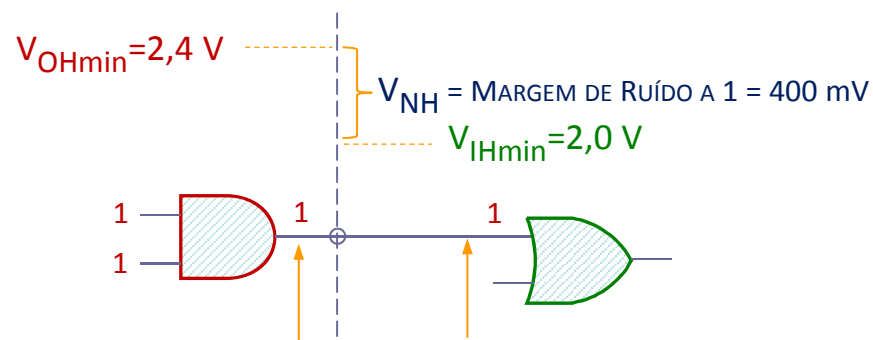
- **+5V** $\pm 5\%$ para as séries normais (comerciais), e
- **+5V** $\pm 10\%$ para as séries militares.

A tensão de +5V é habitualmente designada por V_{CC} , e os circuitos TTL são alimentados entre a tensão V_{CC} e a tensão da massa ($GND = 0V$).

Os valores de tensão de entrada V_{IN} entre +2V e +5V são interpretados como nível H, e entre 0V e +0,8V como nível L. Os valores de tensão de saída V_{OUT} acima de +2,4V são interpretados como nível H, e os entre 0V e +0,4V como nível L.

As entradas das portas possuem uma especificação mais ampla que as das saídas. O intervalo de 0,4 V entre os valores extremos à saída de uma porta lógica e à entrada da seguinte designa-se por MARGEM DE RUÍDO.





A tensão nesta saída a 1 nunca será menor que 2,4V (a não ser que ocorra um pico de ruído).

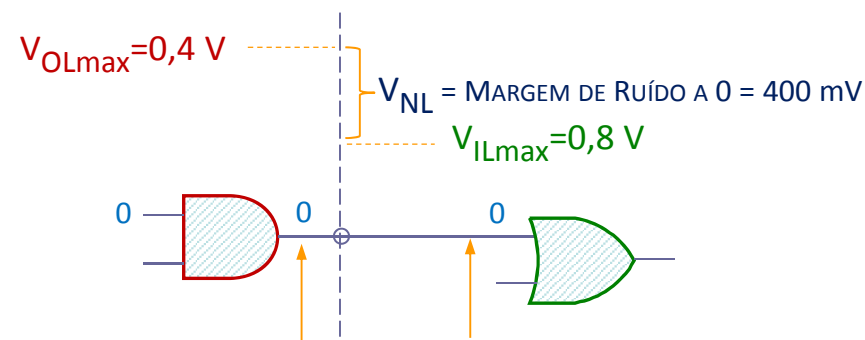
A tensão nesta entrada será entendida como 1 desde que seja igual ou superior a 2,0V.

Margem de ruído no nível H (High) na tecnologia TTL.

A MARGEM DE RUÍDO, definida como o desvio máximo admissível aos níveis de entrada de uma porta sem provocar mudança de estado, é um parâmetro importante. É desejável que a margem de ruído seja a mesma para os níveis lógicos 0 e 1. O ruído eléctrico advém da influência dos campos eletromagnéticos circundantes do circuito.

A margem de ruído para o nível lógico-1 é determinada por $V_{OHmin} - V_{IHmin}$ e é de 400 mV para a série TTL standard.

A margem de ruído para o nível lógico-0 é determinada por $V_{ILmax} - V_{OLmax}$ e é igualmente de 400 mV para a série TTL standard, como visível no slide anterior.



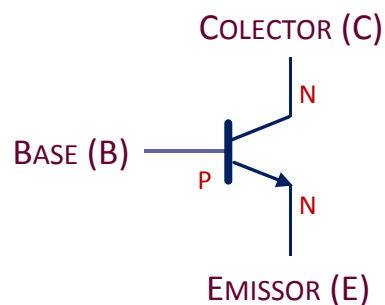
A tensão nesta saída a 0 nunca será superior a 0,4 V.

A tensão nesta entrada será entendida como 0 desde que seja igual ou inferior a 0,8V.

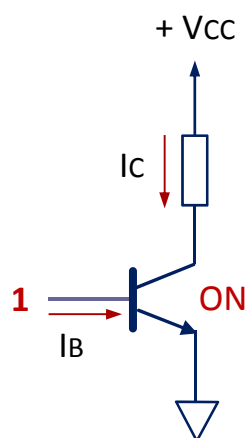
Margem de ruído no nível L (Low) na tecnologia TTL.

Refere-se o significado das seguintes siglas:

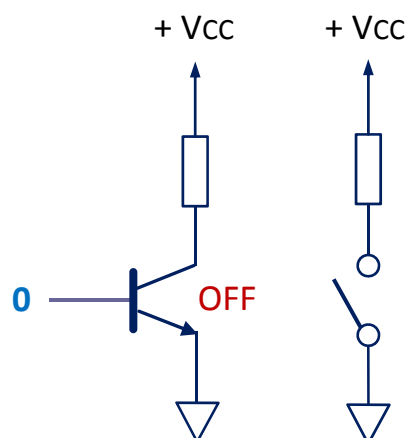
- V_{IHmin} (INPUT HIGH LEVEL VOLTAGE MIN) significa a tensão mínima de entrada para o nível lógico-1.
- V_{ILmax} (INPUT LOW LEVEL VOLTAGE MAX) significa a tensão máxima de entrada para o nível lógico-0.
- V_{OHmin} (OUTPUT HIGH LEVEL VOLTAGE MIN) significa a tensão mínima de saída para o nível lógico-1.
- V_{OLmax} (OUTPUT LOW LEVEL VOLTAGE MAX) significa a tensão máxima de saída para o nível lógico-0.



Símbolo gráfico de um transistor NPN.



Transistor NPN na SATURAÇÃO (ON) e circuito equivalente ideal: circuito fechado.



Transistor NPN ao CORTE (OFF) e circuito equivalente ideal: circuito aberto.

A tecnologia TTL utiliza transistores bipolares a funcionar ao corte ou à saturação.

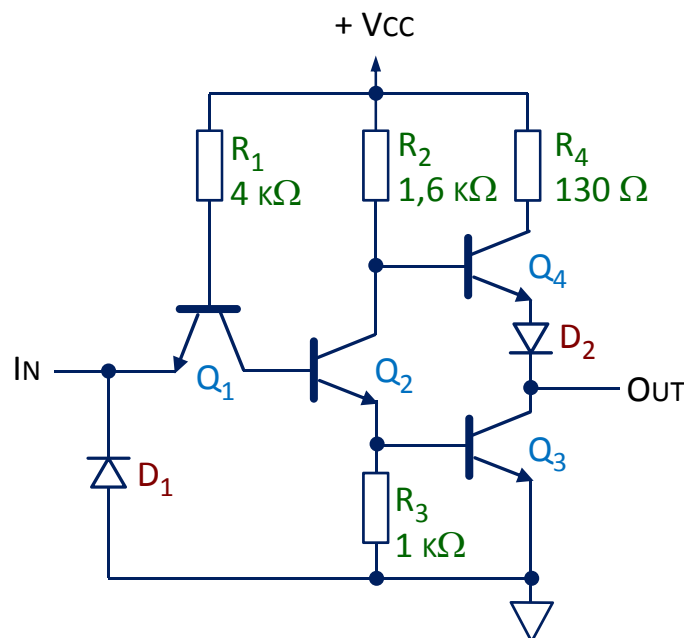
O transistor é um dispositivo semicondutor composto por duas junções P-N. Pode ter-se uma disposição NPN ou PNP.

Existem quatro combinações possíveis de polarização das duas junções.

A SATURAÇÃO e o CORTE são utilizados nos circuitos digitais em que o transistor funciona como INTERRUPTOR.

Na família TTL há também alguns blocos lógicos montados em OPEN-COLETOR (coletor aberto). Estes circuitos têm semelhança aos convencionais, mas no seu interior não possuem o ramo ligado a +Vcc.

Este ramo tem de ser ligado externamente quando este bloco for utilizado. Esta configuração possibilita o controle externo da corrente do coletor de saída e proporciona o aumento do FAN-OUT, além de poder habilitar a interligação de saídas entre si sem provocar danos.



Estrutura interna de uma porta TTL evidenciando o andar Totem Pole constituído por Q3 e Q4.

O andar de saída típico das portas TTL é denominado TOTEM POLE ('pau de feitiçaria') ou LINE DRIVER.

A malha R2, R4, Q4, D2 é encarada como um PULL-UP activo sobre o transístor Q3, em alternativa a um PULL-UP passivo sobre o mesmo transístor que seria constituído por uma simples resistência de polarização de colector.

Quando a saída da porta corresponder ao valor lógico 1, os transístores Q2 e Q3 estarão ao corte, pelo que a característica de saída $V_O = f(I_O)$ ficará só dependente do PULL-UP ativo.

O PULL-UP ativo apresenta uma impedância não linear, dependente da carga da porta e do valor lógico presente. Com Q4 à saturação (valor lógico 1), providencia baixa impedância de saída: a impedância variacional de saída será aproximadamente $R_{S1212} = R_4 = 130 \text{ Ohm}$.

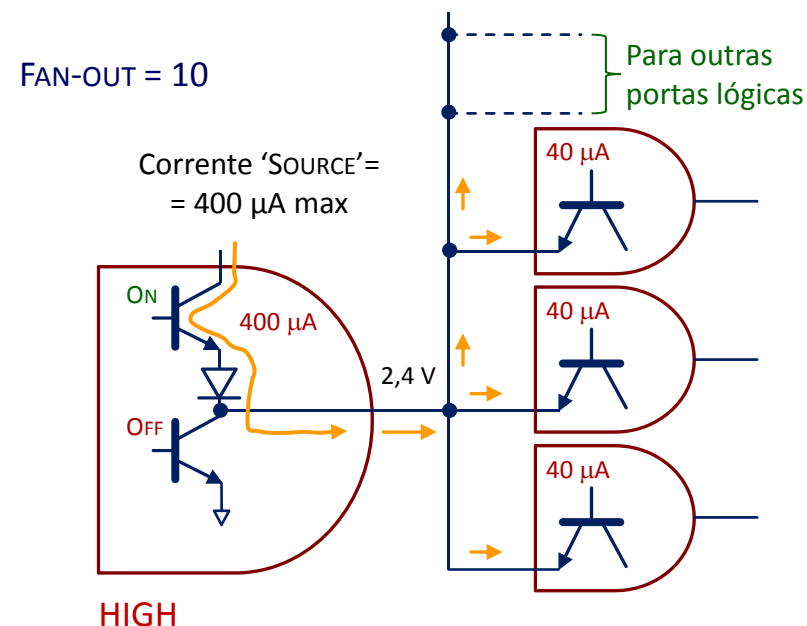
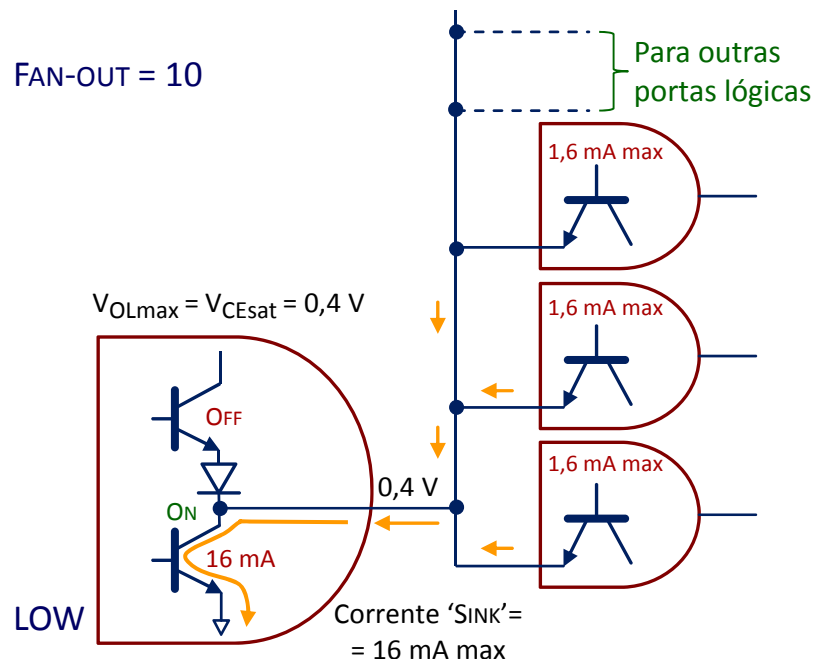
Quando se apresenta à saída o valor lógico 0, não há contrapartida de se forçar uma corrente elevada sobre Q3. Nestas condições, a tensão presente à saída corresponde à tensão coletor-emissor do transístor Q3 à saturação. O PULL-UP ativo mantém-se em aberto, dado Q4 estar ao corte.

Tensões negativas na entrada (IN) sofrem a ação limitadora (CLAMPING) do díodo D1.

Os díodos CLAMP são usados nas entradas das portas lógicas TTL, com o objetivo de amortecer múltiplas reflexões provenientes do trânsito de impulsos através de linhas mal adaptadas em impedância – condição trivial sempre que se estabelecem interligações entre saídas e entradas de portas.

FAN-OUT E FAN-IN DAS PORTAS TTL STANDARD

0-13



FAN-IN (factor de carga de entrada) é essencialmente o número de entradas disponíveis de uma porta lógica (as portas lógicas com um alto FAN-IN são mais lentas que portas lógicas com baixo FAN-IN).

FAN-OUT (factor de carga de saída) indica o número de entradas de portas lógicas que podem ser ligadas à saída de uma porta sem causar distorções ou degradação no desempenho lógico do circuito. Para a série 74 TTL STANDARD esse valor é de 10 o que significa que se podem ligar até 10 portas TTL numa saída TTL standard. Para a série 74LS (LOW-POWER SCHOTTKY) o FAN-OUT é 20.

Quando se pretende, a partir da saída de uma porta, excitar um número de portas que exceda o fan-out da excitadora, ter-se-ão que intercalar portas identidade, como ampliadoras de FAN-OUT.

Na interligação de portas lógicas de famílias lógicas iguais ou diferentes, há que tomar em conta os conceitos de FAN-IN e de FAN-OUT.

Uma porta CMOS possui um FAN-OUT superior a uma porta TTL, mas o FAN-OUT da família CMOS é dependente da frequência de operação devido efeito capacitivo nas entradas das portas CMOS. A carga apresentada por uma porta TTL à saída de outra porta é puramente resistiva.

LIGAÇÃO DE ENTRADAS NÃO UTILIZADAS NAS PORTAS TTL STANDARD

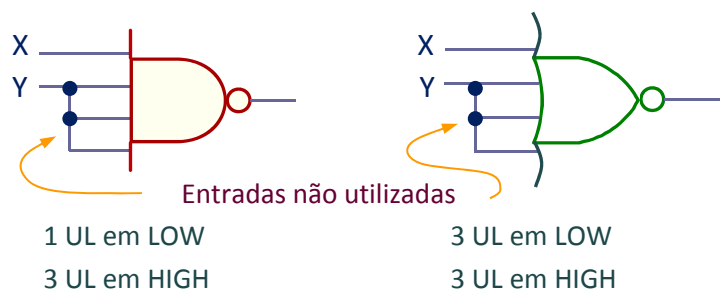
0-14

Uma entrada de qualquer porta da família TTL, quando deixada desligada (FLOATING), é interpretada como tendo presente o nível lógico 1.

No entanto não é recomendável deixar uma entrada desligada. Dada a condição de alta impedância presente, a entrada fica sensível a induções eletromagnéticas (ruído envolvente), podendo esporadicamente tomar o valor lógico 0 e levar a um funcionamento errático do circuito.

A fim de se minimizar a sensibilidade ao ruído e otimizar os tempos de comutação (eliminar os efeitos capacitivos associados com as entradas não utilizadas), as entradas que se desejem permanentemente ao valor lógico 1 deverão ser ligadas a V_{CC} (+ 5 V) através de uma resistência PULL-UP de $1\text{ K}\Omega$, e as entradas que se desejem permanentemente ao valor lógico 0 deverão ser ligadas à massa.

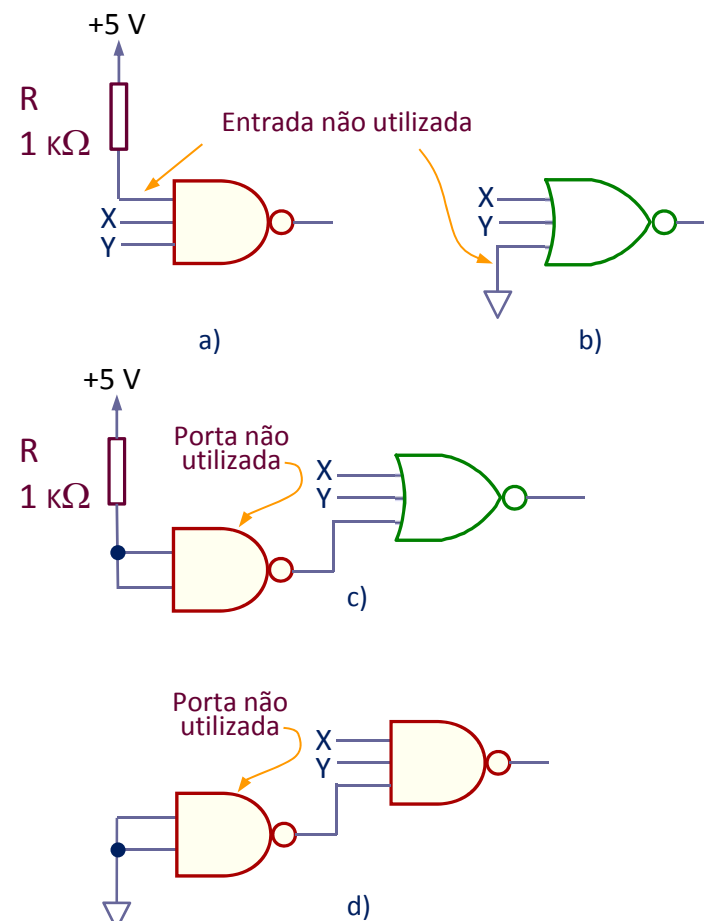
A inserção da resistência R de PULL-UP tem um efeito limitador de corrente, evitando a deterioração permanente da porta pela ocorrência de sobretensões transitórias nos barramentos V_{CC} . Na série TTL STANDARD, a presença, mesmo que momentânea, de tensões que ultrapassem 5,5 V é suficiente para deteriorar permanentemente a junção base-emissor do transistor de entrada.



1 UL (Unit Load) ou
Carga Unitária TTL:

- 40 μA no nível lógico 1 (HIGH);
- 1,6 mA no nível lógico 0 (LOW).

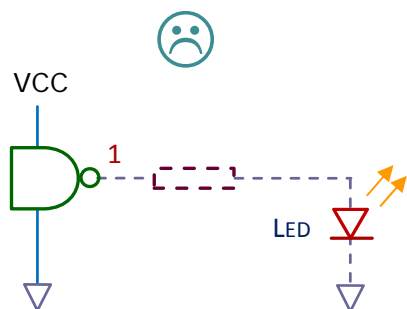
Ligação de 2 entradas não utilizadas a uma outra entrada em uso em portas AND, NAND, OR e NOR. Este método implica o aumento da corrente de carga da porta.



Ligação de entradas não utilizadas:

- a) a V_{CC} através de uma resistência PULL-UP de $1\text{ K}\Omega$ em portas AND e NAND;
- b) à terra em portas OR e NOR;
- c) e d) através de uma porta não utilizada.

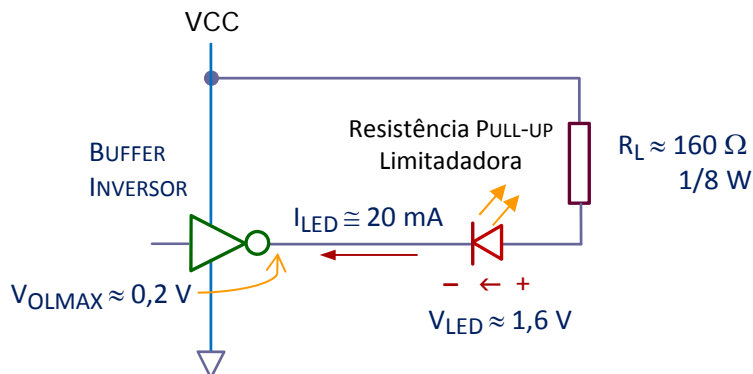




Ligação incorrecta de uma porta TTL a um LED.

A corrente de saída I_{OH} alta da porta NAND com a saída a 1 na família TTL é da ordem de $400\mu A$. Esta corrente tem um valor muito baixo que não dá para ativar um LED como na Fig. acima. O LED necessita tipicamente de 10 a 20 mA.

A máxima corrente de saída de uma porta TTL ocorre quando a saída está no estado 0 (absorvendo corrente dita de SINK) e é para a série 74 standard da ordem de 16 mA ($I_{OLmax} = 16mA$), e para a série 74LS da ordem de 8 mA ($I_{OLmax} = 8mA$).



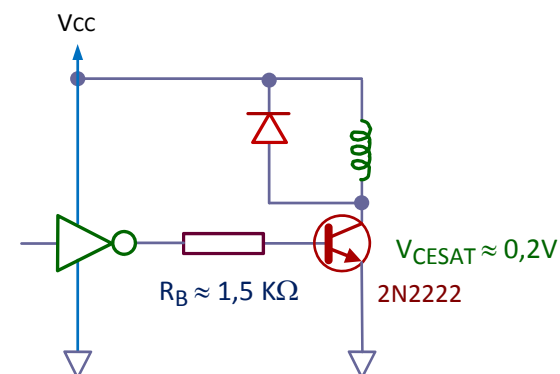
Ligação de uma porta TTL do tipo BUFFER INVERTOR com OPEN-COLLECTOR (como o 7406) a um LED.

Torna-se necessário, portanto, o uso de DRIVERS do tipo OPEN COLLECTOR ou de outros dispositivos como TRANSISTORES que aumentem a capacidade de corrente para accionar cargas externas que requeiram correntes maiores.

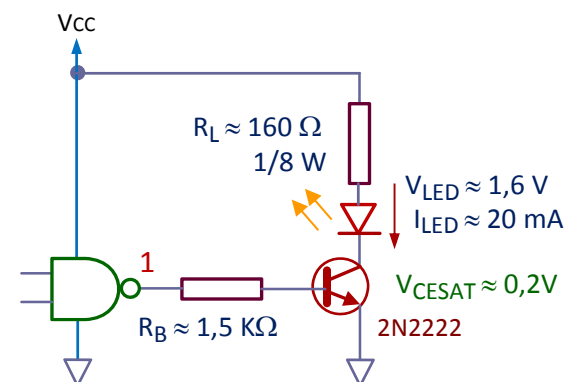
A Fig. acima mostra a ligação de um buffer inversor com OPEN-COLLECTOR como o 7406 a um LED. O buffer apresenta valores de tensão e corrente acrescidos: $V_{OH} = 30V$ (a saída suporta 30V quando está a 1 e transistor interno de saída OFF) e $I_{OL} = 40mA$ (a saída tem capacidade de absorver até 40 mA de corrente SINK quando está a 0 e o transistor interno a ON).

$$V = IR_L \Rightarrow R_L = (5 - 1,6 - 0,2)V / 20mA = 160\Omega$$

$$P_{RL} = I^2 \times R = (20mA)^2 \times 160\Omega = 0,064W$$



Ligação de uma porta TTL com saída normal à bobina de um relé utilizando um TRANSISTOR.



Ligação de uma porta TTL com saída normal a um LED utilizando um TRANSISTOR.

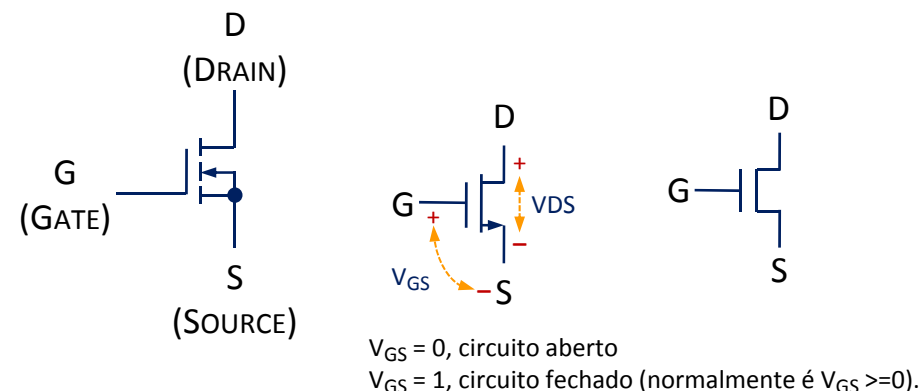
A Fig. acima mostra a ligação através de um transistor à bobina de um relé e a um LED (ou a uma lâmpada de maior consumo).

O Transístor de Efeito de Campo (FET—FIELD EFFECT TRANSISTOR), é um dispositivo Semicondutor, construído com três terminais (Porta ou Gate (G), Fonte ou Source (S), Dreno ou Drain (D) – existe um quarto terminal, o Substrato (S), que é frequentemente omitido por simplicidade).

O FET é um dispositivo Unipolar porque a corrente é produzida somente por um tipo de Portador de Carga (Electrões para o FET canal-n, ou Lacunas para o FET canal-p), contrariamente ao Transístor de Junção Bipolar (BJT), no qual a corrente é produzida por ambos os Portadores de Cargas (Electrões e Lacunas).

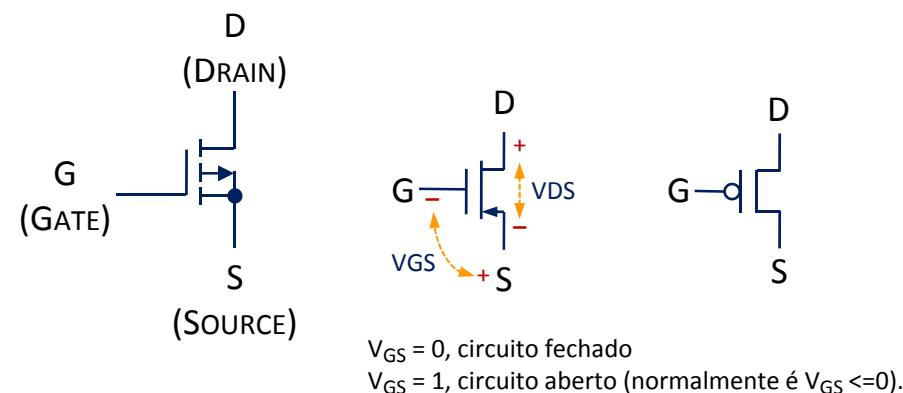
A corrente eléctrica que passa entre a fonte (S) e o dreno (D) é controlada pela tensão aplicada ao terceiro terminal, a porta (G) que deve estar electricamente isolada da fonte (S) e do dreno (D). As tensões que são usadas para controlar o fluxo de corrente através do dispositivo são V_{GS} e V_{DS} (a tensão de substrato V_{SB} também afeta o fluxo de cargas).

A tecnologia MOS (MOS – Metal Oxyde Semiconductor) usa 2 tipos básicos de transistores FET: o MOSFET canal-n (NMOS) e o MOSFET canal-p (PMOS). A Fig. mostra os símbolos mais usados. Existe uma seta que indica a polaridade da Junção p-n entre o Substrato e o Canal.



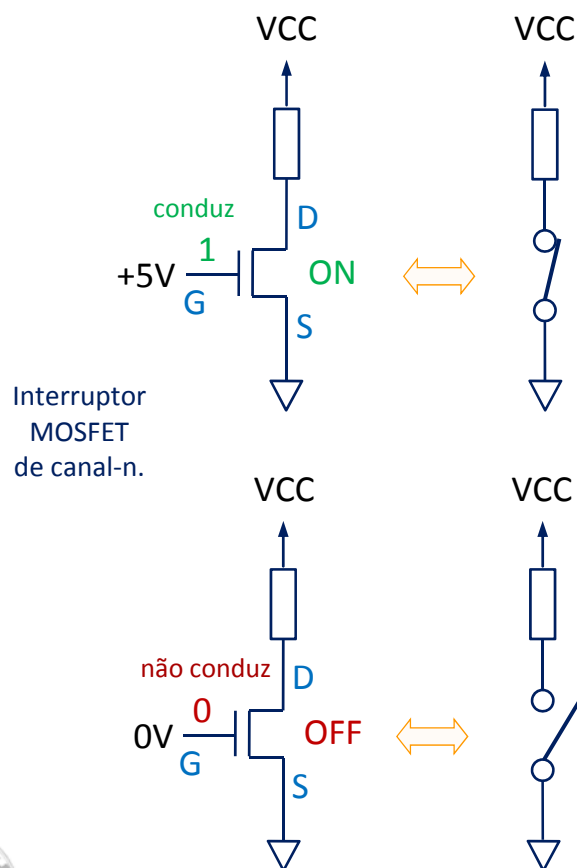
Símbolos de um MOSFET canal-n (ou n-MOS).

Para a distinção entre n-MOS e p-MOS é usado o círculo no terminal (G) para indicar inversão (símbolos à direita em baixo).



Símbolos de um MOSFET canal-p (ou p-MOS).

O comportamento destes transistores pode ser modelado, de forma simplificada, como interruptores controlados pela tensão V_{GS} correspondente aos níveis lógicos 0 e 1 (este modelo ignora detalhes electrónicos mais complexos, mas é suficiente para perceber o funcionamento básico das portas digitais).

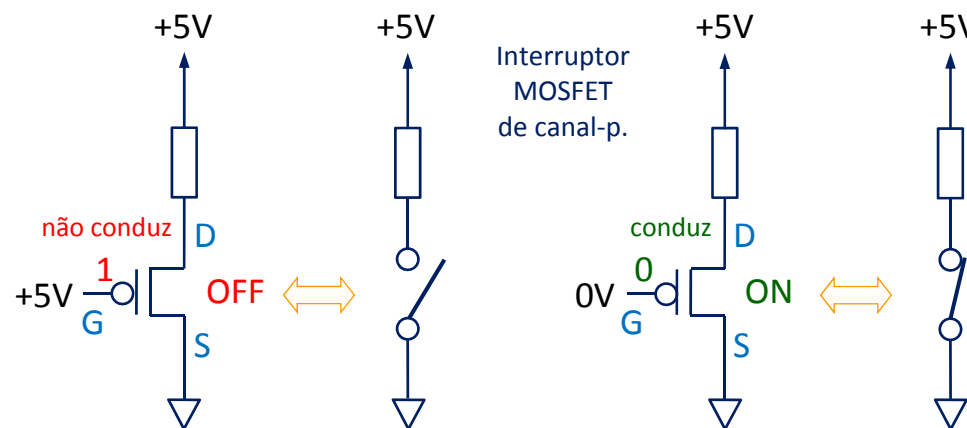


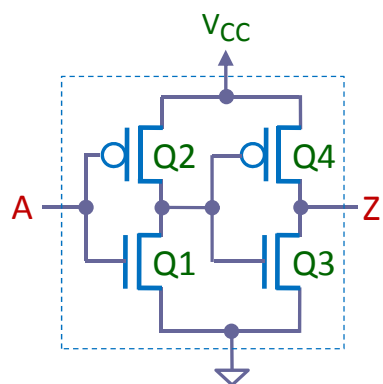
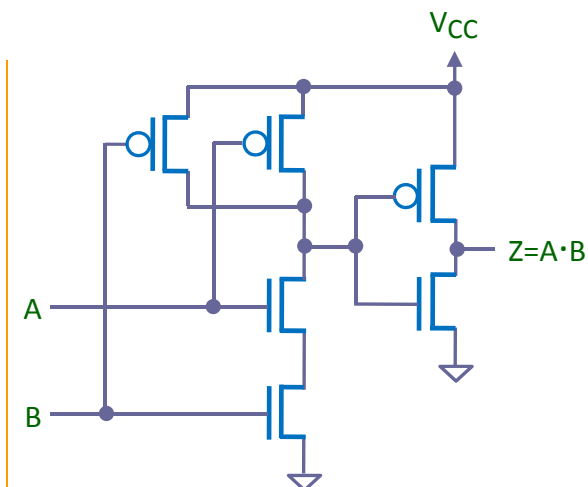
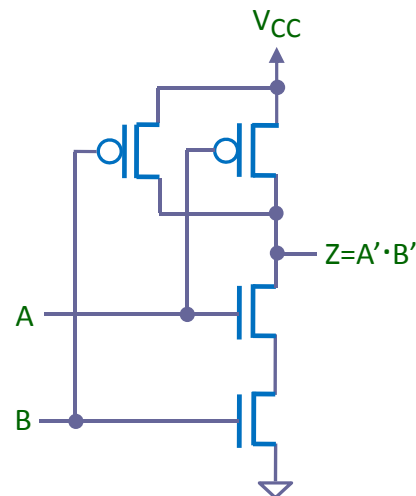
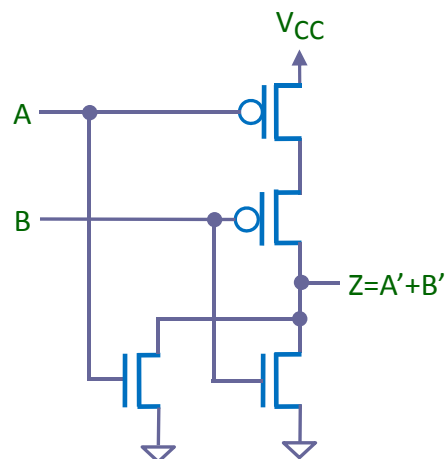
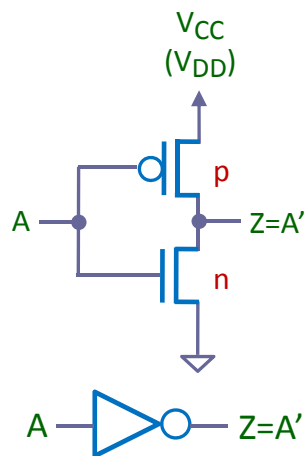
Transistor n-MOS:

- quando tem um 0 no terminal de controlo (a tensão V_{GS} aplicada entre G e S tem um valor nulo), o percurso entre D e S, chamado canal (canal-n neste caso), apresenta uma resistência praticamente infinita (pelo menos de 1 megaohm) e funciona como um interruptor aberto entre os 2 outros terminais (D e S).
- quando tem um 1 no terminal de controlo (a tensão V_{GS} aplicada entre G e S tem um valor positivo suficiente), o canal-n apresenta uma resistência praticamente nula funciona como um interruptor fechado entre os 2 outros terminais (D e S).

Transistor p-MOS:

- quando tem um 0 no terminal de controlo (G), funciona como um circuito fechado entre os 2 outros terminais (D e S).
- quando tem um 1 no terminal de controlo (G), funciona como um circuito aberto entre os 2 outros terminais (D e S).





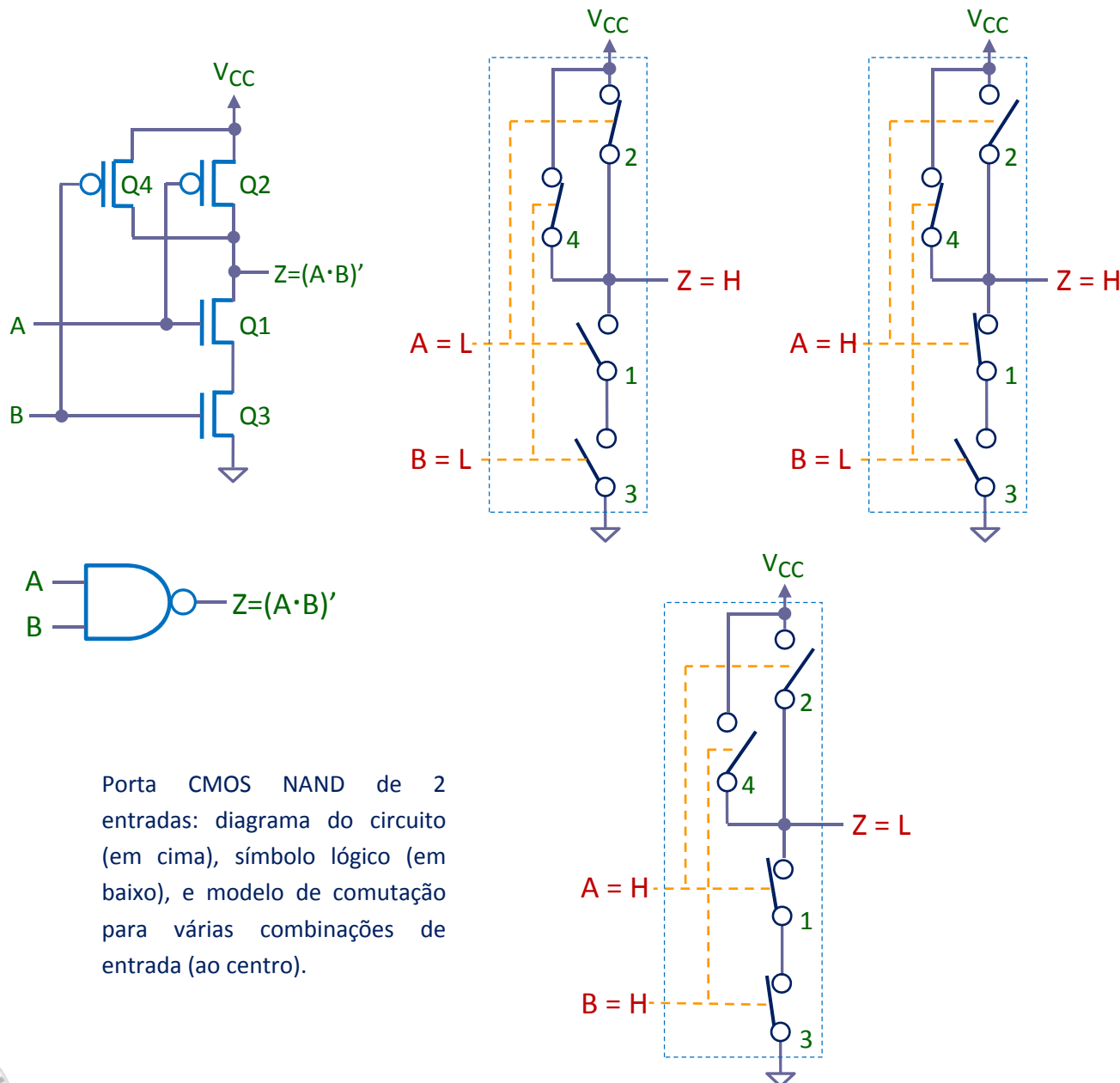
| A | Q1 | Q2 | Q3 | Q4 | Z |
|---|-----|-----|-----|-----|---|
| L | OFF | ON | ON | OFF | L |
| H | ON | OFF | OFF | ON | H |

Portas lógicas em tecnologia CMOS: circuitos a partir de MOSFETs (em cima), e símbolos lógicos (em baixo).

O uso de transístores complementares (canal-n e canal-p), em cada percurso possível entre V_{CC} e a massa, explica o 'C' do acrónimo CMOS e tem por objectivo a redução do consumo dos circuitos.

MODELO DE COMUTAÇÃO E ELECTRÓNICA DE PAPEL

0-19



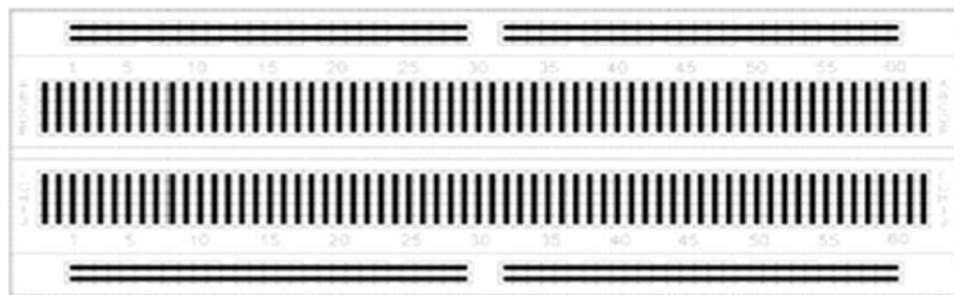
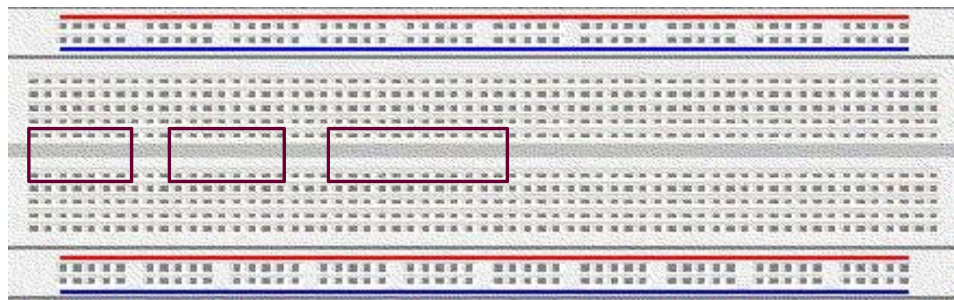
Porta CMOS NAND de 2 entradas: diagrama do circuito (em cima), símbolo lógico (em baixo), e modelo de comutação para várias combinações de entrada (ao centro).

Uma equipa do Centro de Investigação de Materiais da Faculdade de Ciências e Tecnologia da Universidade Nova de Lisboa (UNL), liderada pelos Professores e Investigadores Rodrigo Martins e Elvira Fortunato, conseguiu em Julho de 2008, pela primeira vez, tornar o papel parte integrante de um transistor FET, usando-o como isolante eléctrico, ou dieléctrico, em vez do tradicional silício.

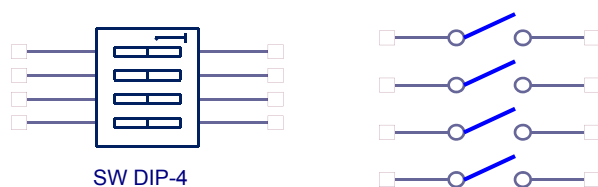
Os FETs 'de papel' utilizaram os dois lados de uma folha de papel: numa das faces foi depositado o material que opera como porta (G) e na outra foi construída a estrutura correspondente aos restantes terminais (S e D).

O papel actua não só como isolante eléctrico mas como suporte do próprio dispositivo. A performance do 'FET de papel' rivaliza com a da tecnologias de filme fino (TFT, de THIN FILM TRANSISTOR) e o custo de produção é reduzido.

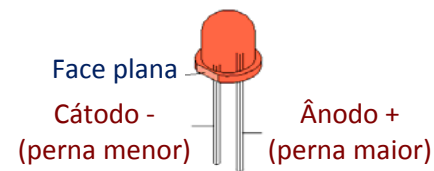
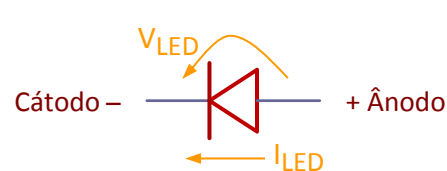




Aspecto físico de uma placa de montagem (BREADBOARD) para verificação dos circuitos com indicação da sua colocação (em cima) e vista de corte (em baixo) assinalando as pistas horizontais da parte superior e inferior, destinadas às linhas de alimentação, e as barras verticais na zona central para ligação entre os circuitos após a sua inserção.

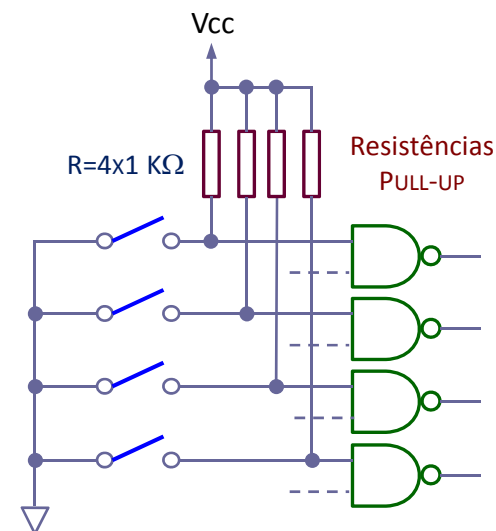


Interruptor manual de 4 contactos do tipo DIP SWITCH: vista de topo e circuito equivalente.



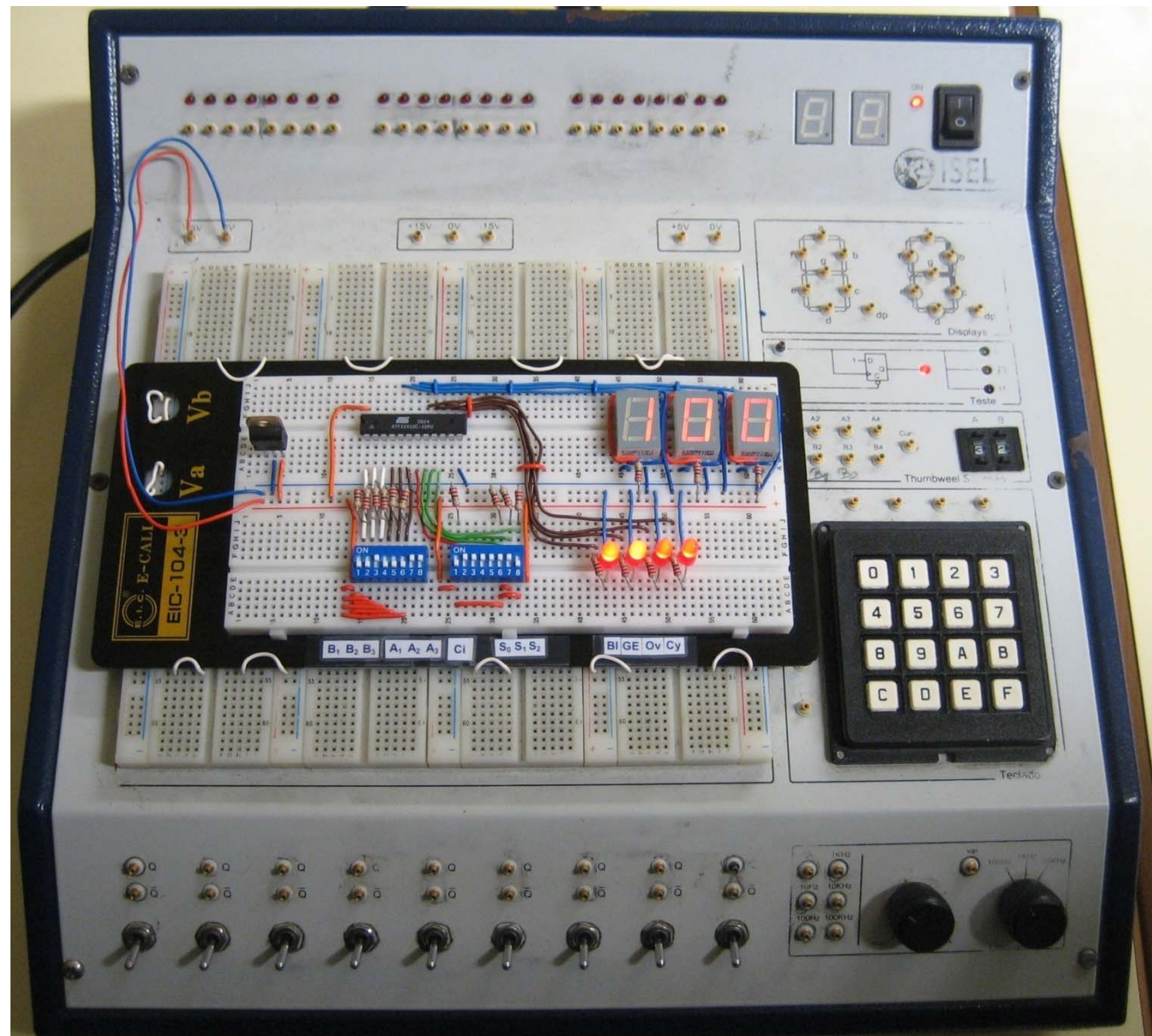
Aspecto físico e símbolo gráfico de um LED.

É preciso tomar em consideração as características tensão corrente de um LED para um brilho otimizado (ex: $I_{LED}=20\text{mA}$ e $V_{LED}=1,6\text{V}$ para um LED vermelho em tecnologia GaAsP).



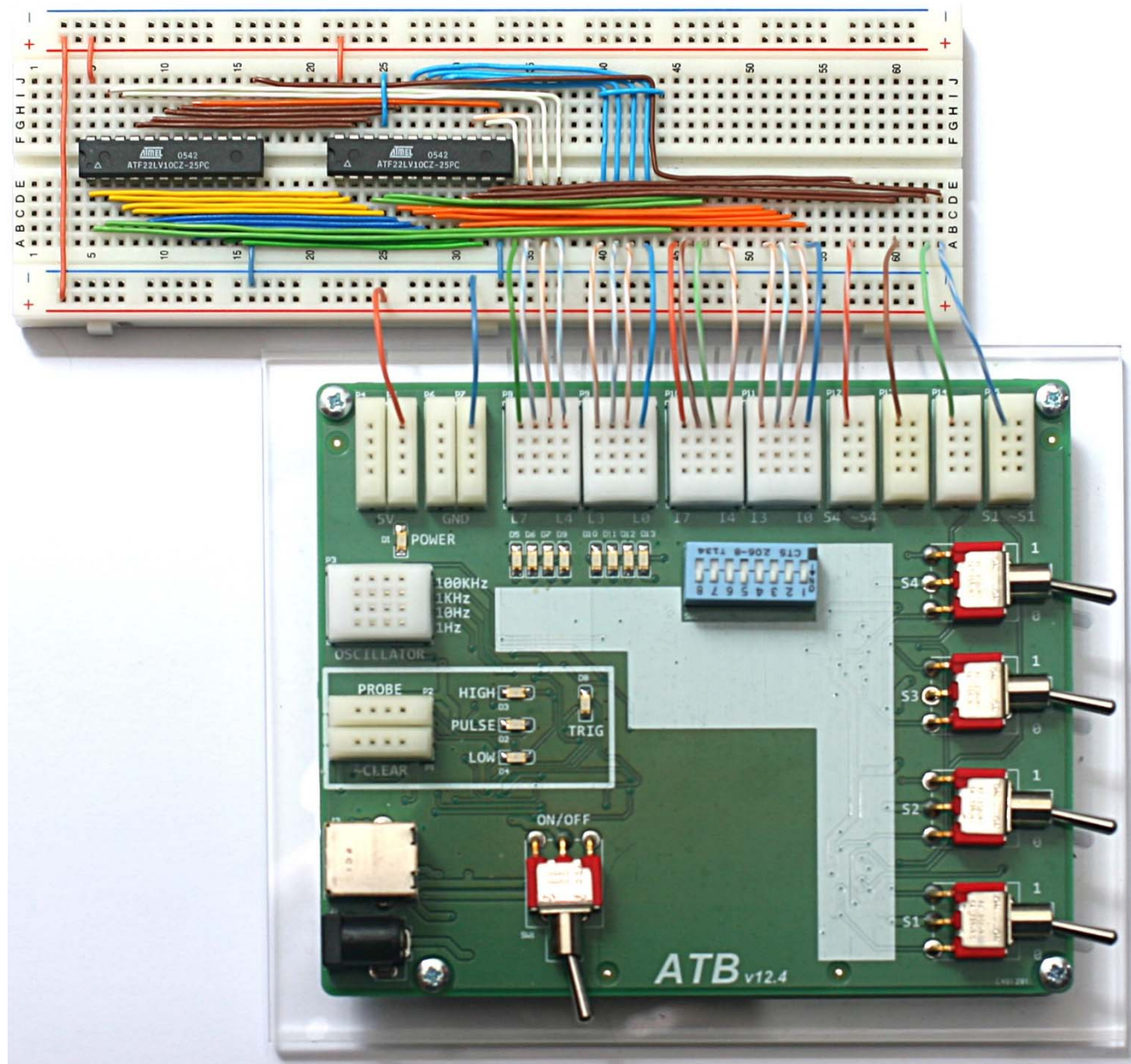
Ligação de um DIP SWITCH a entradas de portas TTL.





IMPLEMENTAÇÃO DO CIRCUITO DE UM TRABALHO PRÁTICO EM LABORATÓRIO (Ex. 0-2)

0-22



1. **LSD-0 – INTRODUÇÃO E BIBLIOGRAFIA**
2. Organização do Conteúdo
3. Bibliografia
4. A Invenção do Transistor
5. A Descoberta do Circuitos Integrado
6. Os Circuitos Integrados nos Primórdios da Computação Digital
7. Famílias Lógicas TTL e CMOS
8. Parâmetros e Variantes de Famílias Lógicas
9. Características Eléctricas das Portas da Família TTL
10. Margem de Ruído na Tecnologia TTL
11. Tansistor BJT NPN como Interruptor On-off
12. Estrutura Interna da Porta Nand TTL com Saída em Totem-pole
13. Fan-out e Fan-in das Portas TTL Standard
14. Ligação de Entradas não utilizadas nas Portas TTL Standard
15. Ligação a Dispositivos Externos das Portas TTL
16. Field Effect Transistor: NMOS e PMOS
17. Tansistor FET como Interruptor On-off
18. Portas Lógicas em Tecnologia CMOS
19. Modelo de Comutação e Electrónica de Papel
20. Elementos Tecnológicos
21. Implementação do Circuito de um Trabalho Prático em Laboratório (Ex. 0-1)
22. Implementação do Circuito de um Trabalho Prático em Laboratório (Ex. 0-2)
23. LSD – 0 Índice 1

