

Lógica e Sistemas Digitais - 7

Latches Flip-flops e PAL Sequencial

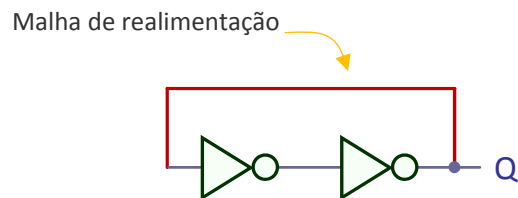
ISEL

Departamento de Engenharia de Electrónica
e Telecomunicações e de Computadores
Lisboa

Mário Araújo

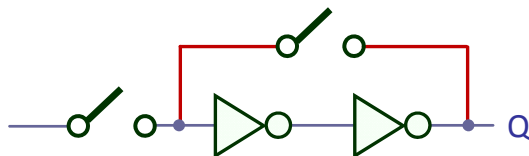
2016-1

Num circuito **COMBINATÓRIO** as saídas são unicamente controladas pelas entradas. Com **REALIMENTAÇÃO**, as entradas deixam de ser os únicos intervenientes a determinar as saídas e o circuito diz-se **SEQUENCIAL**.



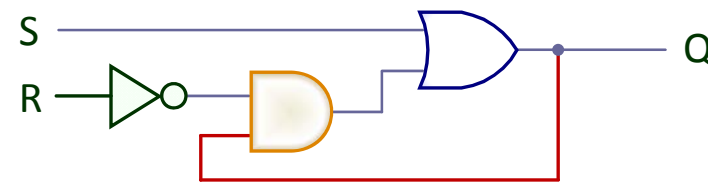
Elemento básico de uma CÉLULA DE MEMÓRIA ELEMENTAR constituída por 2 inversores (número par) em cascata com malha de REALIMENTAÇÃO (FEEDBACK LOOP).

No circuito em cima é possível armazenar um 1 (ou um 0) para sempre.



CÉLULA DE MEMÓRIA ELEMENTAR com interrupção selectiva da malha de REALIMENTAÇÃO (FEEDBACK LOOP).

Interrompendo selectivamente a malha de realimentação (modo STORE) é possível alterar o valor armazenado e forçar um novo valor na célula.

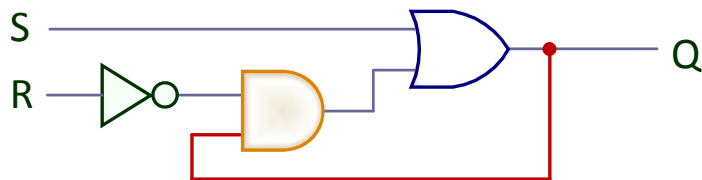


Célula de memória elementar modificada pela adição das entradas S e R à malha de REALIMENTAÇÃO.

A entrada **S=1** (com **R=0**) permite forçar a saída Q a 1 (**SET**).

A entrada **R=1** (com **S=0**) permite forçar a saída Q a 0 (**RESET**).

Nos modos SET e RESET a malha de realimentação é interrompida e o circuito torna-se combinatório.



LATCH S-R e equação característica. $Q^+ = S + R' Q$

LATCH S-R (tal como FLIP-FLOP): dispositivo que armazena 1 bit de informação que pode ser mantido indefinidamente num qualquer de dois estados (0 ou 1), comutando de um para o outro por activação de entradas S e R.

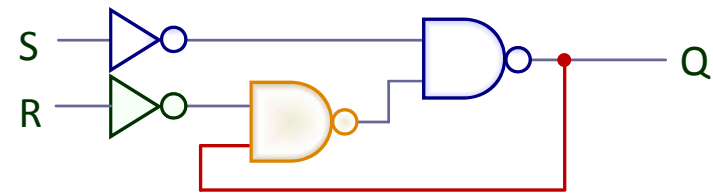
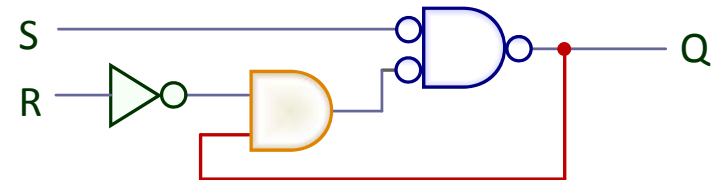
Um circuito com uma MALHA de REALIMENTAÇÃO é sempre uma variação de um LATCH S-R.

O valor da saída do LATCH, e genericamente dum elemento de memória, designa-se habitualmente por **ESTADO**.

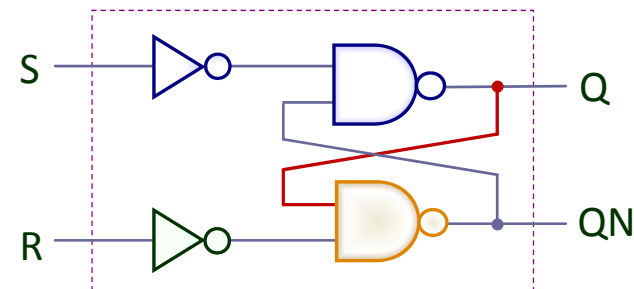
Um LATCH tem 2 estados possíveis: 0 ou 1. Os níveis de tensão na saída Q definem os estados do LATCH.

A equação acima, designada EQUAÇÃO CARACTERÍSTICA, descreve de que forma é modificado o valor da saída Q. O próximo valor da saída Q será doravante designado por Q^+ (ESTADO SEGUINTE) e pode ser representado por uma expressão booleana função das entradas S e R e do valor actual da saída Q (ESTADO ACTUAL) antes da actualização das entradas.

A saída QN (Q NOT) é também frequentemente designada por Q' ou Q_L. A notação QN é preferível porque, apesar de QN ser normalmente o complemento da saída Q, isso nem sempre acontece, como se verá.



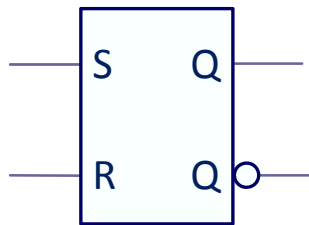
Malha de realimentação com um número par de inversões



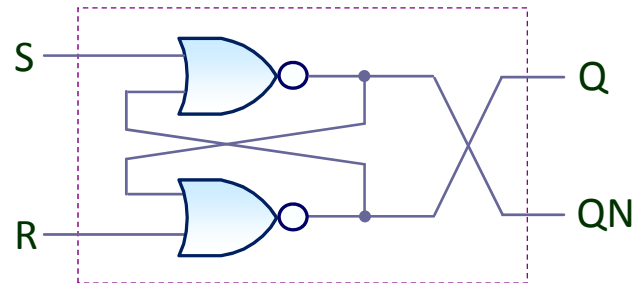
LATCH S-R implementado com portas NAND a partir do circuito inicial.

LATCH S-R (SET-RESET)

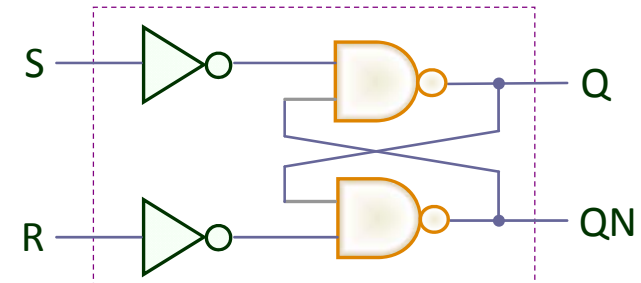
7-4



Símbolo do LATCH S-R com entradas
ACTIVE-HIGH



Implementação do LATCH S-R com
portas NOR (RESET OVERRIDES SET)



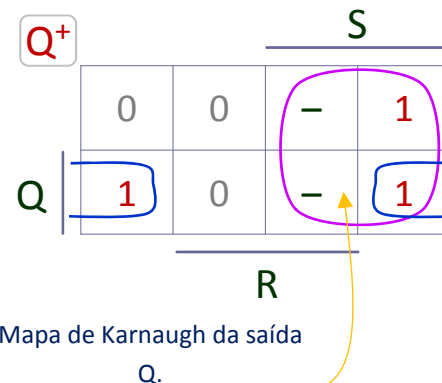
Implementação do LATCH S-R com
portas NAND (SET OVERRIDES RESET)

S	R	Q	Q ⁺	MODO
0	0	Q	Q	HOLD (MANUTENÇÃO)
0	1	—	0	RESET (FORÇADO A 0)
1	0	—	1	SET (FORÇADO A 1)
1	1	—	—	ESTADO INDEFINIDO

Tabela funcional do LATCH S-R .

Q — ESTADO ACTUAL

Q⁺ — ESTADO
SEGUINTE



Mapa de Karnaugh da saída
Q.

O estado INDEFINIDO (também designado ILEGAL ou PROIBIDO) não pode ser memorizado e não tem significado (o valor real depende da implementação em NAND ou NOR) e é tratado como indiferença.

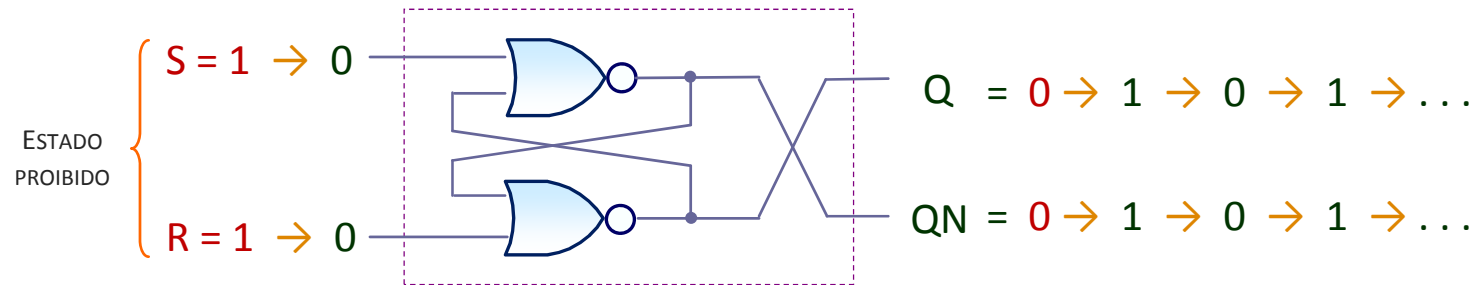
$$Q^+ = S + R' Q$$

Equação caraterística do LATCH S-R.

A EQUAÇÃO CARACTERÍSTICA

$Q^+ = f(Q, S, R)$ descreve a resposta funcional às entradas de controle, e não o comportamento temporal do LATCH.

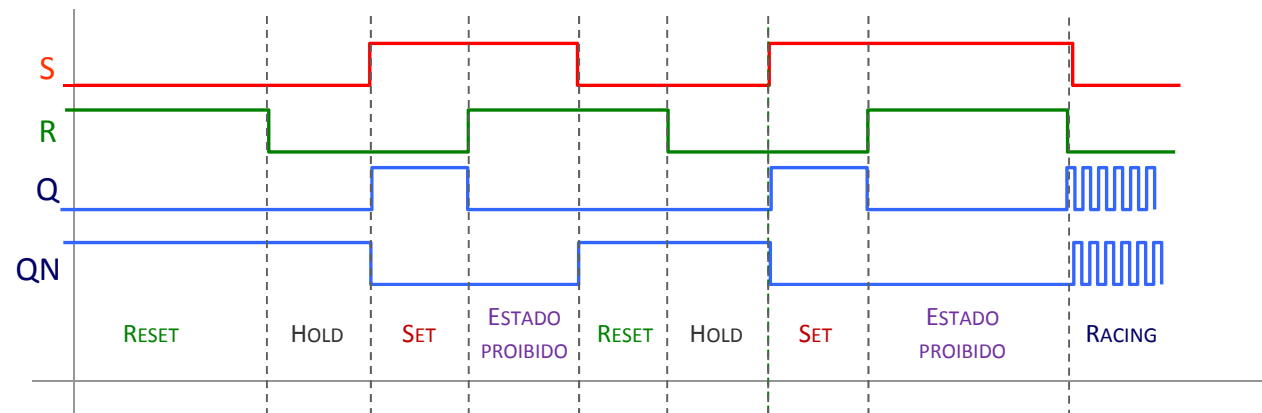


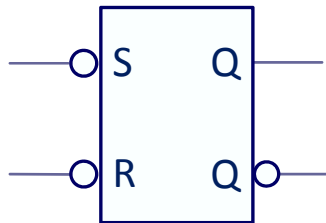


Observação do RACING numa implementação do LATCH S-R com portas NOR.

As 2 entradas a 1 ao mesmo tempo forçam ambas as saídas a 0, sobrepondo-se à malha de REALIMENTAÇÃO. Se as duas entradas voltarem a 0 simultaneamente, a saída oscila com um período igual ao do atraso da malha. Esta condição é denominada **RACE** (corrida). Para atrasos dissimilares entre as duas portas, a porta mais rápida estabilizará a 1 e a menos rápida a 0. Nestas condições, a entrada que primeiro regressar a 0 perderá o controle do latch.

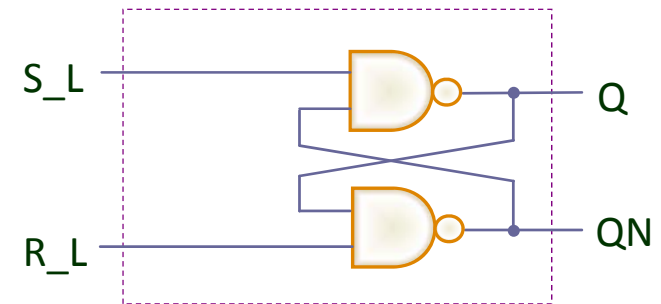
Diagrama temporal de evolução do estado das saídas a partir da evolução lógica das entradas S e R.





Símbolo do LATCH S-R com entradas ACTIVE-LOW.

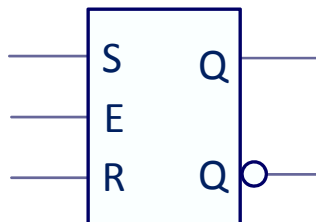
As entradas S e R são activas em 0 como patente na tabelle abaixo.



Implementação do LATCH S-R com entradas ACTIVE-LOW com portas NAND.

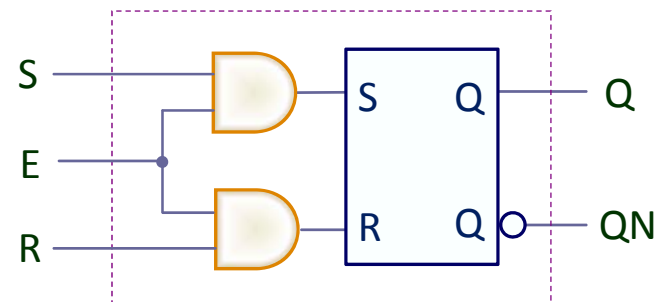
S_L	R_L	Q	Q ⁺
0	0	—	—
0	1	—	1
1	0	—	0
1	1	Q	Q

Tabela funcional do LATCH S-R com entradas ACTIVE-LOW.



Símbolo do LATCH S-R-E.

A entrada **E** habilitadora ou de ENABLE permite controlar a aplicação das entradas de SET e de RESET ao LATCH.



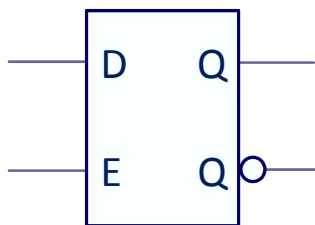
Implementação do LATCH S-R-E a partir de um LATCH S-R.

No LATCH **S-R-E** CONTROLADO OU SÍNCRONIZADO o comportamento depende do nível na entrada de controlo E (ENABLE):

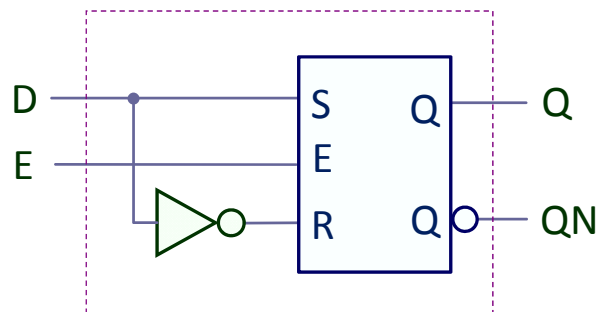
- Quando activa, permite que as restantes entradas regulem o funcionamento do LATCH.
- Quando inactiva inibe qualquer mudança.

E	S	R	Q	Q ⁺
0	—	—	Q	Q
1	0	0	Q	Q
1	0	1	—	0
1	1	0	—	1
1	1	1	—	—

Tabela funcional do LATCH S-R-E.



Símbolo lógico
do LATCH D.

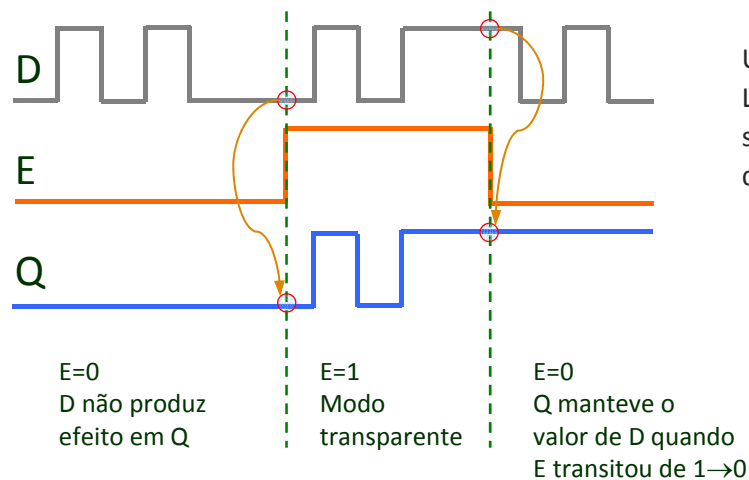


Síntese de um LATCH D a partir
de um LATCH S-R-E.

E	D	Q ⁺
0	—	Q
1	0	0
1	1	1

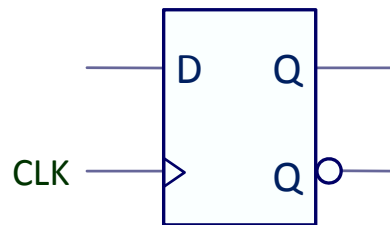
Tabela funcional de um LATCH D.

Diagrama temporal de
evolução do estado da
saída Q a partir da
evolução lógica das
entradas D e E.



Um dos modos de eliminar o estado indefinido no S-R LATCH consiste em assegurar que as entradas S e R são sempre complementares. Obtém-se assim o LATCH **D**, que tem apenas 2 entradas:

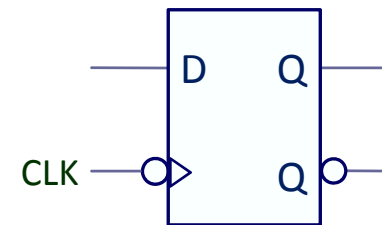
- **D** (D de DELAY inicialmente, mas hoje conotado também com DATA).
- **E** (ENABLE).



Símbolo lógico de um FLIP-FLOP D sensível à transição ascendente (POSITIVE EDGE-TRIGGERED).

CLK	D	Q ⁺
↑	0	0
↑	1	1
0	—	Q
1	—	Q
↓	—	Q

Tabela funcional de um FLIP-FLOP D .



Símbolo lógico de um FLIP-FLOP D sensível à transição descendente (NEGATIVE EDGE-TRIGGERED).

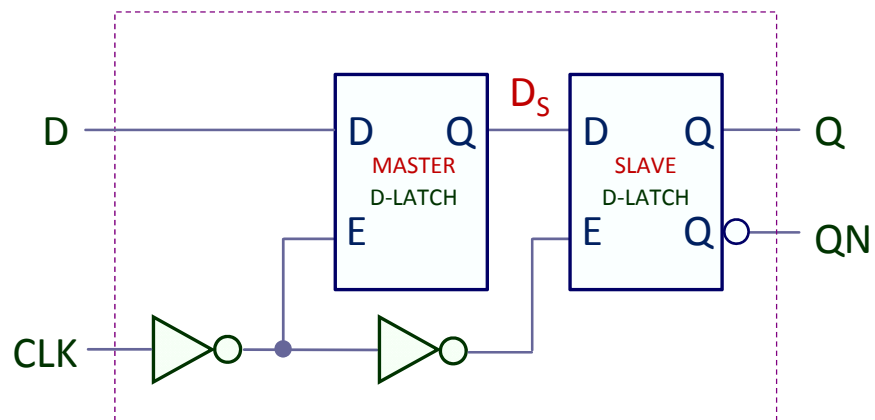
Q	Q ⁺	D
0	0	0
0	1	1
1	0	0
1	1	1

Tabela de Transição de Estados ou Tabela de Excitação de um FLIP-Flop D.

Os FLIP-FLOPS EDGE-TRIGGERED são geralmente compostos por dois LATCHES ligados em série e lógica adicional como patente no slide seguinte. Permitem sincronizar o armazenamento da informação com as transições de um sinal de referência designado CLOCK.

Um FLIP-FLOP D NEGATIVE EDGE-TRIGGERED tem um comportamento semelhante POSITIVE EDGE-TRIGGERED , mas a comutação (mudança de estado, se houver caso disso) verifica-se agora no bordo descendente do relógio e não no ascendente.

A tabela de Transição de Estados ou Tabela de Excitação mostra o valor de D que tem de ser colocado na entrada D, de modo a se obter a transição de estados indicada entre o ESTADO PRESENTE e o ESTADO SEGUINTE.



Síntese de um FLIP-FLOP D sensível à transição ascendente (POSITIVE EDGE-TRIGGERED) a partir de dois Latch D.

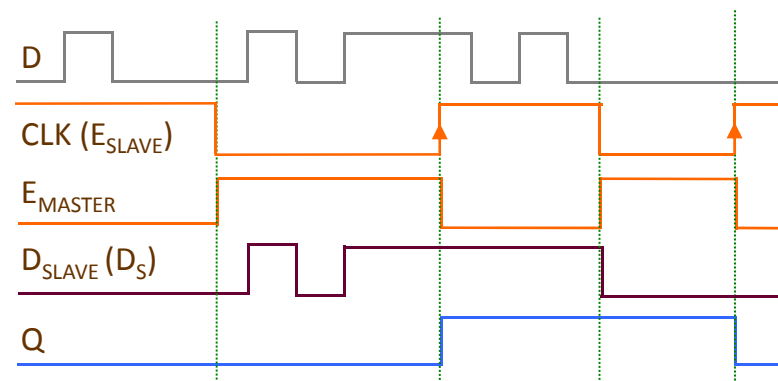


Diagrama temporal de evolução do estado da saída a partir da evolução lógica das entradas D e CLK.

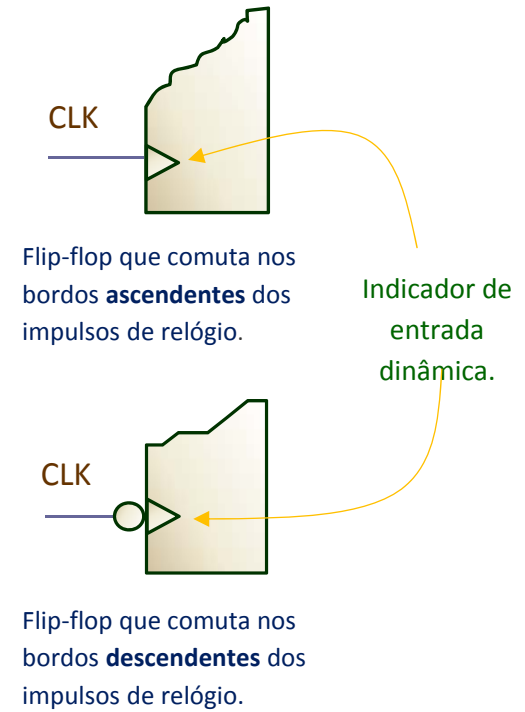
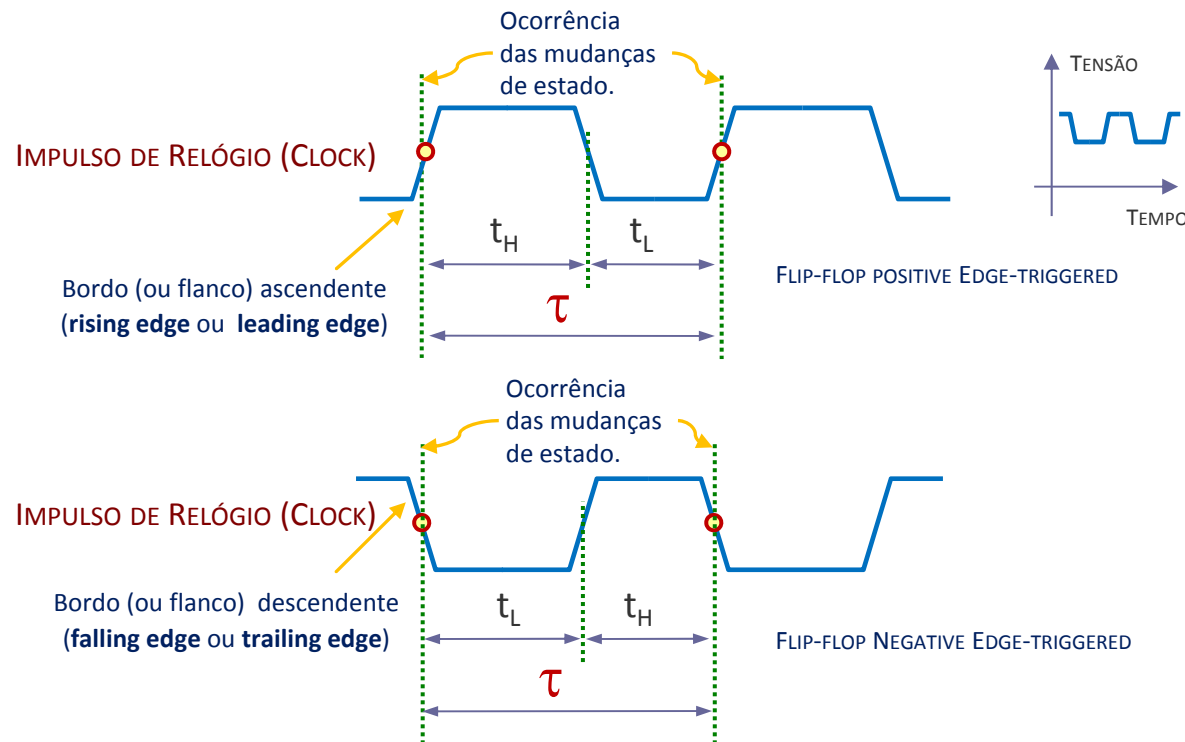
Quando CLK está a 1, o LATCH D designado MASTER está isolado de possíveis variações na entrada mantendo o estado anterior.

O LATCH D designado SLAVE, por seu lado, está receptivo ao estado que o bloco MASTER impõe na sua entrada, e assume esse estado.

O estado do bloco SLAVE (e do FLIP-FLOP D) fica, portanto, igual ao do master .

Quando CLK está a 0, o bloco SLAVE está completamente isolado do bloco MASTER e o estado do FLIP-FLOP está estável.

O MASTER, pelo contrário, está agora totalmente aberto à influência da entrada D e assume o estado que esta lhe impõe.



MILLISECOND	ms	$10^{-3} s$	KILOHERTZ	KHz	$10^3 Hz$
MICROSECOND	μs	$10^{-6} s$	MEGAHERTZ	MHz	$10^6 Hz$
NANOSECOND	ns	$10^{-9} s$	GIGAHERTZ	GHz	$10^9 Hz$
PICOSECOND	ps	$10^{-12} s$	TERAHERTZ	THz	$10^{12} Hz$

PERÍODO : $T = t_{HIGH} + t_{LOW}$ (em SEGUNDOS)

FREQUÊNCIA : $f = 1 / T$ (em HERTZ)

DUTY CYCLE : $t_H / (t_H + t_L)$ (em %)

ou : $t_L / (t_H + t_L)$ (FACTOR DE FORMA)

Nomenclatura e simbologia de unidades de frequência e tempo relativas a impulsos de relógio.

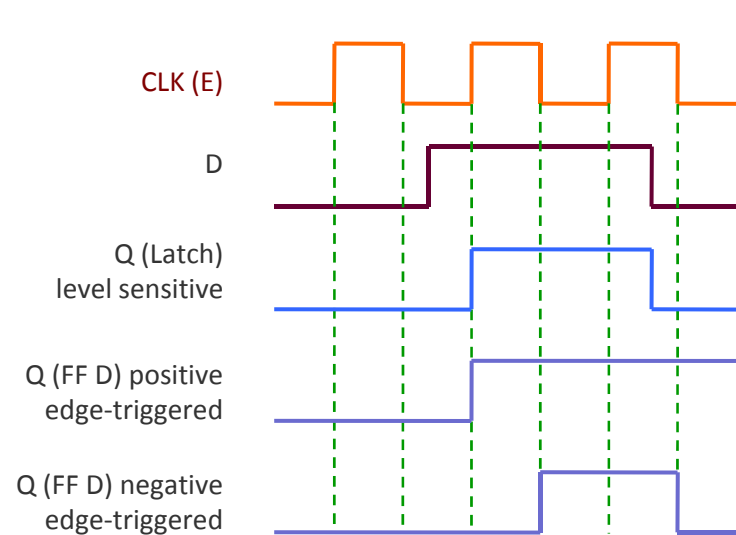
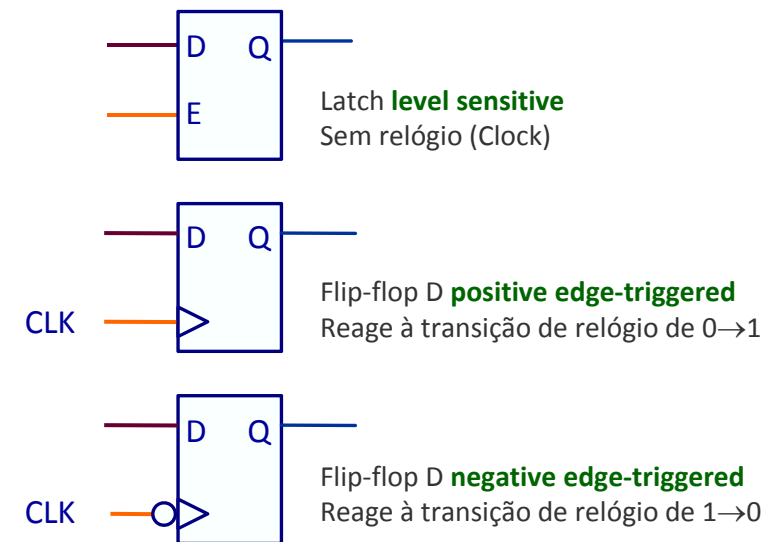


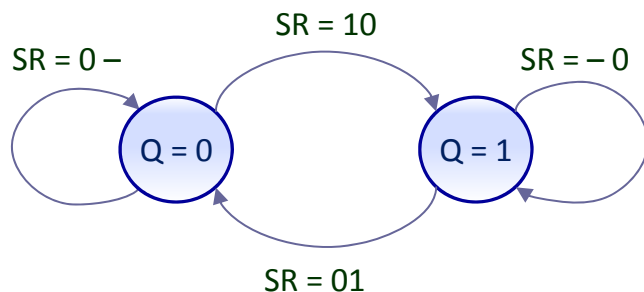
Diagrama Temporal das saídas Q em Latch D e em Flip-flop D.



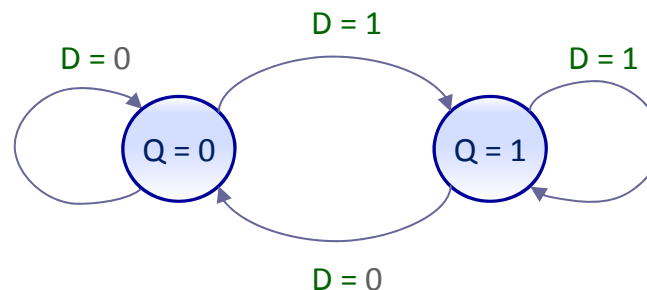
Deve ser feita a distinção entre os circuitos biestáveis de memória do tipo LATCH e do tipo FLIP-FLOP.

- Os LATCHES mudam as saídas imediatamente (se o ENABLE estiver a 1) após uma variação nas entradas (as saídas são transparentes). Não têm CLOCK.

- Se as entradas de um LATCH mudam enquanto o ENABLE está a 1, o seu estado muda imediatamente. Esta mudança pode implicar novas mudanças de estado noutros LATCHES, o que pode originar uma sequência imprevisível de mudanças de estado num circuito com vários LATCHES concatenados.
- Os FLIP-FLOPS EDGE-TRIGGERED mudam as saídas apenas quando há uma transição do relógio e ignoram o pulso enquanto este se mantém num valor constante.



Latch S-R: diagrama de estados.



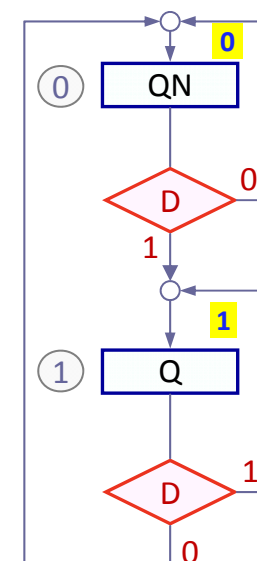
Latch D: diagrama de estados.

O DIAGRAMA DE ESTADOS de LATCHES e FLIP-FLOPS constrói-se a partir de círculos representativos dos ESTADOS e setas a ligá-los. As setas vão dos ESTADOS ACTUAIS para os ESTADOS SEGUINTE e representam as transições entre os estados.

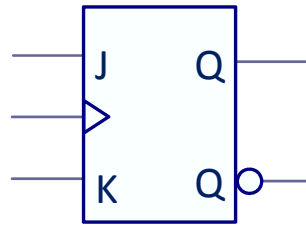
Junto a cada seta coloca-se uma indicação dos valores lógicos das entradas que ocasionam essa transição.

Cada círculo representativo de um estado contem inscrito a saída activa nesse estado, ou uma notação equivalente como a do desenho em cima (em vez de Q=1 pode inscrever-se apenas Q, e Q=0 pode substituir-se por QN).

Pode em alternativa utilizar-se o fluxograma-ASM (de ALGORITHMIC STATE MACHINE) representado à direita para o FLIP-FLOP D edge-triggered. Esta notação, em que os círculos são substituídos por rectângulos, e as **entradas** figuram dentro de **losangos** que simbolizam decisões binárias, será desenvolvida em profundidade dois capítulos mais à frente. Os impulsos de relógio estão subentendidos e não se representam.



Fluxograma ASM do Flip-flop D edge-triggered.



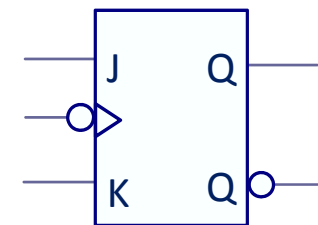
Símbolo lógico de um
FLIP-Flop J-K
LEADING EDGE-TRIGGERED.

CLK	J	K	Q ⁺	Modo
↑	0	0	Q	HOLD (RETENÇÃO)
↑	0	1	0	RESET SÍNCRONO
↑	1	0	1	SET SÍNCRONO
↑	1	1	Q'	TOGGLE (INVERSÃO SÍNCRONA)
0	—	—	Q	
1	—	—	Q	
↓	—	—	Q	

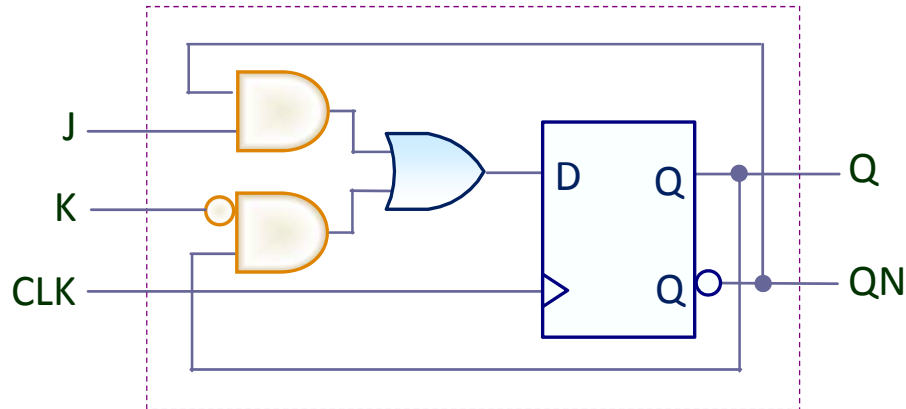
Tabela funcional de um FLIP-Flop J-K LEADING EDGE-TRIGGERED.

Q	Q ⁺	J	K
0	0	0	—
0	1	1	—
1	0	—	1
1	1	—	0

Tabela de Transição de Estados
ou Tabela de Excitação
de um FLIP-Flop J-K
LEADING EDGE-TRIGGERED.



Símbolo lógico de um
FLIP-Flop J-K
TRAILING EDGE-TRIGGERED).



Síntese de um FLIP-Flop J-K
LEADING EDGE-TRIGGERED a partir de
um FLIP-Flop D EDGE-TRIGGERED.

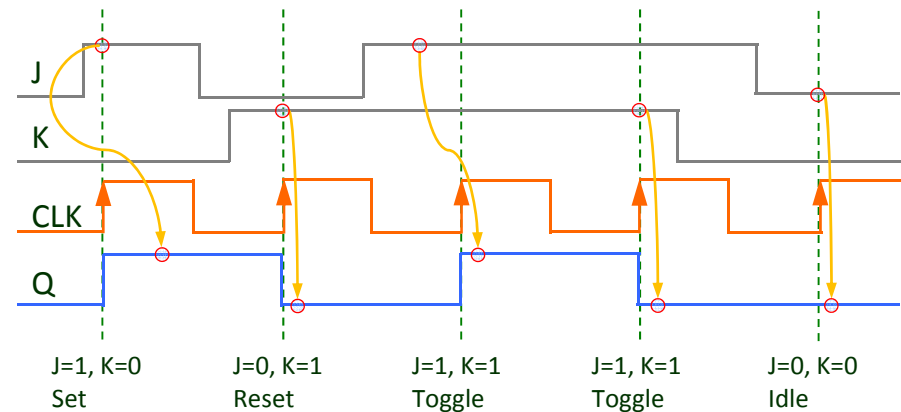
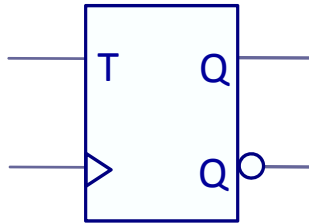


Diagrama temporal de evolução do estado da saída
Q a partir da evolução lógica das entradas J e K.



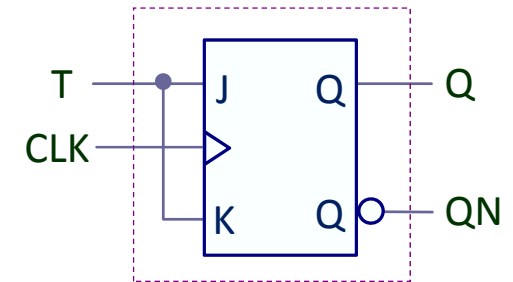
Símbolo lógico de um FLIP-FLOP T LEADING EDGE-TRIGGERED.

CLK	T	Q ⁺	Modo
↑	0	Q	HOLD (RETENÇÃO)
↑	1	Q'	TOGGLE (INVERSÃO SÍNCRONA)
0	—	Q	
1	—	Q	
↓	—	Q	

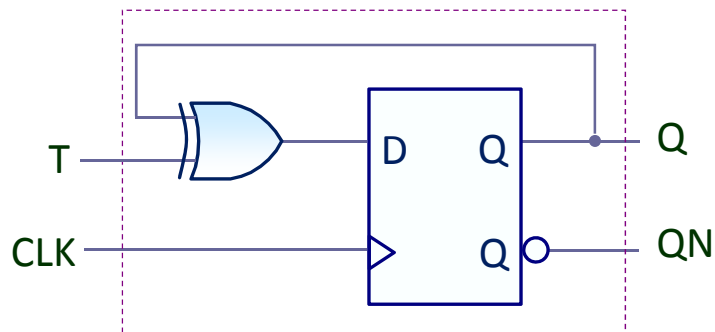
Tabela de funcional de um FLIP-FLOP T LEADING EDGE-TRIGGERED.

Q	Q ⁺	T
0	0	0
0	1	1
1	0	1
1	1	0

Tabela de Transição de Estados ou Tabela de Excitação de um FLIP-FLOP T LEADING EDGE-TRIGGERED.



Síntese de um FLIP-FLOP T LEADING EDGE-TRIGGERED partir de um FLIP-FLOP J-K EDGE-TRIGGERED.



Síntese de um FLIP-FLOP T LEADING EDGE-TRIGGERED a partir de FLIP-FLOP D EDGE-TRIGGERED.

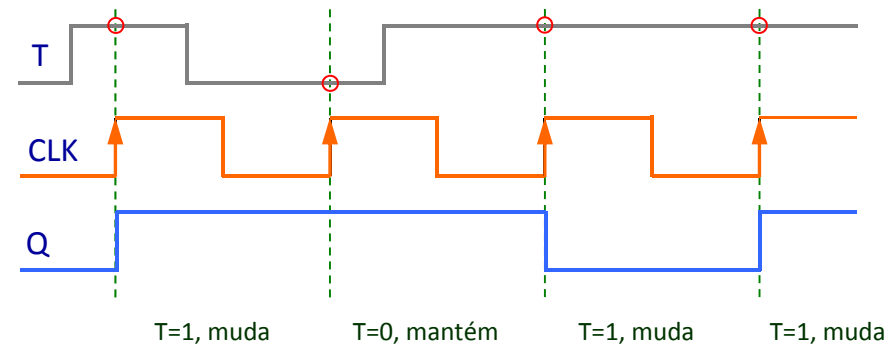
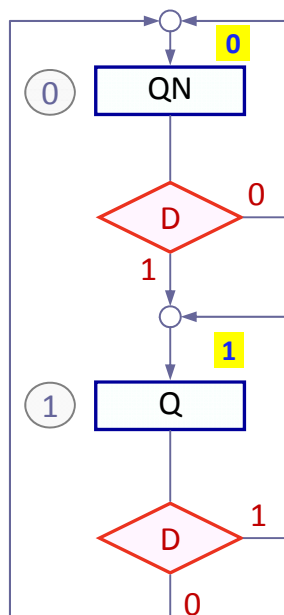
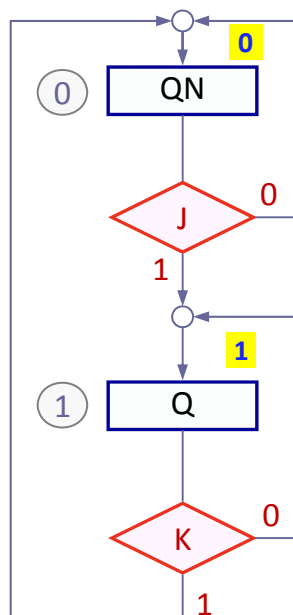


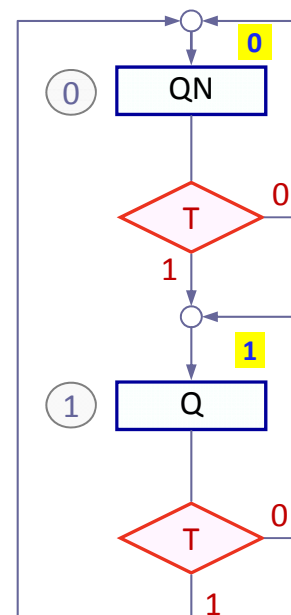
Diagrama temporal de evolução do estado da saída Q a partir da evolução lógica da entrada T.



Fluxograma ASM do FLIP-FLOP D EDGE-TRIGGERED.



Fluxograma ASM do FLIP-FLOP JK EDGE-TRIGGERED



Fluxograma ASM do FLIP-FLOP T EDGE-TRIGGERED.

Q	Q ⁺	D	J	K	T
0	0	0	0	—	0
0	1	1	1	—	1
1	0	0	—	1	1
1	1	1	—	0	0

Tabela de Transição de Estados para os FLIP-FLOPS EDGE-TRIGGERED.

$$Q^+ = S + R' Q$$

LATCH S-R

$$Q^+ = D$$

LATCH D e FLIP-FLOP D

$$Q^+ = J Q' + K' Q$$

FLIP-FLOP J-K

$$Q^+ = Q'$$

FLIP-FLOP T

Equações características para LATCHES e FLIP-FLOPS EDGE-TRIGGERED.

A análise comparativa dos fluxogramas permite verificar que nos flip-flops D e T a evolução de estados é condicionada por uma só variável.

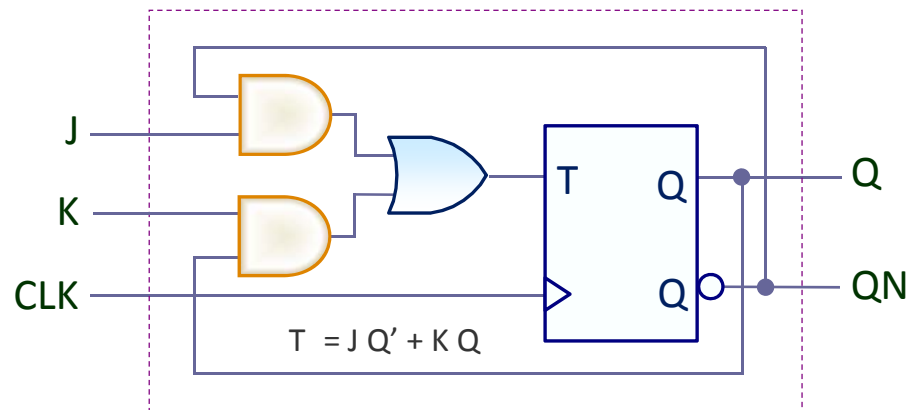
No flip-flop T a condição $T=1$ é determinante para a mudança de estado (com $T=0$ o flip-flop mantém-se inactivo sempre no mesmo estado, 0 ou 1).

No flip-flop D, a condição $D=1$ só determina a mudança de estado se o flip-flop estiver anteriormente em 0, determinando a permanência se estiver em 1.

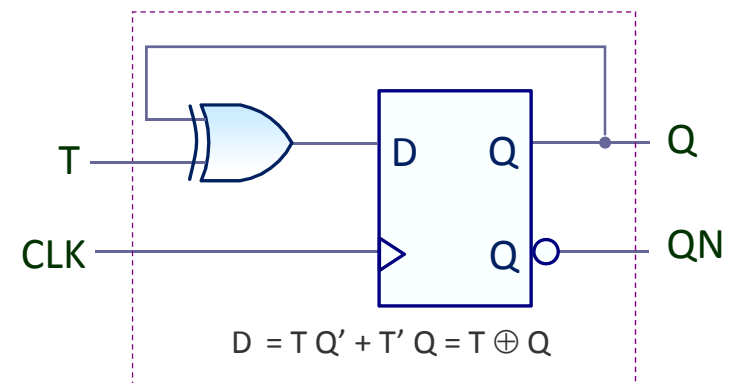
Igualmente, a condição $D=0$ só determina a mudança de estado se o flip-flop estiver anteriormente em 1, determinando a permanência se estiver em 0.

No flip-flop J-K a evolução de estados depende de 2 variáveis independentes. No estado 0, só J é determinante da evolução, sendo o estado seguinte igual ao valor de J. No estado 1 só K é determinante, sendo o estado seguinte igual ao valor de K' .

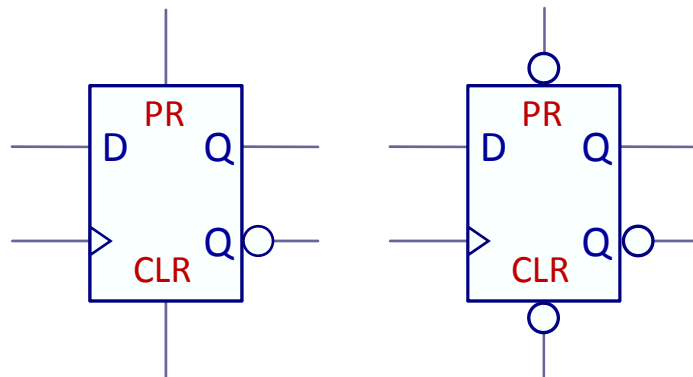
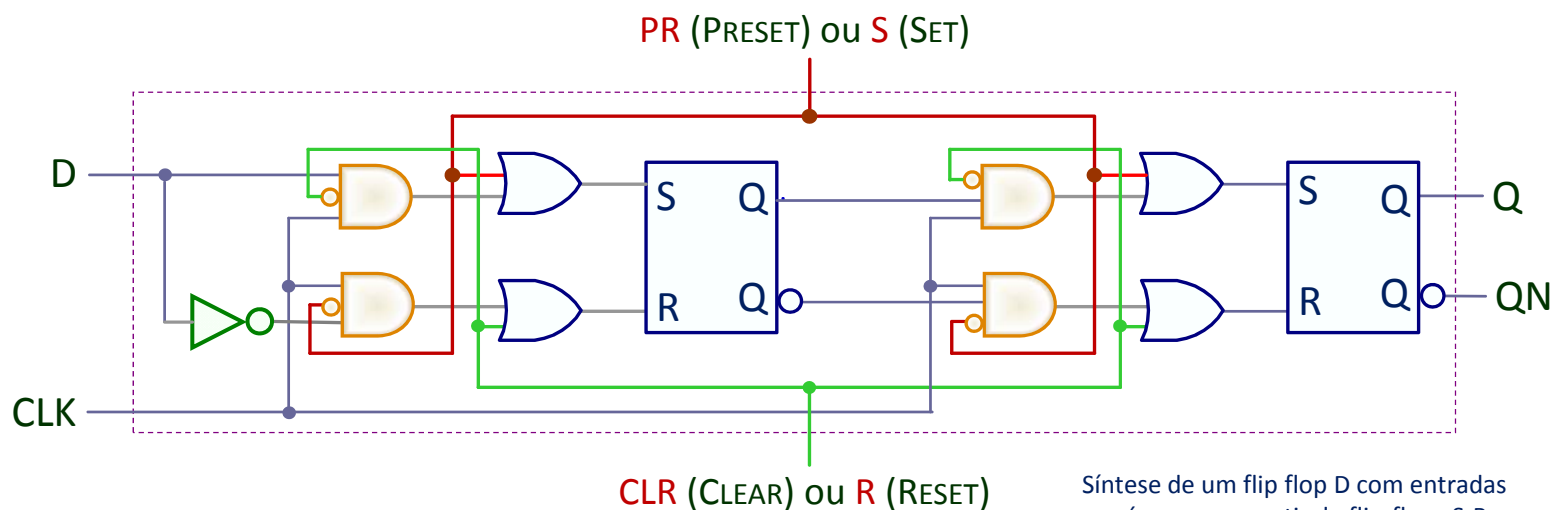
Da comparação (justaposição) dos 3 diagramas pode inferir-se a síntese de qualquer flip-flop a partir dos outros 2. Por exemplo, observando os caminhos em que $T=1$ e $D=1$ obtêm-se as equações em baixo.



Síntese de um FLIP-FLOP J-K LEADING EDGE-TRIGGERED a partir de um FLIP-FLOP T EDGE-TRIGGERED.



Síntese de um FLIP-FLOP T LEADING EDGE-TRIGGERED a partir de um FLIP-FLOP D EDGE-TRIGGERED.



Símbolos lógico de flip-flops com entradas assíncronas PR e CLR de natureza ACTIVE-HIGH – à esquerda - e ACTIVE-LOW – à direita.

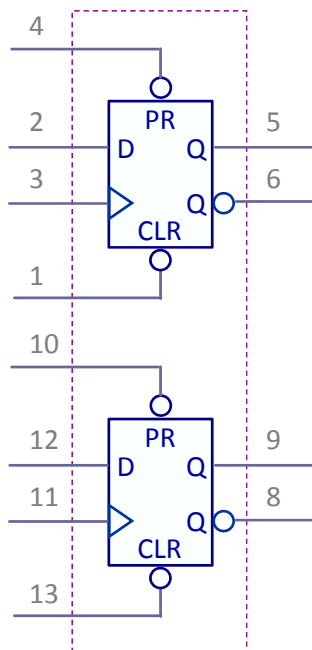
Há flip-flops que incluem entradas adicionais **ASSÍNCRONAS** que permitem fazer o **PRESET** (ou SET) e o **CLEAR** (ou RESET) independentemente do relógio. Estas entradas são predominantes relativamente ao relógio, e permitem a colocação do flip-flop num determinado estado inicial (após POWER-ON). Estas entradas só devem ser activadas uma de cada vez.

A designação preferencial de PRESET e de CLEAR é feita para marcar a distinção das entradas de SET e de RESET já referidas. Portanto:

- Entrada **SÍNCRONA**: o seu efeito só se faz sentir nas saídas no flanco do relógio.
- Entrada **ASSÍNCRONA**: o seu efeito faz-se sentir nas saídas imediatamente após a sua activação, não dependendo dos impulsos do relógio.

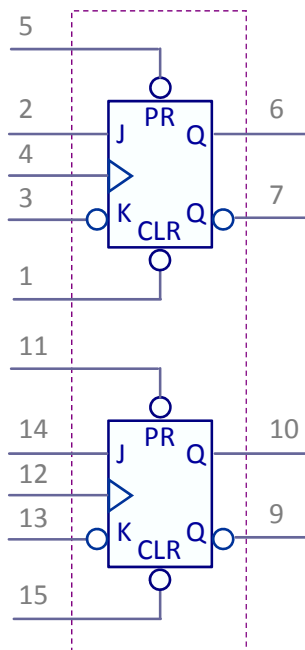
As entradas D, J-K e T são sempre SÍNCRONAS com o relógio.

74 x 74



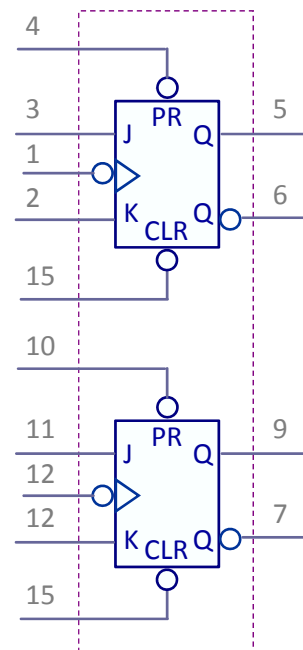
Dual D-type positive-edge triggered flip-flops with Preset and Clear

74 x 109



Dual J-K' positive-edge triggered flip-flops with Preset and Clear

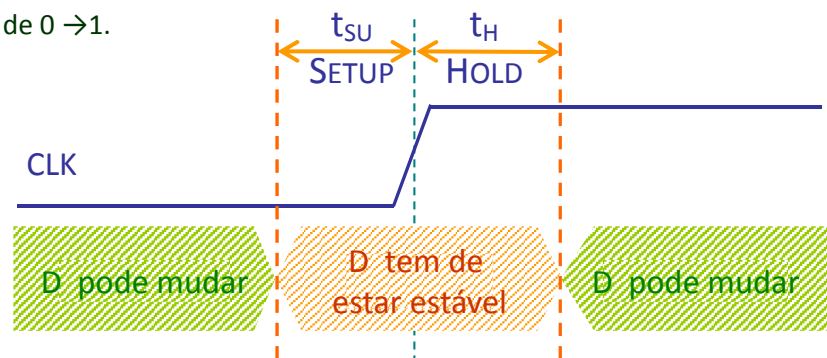
74 x 112



Dual J-K negative-edge triggered flip-flops with Preset and Clear

Configuração dos pinos dos circuitos 74 x 74, 74 x 109 e 74 x 112.

Só existe mudança de estado (variação nas saídas) após a transição de relógio de 0 → 1.



Tempos de PREPARAÇÃO e de MANUTENÇÃO.

Valores típicos dos **SETUP TIME** e **HOLD TIME** para um flip-flop D rising edge triggered:

$$t_{SETUP} = t_{SU} = 1,8 \text{ ns}$$

$$t_{HOLD} = t_H = 0,5 \text{ ns}$$

t_{SETUP} ou t_{SU} (SETUP TIME OU TEMPO DE PREPARAÇÃO) é a duração mínima do intervalo de tempo antes da transição de relógio, durante o qual as entradas de dados não podem variar (por forma a ser evitada uma situação em que a reacção do flip-flop fique dependente de um **race** entre sinais dentro do circuito e se torne não previsível).

t_{HOLD} ou t_H (HOLD TIME OU TEMPO DE MANUTENÇÃO) é a duração mínima do intervalo de tempo após a transição de relógio, durante o qual as entradas de dados não podem variar.

Se, por exemplo, a entrada D de um flip-flop D mudar em qualquer momento dentro das janelas temporais de t_{SETUP} e t_{HOLD} , a saída Q do flip-flop não pode ser garantida.

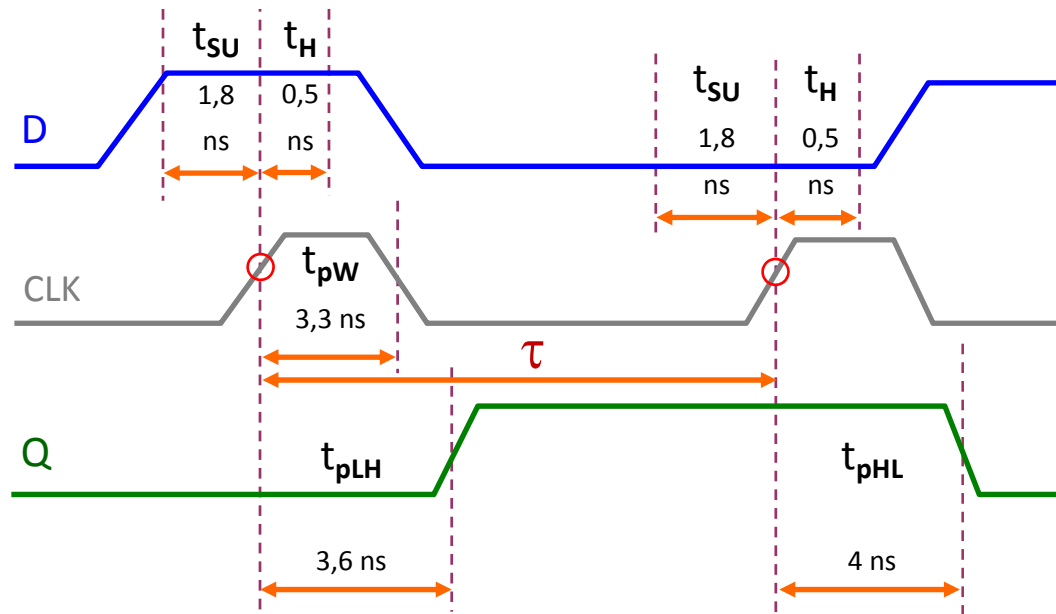
Os parâmetros temporais são medidos em torno do bordo activo do sinal de relógio (bordo de comutação).

As entradas assíncronas PR (SET ou PRESET) e CLR (CLEAR ou RESET) não têm tempos de preparação e manutenção associados.

t_{pw} - duração mínima de um impulso de relógio (w: width)

t_{pLH} - tempo de atraso ou de propagação (pLH: propagation Low-to-High)

t_{pHL} - tempo de atraso ou de propagação (pHL: propagation High-to-Low)
Todas as medições são feitas a partir do bordo ascendente do relógio.



Tempos de PROPAGAÇÃO.

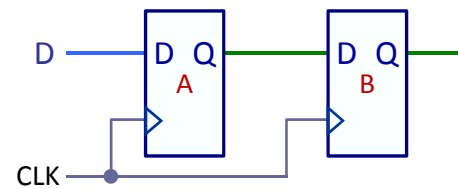
t_{pD} (PROPAGATION DELAY TIME, TEMPO DE PROPAGAÇÃO OU TEMPO DE ATRASO) é o intervalo de tempo que decorre entre o instante em que ocorre o bordo activo do sinal de relógio e o instante em que ocorre a actualização das saídas.

O tempo de propagação deve ser distinguido consoante ocorrer um bordo ascendente ou um bordo descendente numa saída Q de um flip-flop, em resposta ao aparecimento de um bordo de comutação. Se na saída Q ocorrer uma transição do nível L para o nível H, o tempo de propagação designa-se por t_{pLH} , no caso contrário designa-se por t_{pHL} , sendo que t_{pLH} e t_{pHL} podem ter valores diferentes.

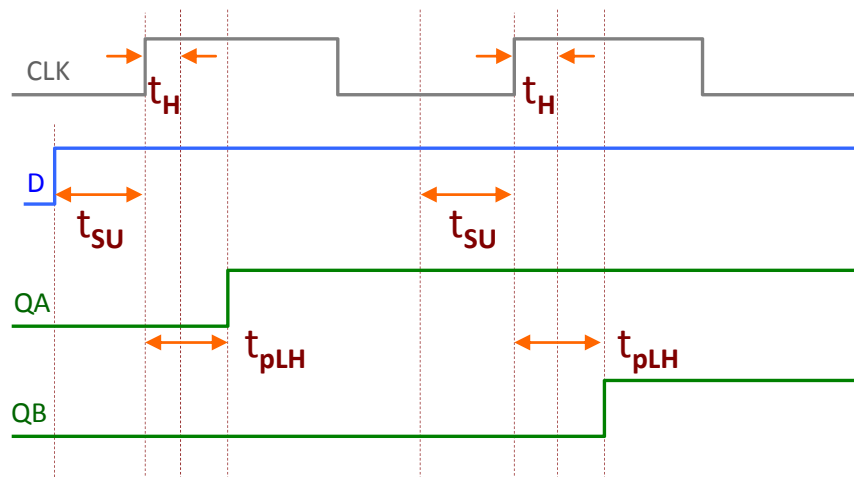
t_{pw} (PULSE WIDTH, LARGURA MÍNIMA DO IMPULSO DE RELÓGIO). Para um valor de t_w muito baixo, e para uma frequência de relógio muito elevada o circuito deixa de funcionar correctamente.

$$t_{pD} \leq \tau - t_{SU} \Rightarrow \tau \geq t_{pD} + t_{SU} \Rightarrow f_{CLK} \leq 1 / (t_{pD} + t_{SU})$$

O primeiro andar A recolhe em Q_A o novo valor de D ao mesmo tempo que o segundo andar B recolhe em Q_B o valor corrente Q_A do primeiro andar.



Ligação em série de flip-flops.



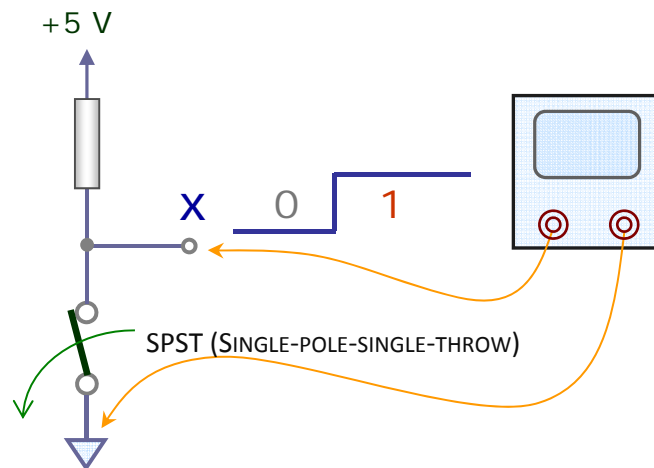
Observação dos tempos de SETUP (t_{SU}), de HOLD (t_H) e de PROPAGAÇÃO (t_{PLH} ou t_{PHL}) para o circuito em cima.

Nos sistemas síncronos há que observar uma metodologia de sincronização temporal que garanta, para o adequado funcionamento do circuito, que:

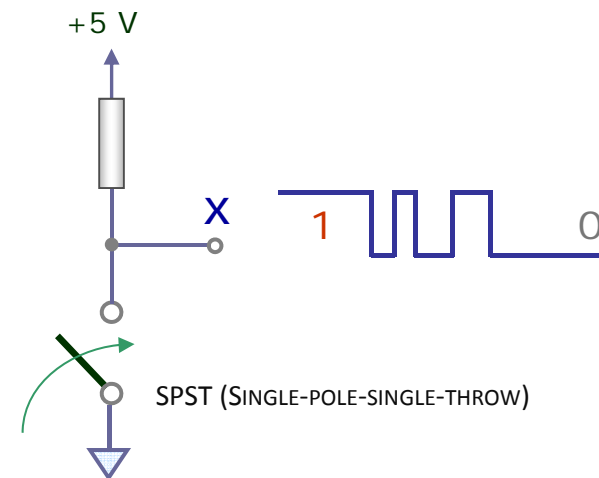
- Nenhum flip-flop mude de estado mais do que uma vez durante o mesmo evento de relógio.
- As entradas dos flip-flops estejam estáveis durante o tempo de SETUP (t_{SU}) antes do flanco de relógio, e durante o tempo de HOLD (t_H) depois do flanco de relógio.
- A variação de Q_A provocada pelo primeiro evento de relógio (figura ao lado), chegue à entrada D_B do segundo flip-flop um tempo de SETUP (t_{SU}) antes do segundo flanco de relógio, para garantia da condição de SETUP.

Sendo o tempo de propagação (t_{PLH} ou t_{PHL}) de um flip-flop genericamente muito superior ao tempo de HOLD (t_H), a verificação da condição de HOLD não constitui normalmente problema.

Os diversos flip-flops podem reagir em tempos diferentes dentro das suas especificações – por exemplo, a de um tempo de propagação máximo de 20 ns, e a de um tempo de propagação típico de 15 ns.



A **acção de abertura** de comutadores **SPST** (SINGLE-POLE-SINGLE-THROW) utilizados neste exemplo não provoca intermitências na transição de nível lógico de 0 para 1 observada em X.

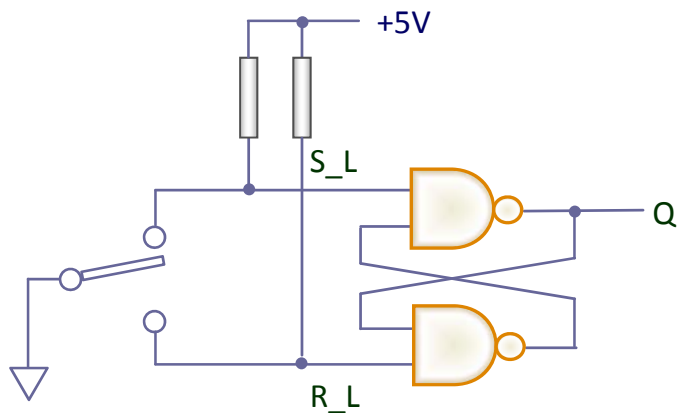


A **acção de fecho** de comutadores **SPST** provoca, antes de se estabilizar, uma **transição pulsada** em vez de uma transição 'limpa' na passagem de nível lógico de 1 para 0 em X, designado por **BOUNCE** (RESSALTO). Este ressalto existe associado a interruptores e relés. É produzido no instante da abertura ou do fecho dos contactos, dependendo do modo de ligação, e pode durar alguns milissegundos (tipicamente menos de 20 ms). É devido primordialmente à vibração dos contactos mecânicos e elasticidade e momento dos corpos.

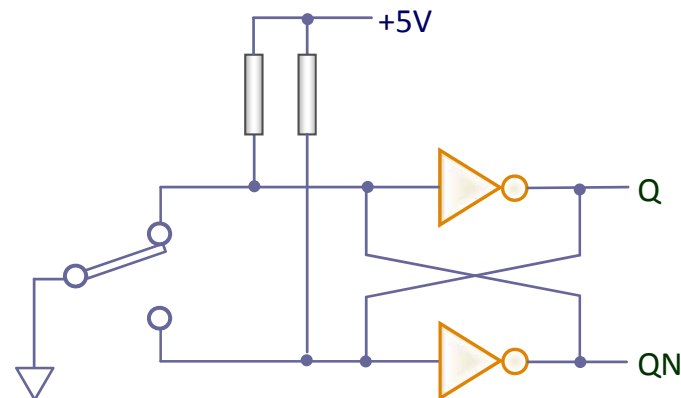


Imagem real de uma transição com BOUNCE como visualizada num osciloscópio.

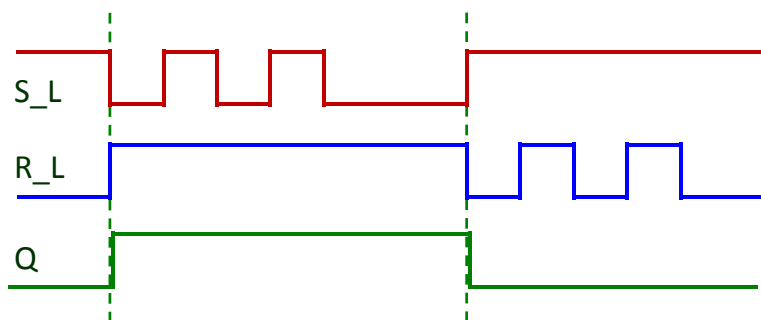
Este efeito pode tornar-se relevante e indesejável no caso de circuitos digitais sequenciais cujos tempos de reacção são da ordem dos nano segundos. Se não for eliminado através de um circuito ANTI-RESSALTO ou de **DEBOUNCE** conduzirá à geração de **várias transições** por cada actuação do interruptor ou comutador. No slide seguinte dão-se exemplos de 3 circuitos de DEBOUNCE para interruptores DPST . Quando se trata do BOUNCE aos terminais de um interruptor SPST (SINGLE-POLE-SINGLE-THROW) torna-se necessário utilizar um circuito do tipo filtro passa baixo, e ainda portas lógicas com características de entrada Schmitt-trigger.



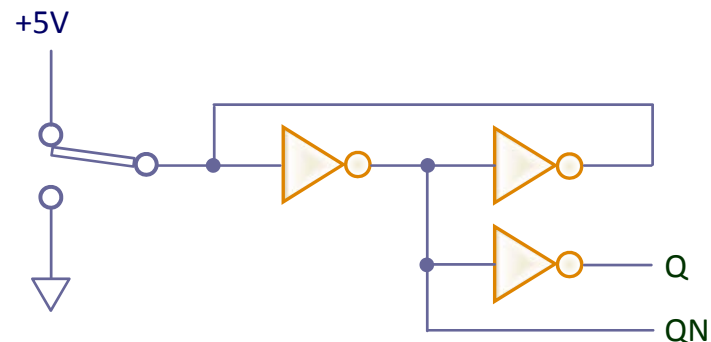
Circuito de DEBOUNCE baseado num flip-flop S-R associado a comutadores **SPDT** (SINGLE-POLE-DOUBLE-THROW), do tipo BRAKE BEFORE MAKE, com o ponto médio à massa e dois fios de interligação.



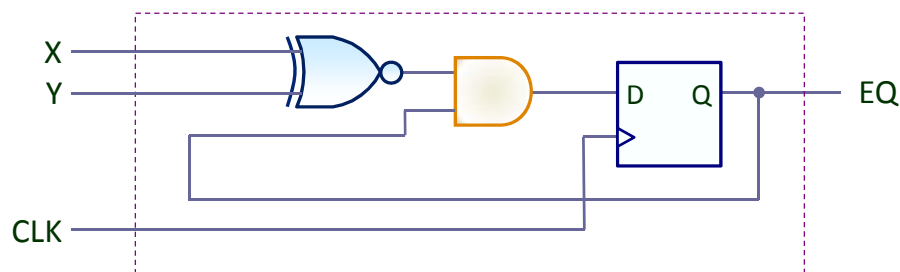
Circuito de DEBOUNCE numa versão equivalente simplificada.



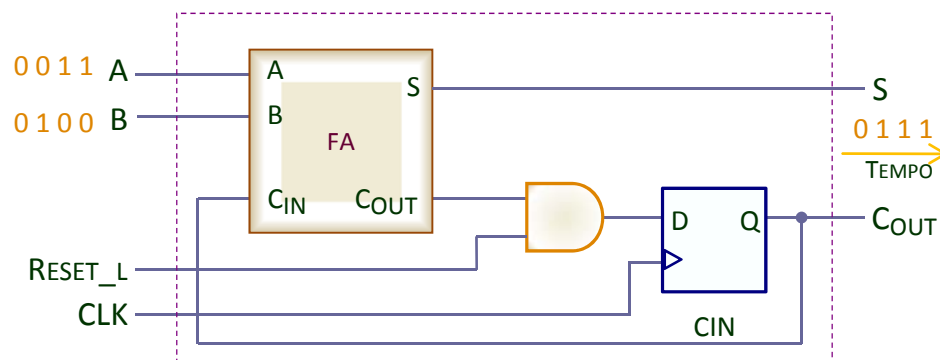
Temporização do DEBOUNCE realizada com o circuito acima.



Circuito de DEBOUNCE baseado num comutador do mesmo tipo do em cima mas com um único fio de interligação.



Comparador série simplificado utilizando um flip-flop D.



1. Memória inicializada a 0 (C_{IN} inicial = 0)
2. Sincronização temporal das entradas, saídas e do flip-flop D (memória de 1 bit)

Somador série simplificado utilizando um flip-flop D, um Full Adder (FA), e lógica auxiliar.

Foi estudado no Cap. 6 o modelo de circuito combinatório **iterativo espacial**. A função de um circuito combinatório iterativo espacial de n -módulos pode também ser desempenhada por um circuito sequencial que faz uso de somente um dos n -módulos, mas à custa de n -clocks e de lógica auxiliar – está-se então perante um circuito sequencial **iterativo temporal**.

Dão-se dois exemplos: o de um módulo comparador série de dois números X e Y de n bits, e o de um módulo somador série de dois números A e B de n bits.

COMPARADOR SÉRIE

Assume-se que os sucessivos valores de X_i e Y_i estão disponíveis em cada impulso de relógio às entradas. O flip-flop D terá de ser inicializado a 1 (por exemplo através de um PRESET assíncrono não evidenciado na fig.). Se ao fim de n -clocks a saída EQ se mantiver a 1 pode concluir-se que os números X e Y são iguais, de contrário que são diferentes.

SOMADOR SÉRIE

O flip-flop D é inicializado a 0 (por um clock à parte dos n necessários para produzir a soma de número de n bits). Ao ritmo de cada clock o flip-flop vai acumulando os Carry-out parciais da soma de cada par de bits A_i e B_i , presentes à, a começar pelos LSB.

A soma S_i aparece em S para ser colhida bit a bit, pela ordem do LSB em primeiro lugar, e do MSB em último.

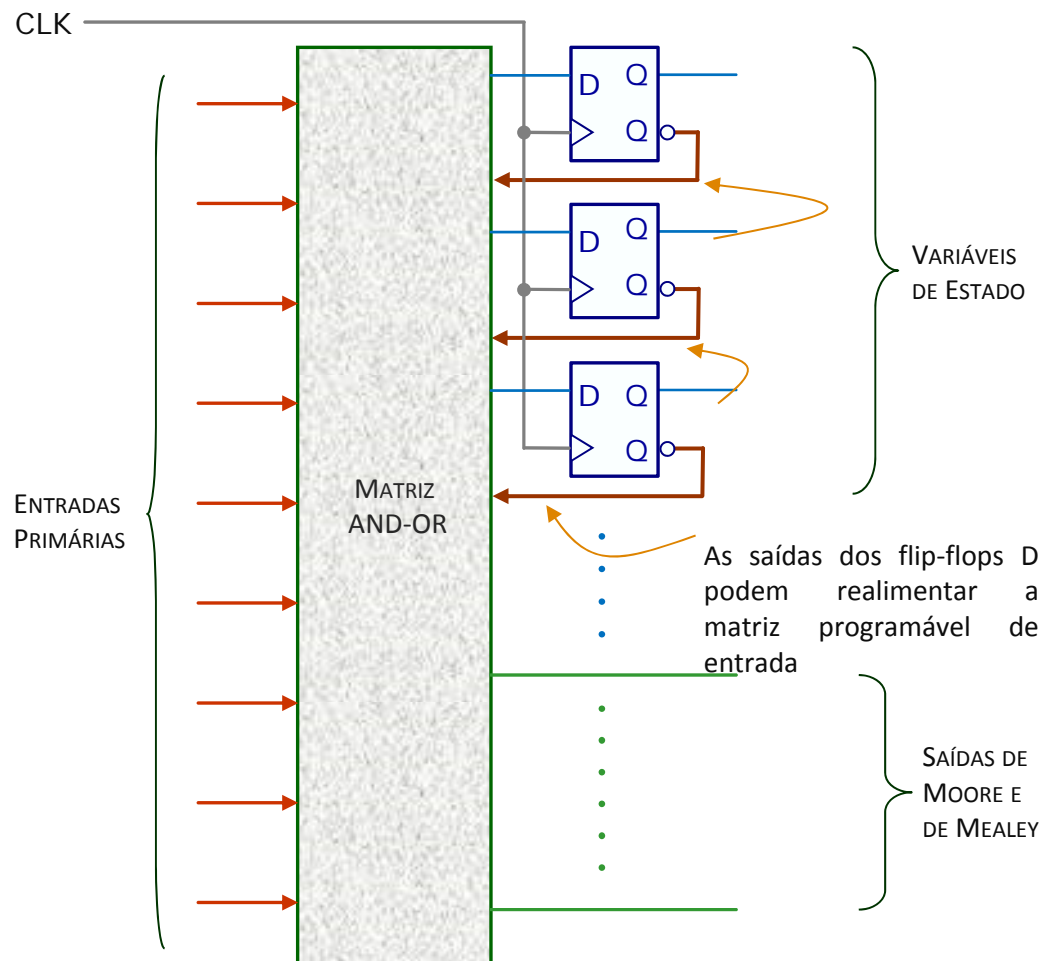
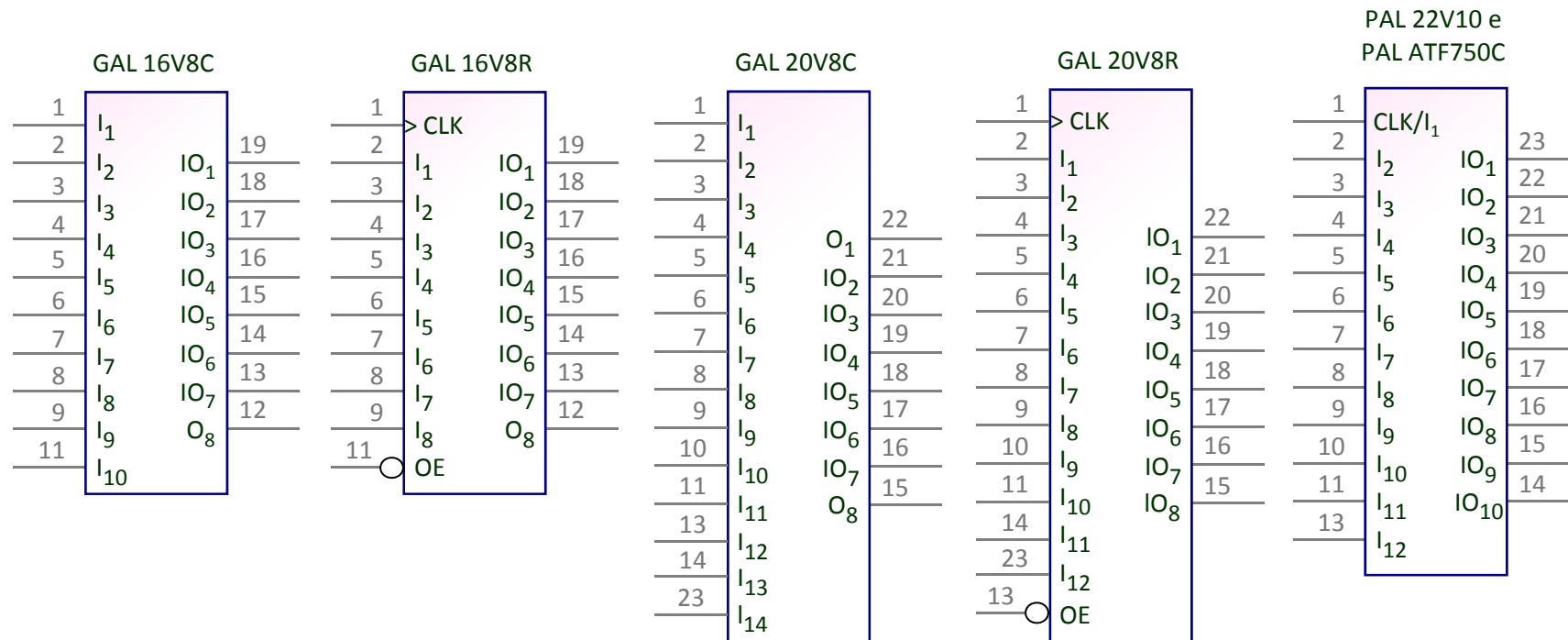


Diagrama Lógico da PAL 16R8.

Numa estrutura PAL sem flip-flops, a saída da função posta disponível num pino de saída também pode ser disponibilizada na matriz de programação, permitindo por realimentação positiva constituir elementos de memória. Esta solução, seria consumidora de um elevado número de recursos, razão pela qual, os fabricantes põem disponíveis PALs incluindo já flip-flops na estrutura da macro-célula de saída.

Algumas PALs permitem definir comportamento D, T ou D-latch a esse flipflop de saída e definir se o clock tem origem no pino de clock ou num termo produto específico.

Na Fig. as saídas negadas dos flip-flops tipo-D numa PAL sequencial são realimentadas para a malha AND-OR. Isto facilita a implementação de circuitos sequenciais como contadores e de registos de deslocamento.



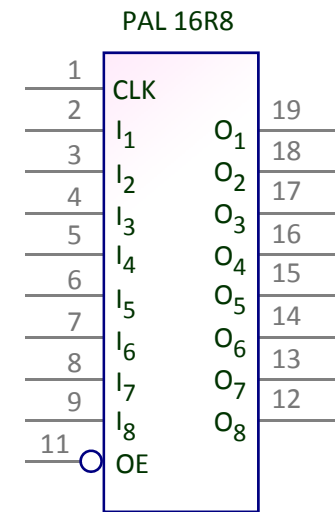
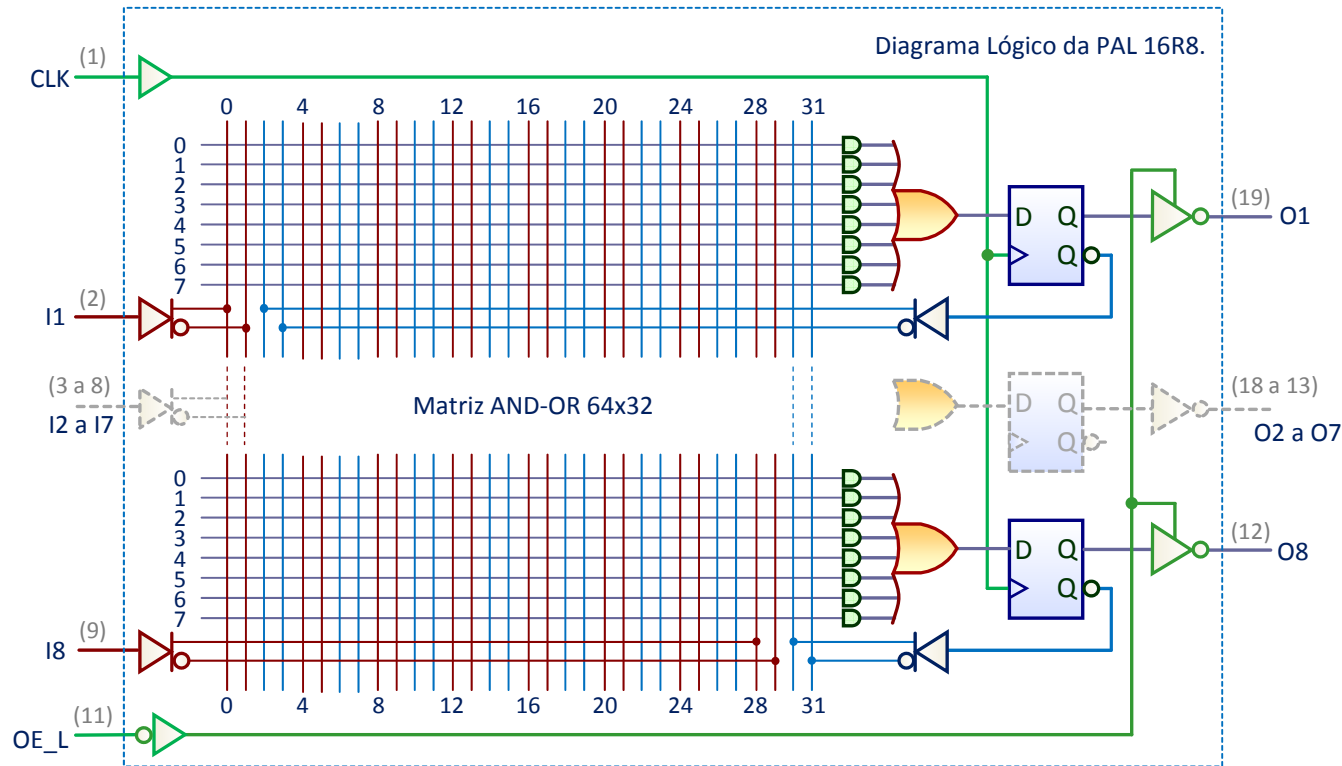
A firma Lattice Semiconductor introduziu em 1985 a GAL (Generic Array Logic) 16V8, um dispositivo precursor da PAL.

A firma AMD apresentou logo de seguida a PALCE16V8 ('C' de CMOS e 'E' de Erasable).

Há tipos de PAL como a 16L8 que só implementam funções combinatórias porque não possuem nem Latches nem Flip-flops.

A primeira geração de PAL sequencial, em que as saídas continham já elementos de memória, surgiu com a designação PAL16R8. Tem 8 entradas e 8 saídas com flip-flops tipo D (com uma entrada de relógio comum a todos e uma entrada de controlo comum a todas as portas tri-state de saída).

O facto de uma saída estar à partida definida como combinatória ou sequencial restringe consideravelmente o tipo de PAL a um projecto. Para ultrapassar esta limitação, surgiram as famílias de PAL em que cada macrocélula podia ser configurada individualmente como combinatória ou como sequencial.



Símbolo lógico da PAL 16R8.

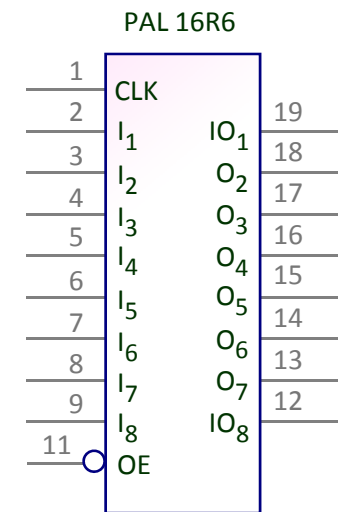
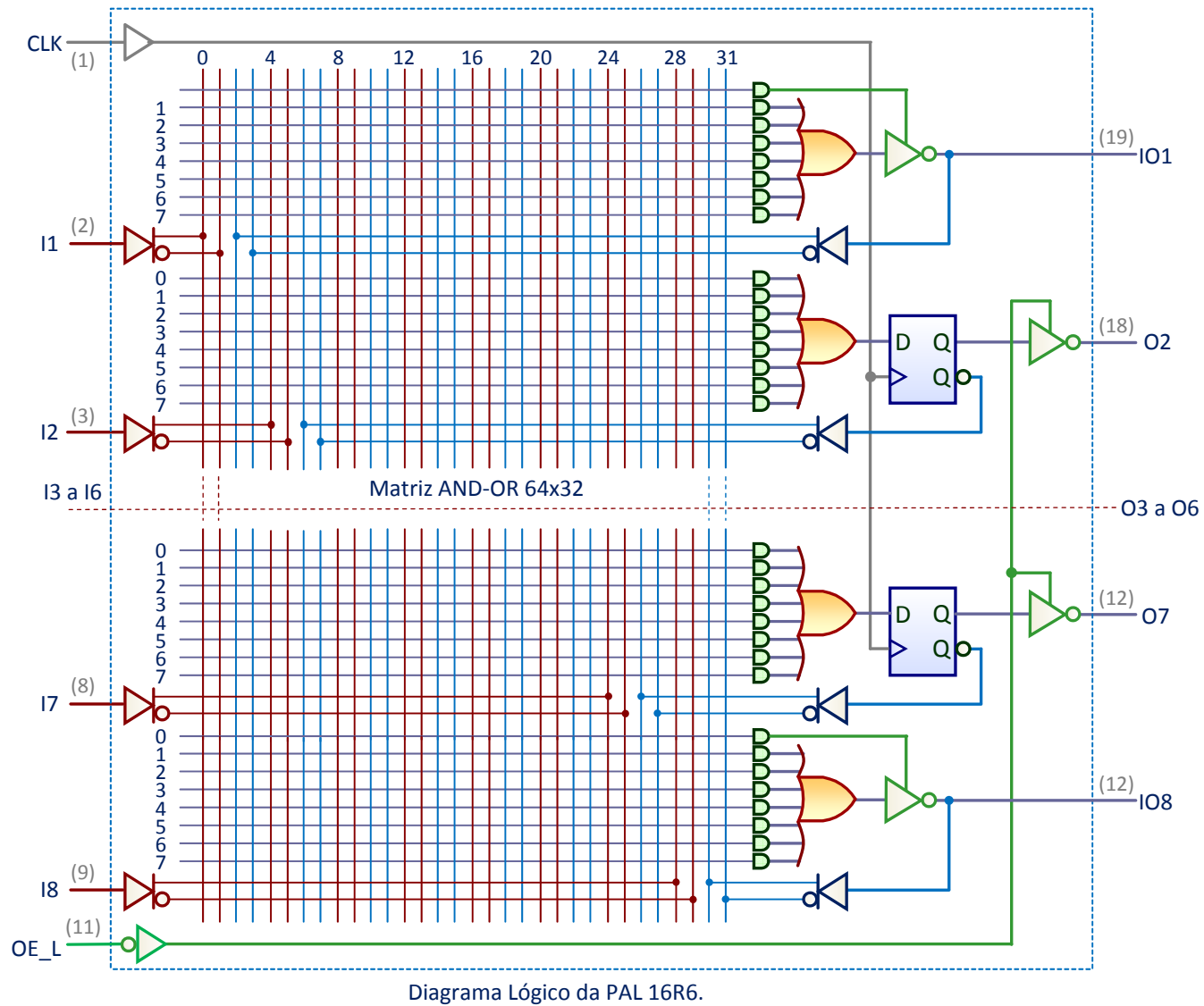
Na PAL 16R8 as 8 saídas dos 8 flip-flops (negadas e não negadas) estão disponíveis na matriz AND-OR antes de passar pelas portas tri-state (e portanto independentemente do seu estado).

A PAL 16R6 (slide seguinte) é uma variante da PAL 16R8 que omite 2 flip-flops em 2 pinos de saída (O1 e O8), que se tornam pinos bidirecionais (com a designação IO1 e IO8), servindo tanto de entrada como de saída (combinatória), com um controle separado do buffer tri-state (como na PAL 16L8).

As entradas da matriz AND-OR desta PAL são: as 8 entradas primárias (I1 a I8), as 6 saídas sequenciais com registo tipo D, e os 2 pinos bidirecionais IO1 e IO8.

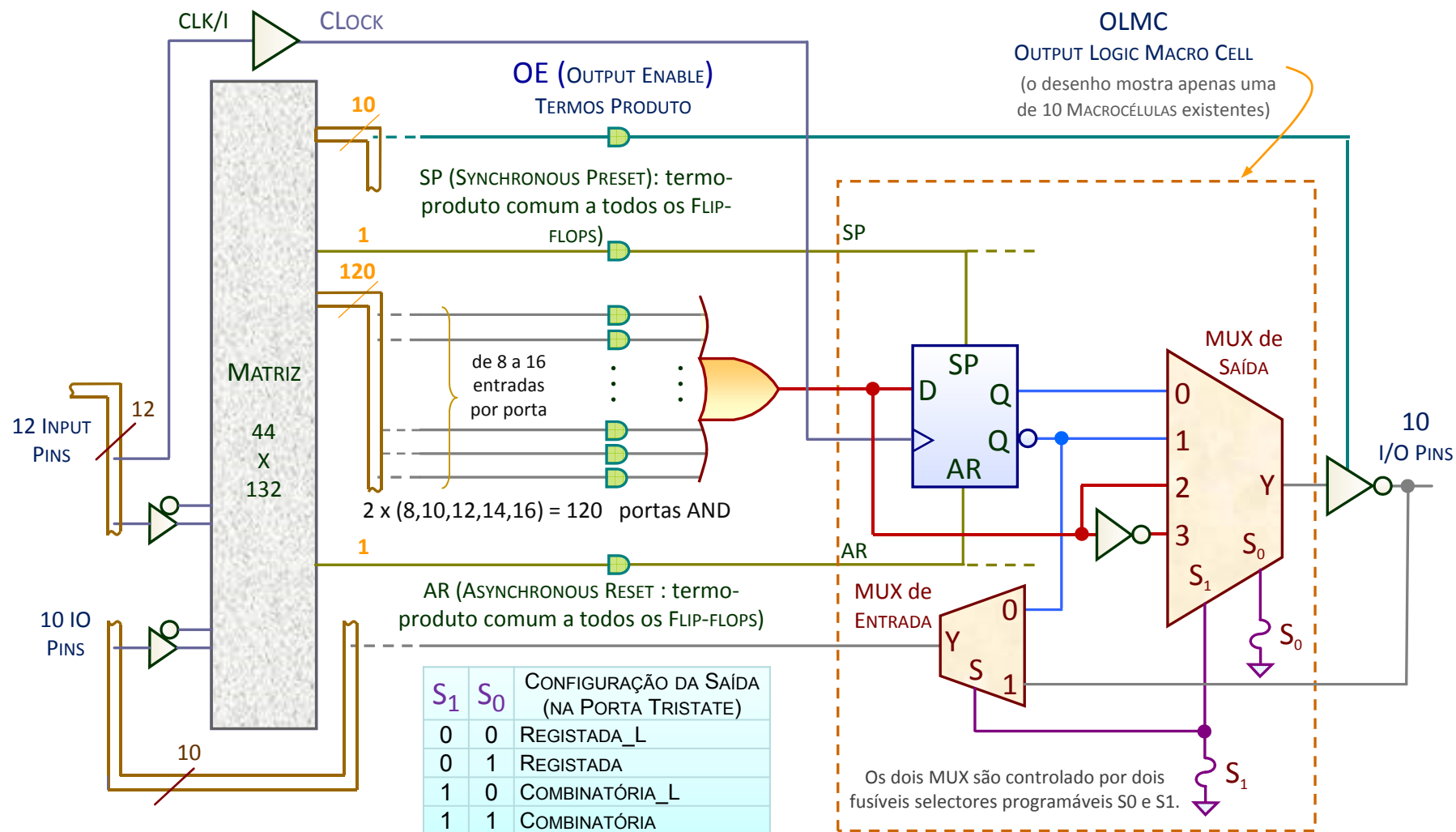
- 20 pinos
- Pino 1: CLK
- Pino 11: OE_L (Output Enable)
- Matriz AND 64x32
- 8 Termos Produto por Saída
- 8 Entradas Primárias (I1 a I8)
- 16 Entradas AND
- 0 Saídas Combinatórias
- 0 Saídas Bidirecionais
- 8 Saídas Registradas (O1 a O8)





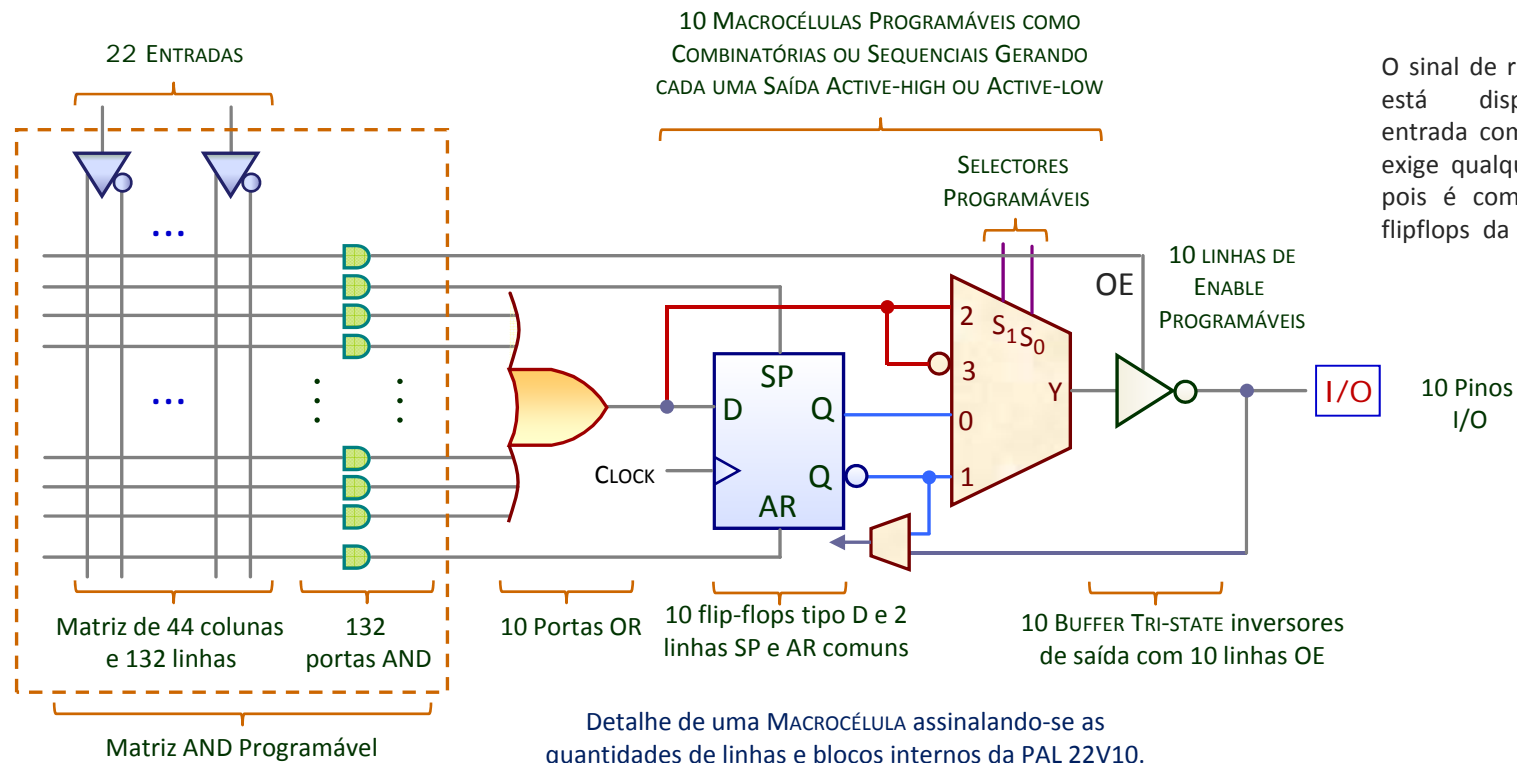
- 20 pinos
- Pino 1: CLK
- Pino 11: OE_L (Output Enable)
- Matriz AND 64x32
- 8 Termos Produto por Saída
- 8 Entradas Primárias
- 16 Entradas AND
- 2 Saídas Bidirecionais
- 6 Saídas Registradas





Arquitectura da PAL22V10 com as tabelas das configurações da saída.





O sinal de relógio no pino 1 está disponível como entrada combinatória e não exige qualquer configuração pois é comum a todos os flipflops da PAL.

Detalhe de uma MACROCÉLULA assinalando-se as quantidades de linhas e blocos internos da PAL 22V10.

O número de termos produto por cada uma das 10 Macro células da 22V10 (de 24 pinos) é variável de 8 a 16 como indicado :

Pino 1 – Clock e Entrada

Pinos 2 a 11 e 13 – Entradas (12 no total com o Clock)

Pinos 14, 23 – IO Programável com 8 Termos Produto

Pinos 15, 22 – IO Programável com 10 Termos Produto

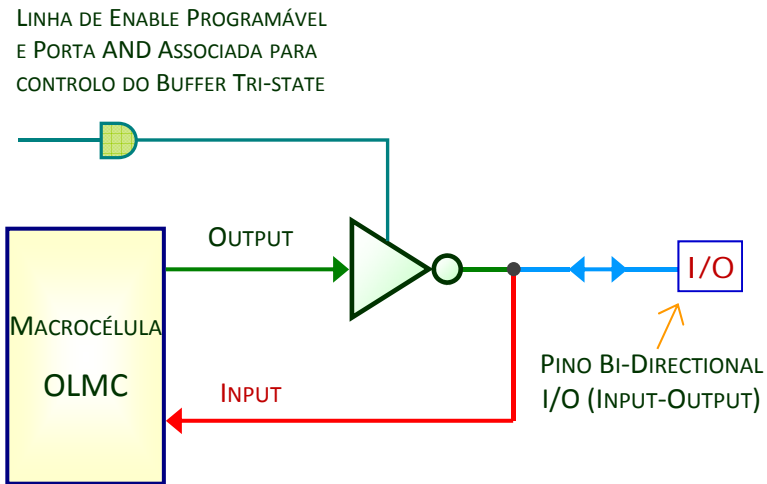
Pinos 16, 21 – IO Programável com 12 Termos Produto

Pinos 17, 20 – IO Programável com 14 Termos Produto

Pinos 18, 19 – IO Programável com 16 Termos Produto.

Cada um dos 10 flip-flops recebe três sinais comuns:

- um RELÓGIO (CLOCK) activo no flanco ascendente proveniente do pino 1;
- um PRESET SÍNCRONO (SP) proveniente de um único termo-produto comum para colocar todos os flip-flops a 1 no flanco ascendente do Clock;
- um RESET ASSÍNCRONO (AR) proveniente de um único termo-produto comum para colocar todos os flip-flops a 0 em modo assíncrono.

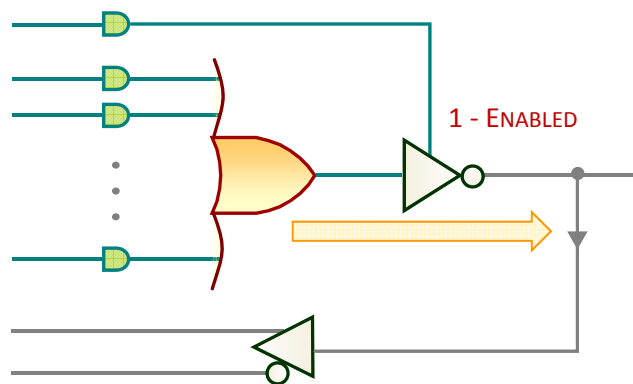


Pino I/O bidireccional programável por controlo do Buffer Tri-state.

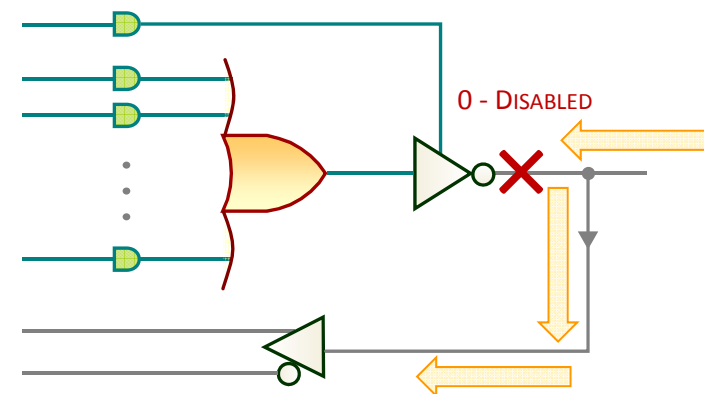
Existe para cada um dos BUFFERS TRI-STATE de saída um termo produto que o controla e permite conferir ao pino I/O a natureza bidireccional.

Quando o pino for configurado como saída, o BUFFER TRI-STATE está activo (enabled, com a saída do AND de controlo a 1).

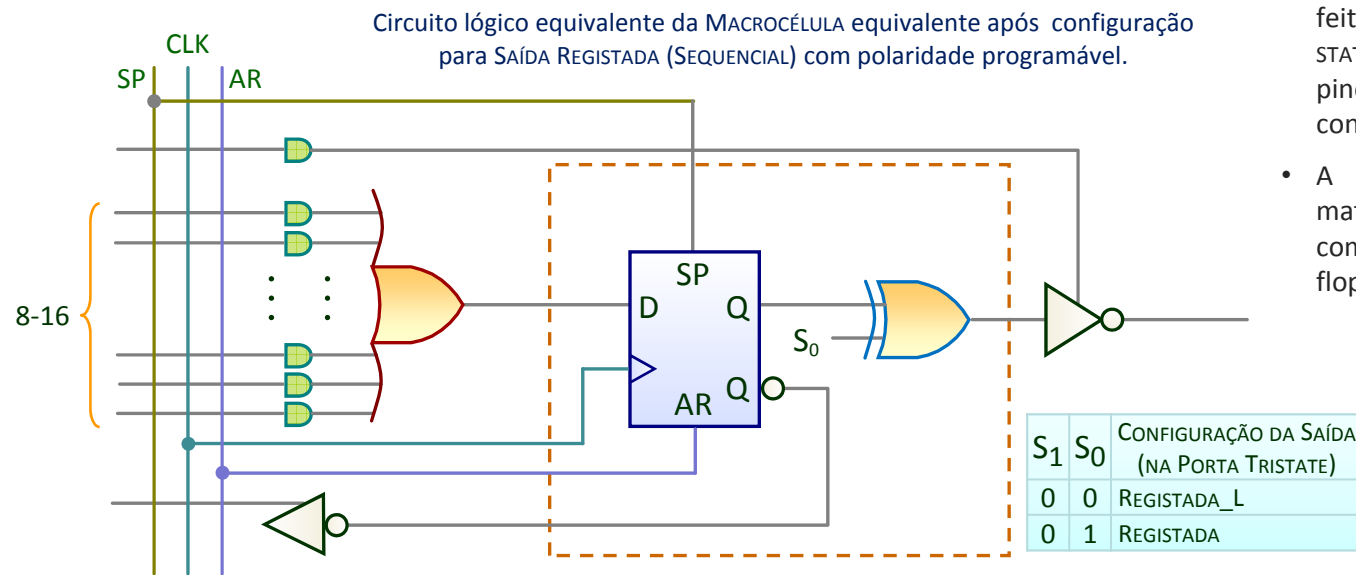
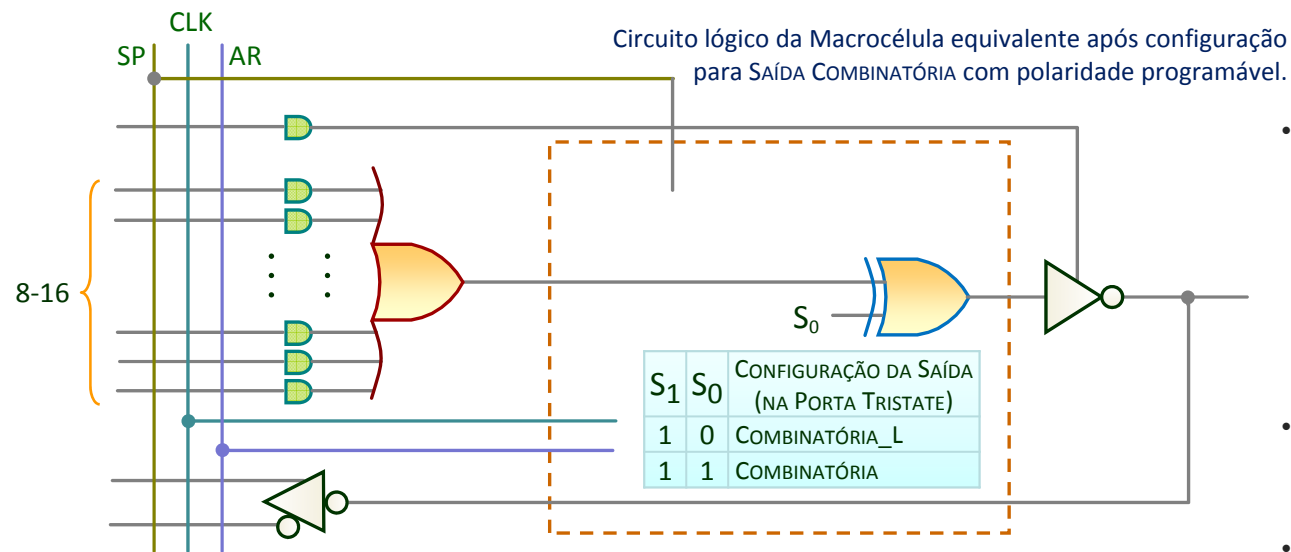
Quando o pino for configurado como entrada, o BUFFER TRI-STATE está inactivo (disabled, com a saída do AND de controlo a 0).



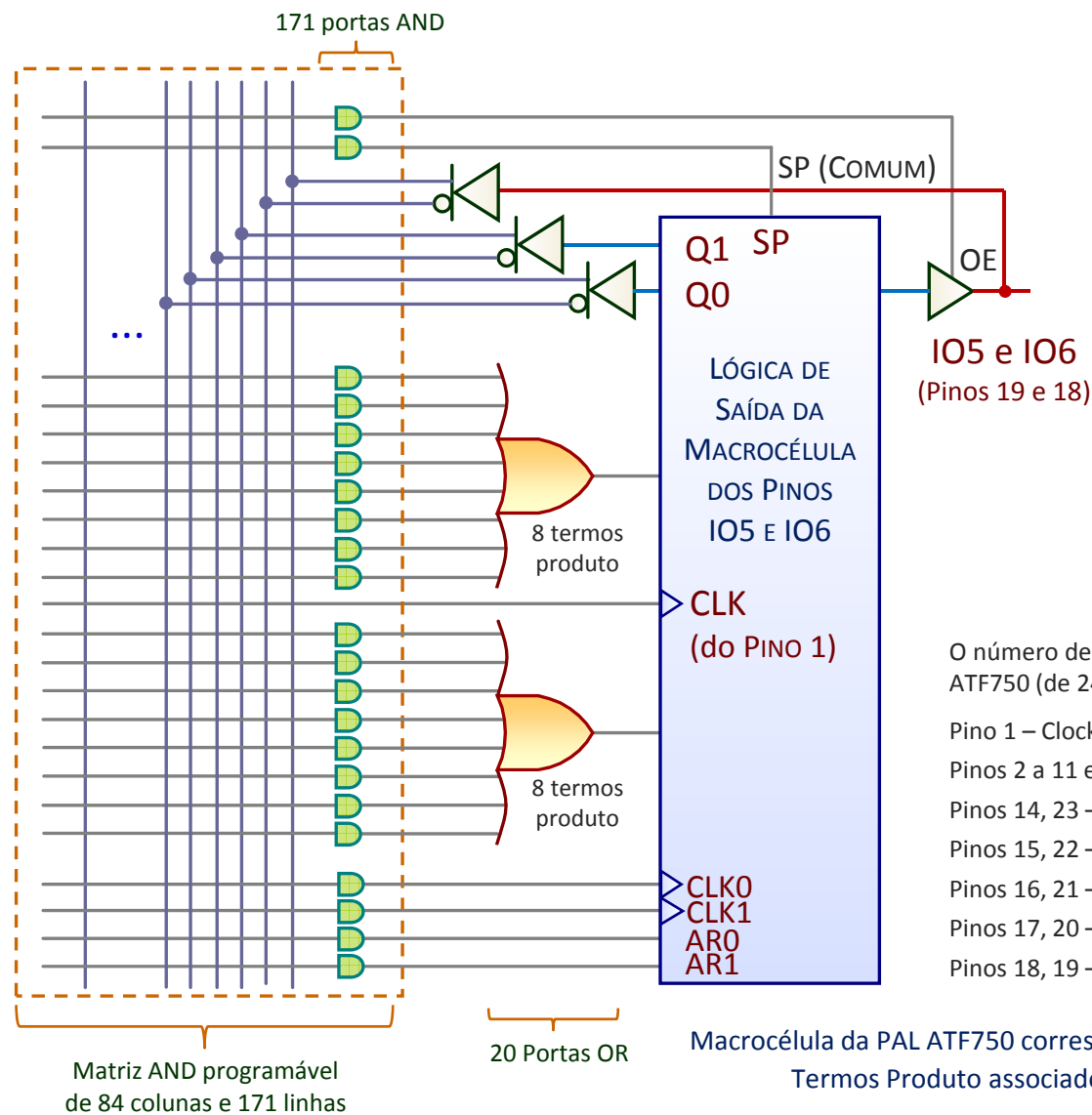
Tri-state activo, pino I/O configurado como SAÍDA.



Tri-state inactivo, pino I/O configurado como ENTRADA.



- Cada uma das 10 MACROCÉLULAS de saída pode assumir uma de quatro configurações possíveis:
 - saída COMBINATÓRIA ACTIVE-HIGH
 - saída COMBINATÓRIA ACTIVE-LOW
 - saída SEQUENCIAL ACTIVE-HIGH
 - saída SEQUENCIAL ACTIVE-LOW.
- Os dois bit de configuração são S_0 e S_1 . As saídas combinatórias não passam pelo flip-flop.
- A realimentação combinatória é feita a partir da saída do BUFFER TRI-STATE inversor, e só é possível se o pino I/O correspondente for configurado como saída.
- A realimentação sequencial (da matriz AND programável) é feita com a saída complementada do flip-flop respectivo.



PAL ATF750

1	CLK/I ₁	
2	I ₂	IO ₁ 23
3	I ₃	IO ₂ 22
4	I ₄	IO ₃ 21
5	I ₅	IO ₄ 20
6	I ₆	IO ₅ 19
7	I ₇	IO ₆ 18
8	I ₈	IO ₇ 17
9	I ₉	IO ₈ 16
10	I ₁₀	IO ₉ 15
11	I ₁₁	IO ₁₀ 14
13	I ₁₂	

Símbolo lógico da PAL ATF750C.

O número de Termos Produto por cada uma das 10 Macrocélulas da ATF750 (de 24 pinos) é variável de 2x4 a 2x8 como indicado:

Pino 1 – Clock e Entrada I₁

Pinos 2 a 11 e 13 – Entradas I₂ a I₁₂

Pinos 14, 23 – IO₁₀ e IO₁ Programáveis com 2x4=8 Termos Produto

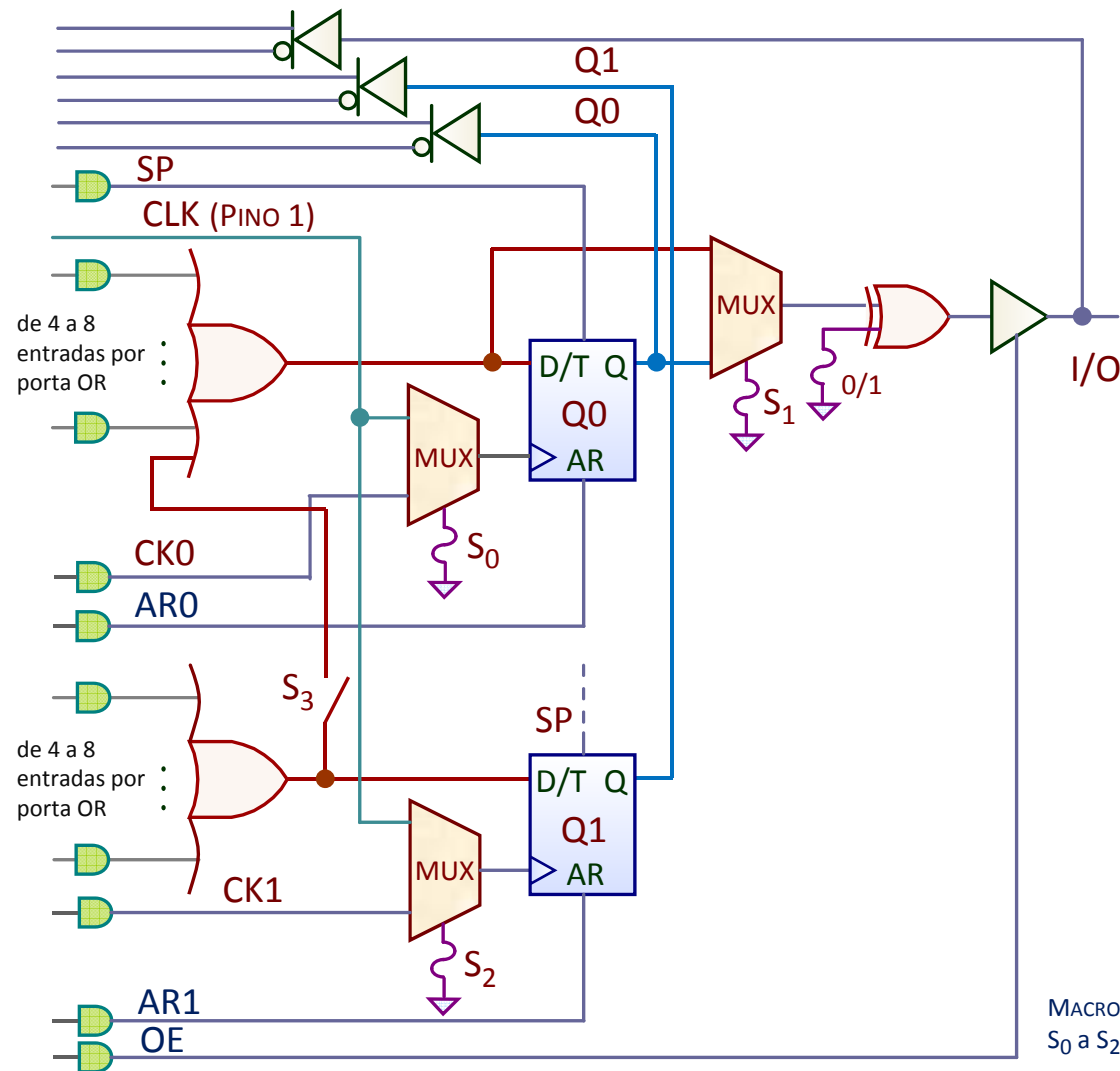
Pinos 15, 22 – IO₉ e IO₂ Programáveis com 2x5=10 Termos Produto

Pinos 16, 21 – IO₈ e IO₃ Programáveis com 2x6=12 Termos Produto

Pinos 17, 20 – IO₇ e IO₄ Programáveis com 2x7=14 Termos Produto

Pinos 18, 19 – IO₆ e IO₅ Programáveis com 2x8=16 Termos Produto

Macrocélula da PAL ATF750 correspondente às saídas IO5 e IO6 (que possuem 8 Termos Produto associados a cada um dos dois Termos Soma).



A PAL ATF750C/CL é um superset da PAL 22V10.

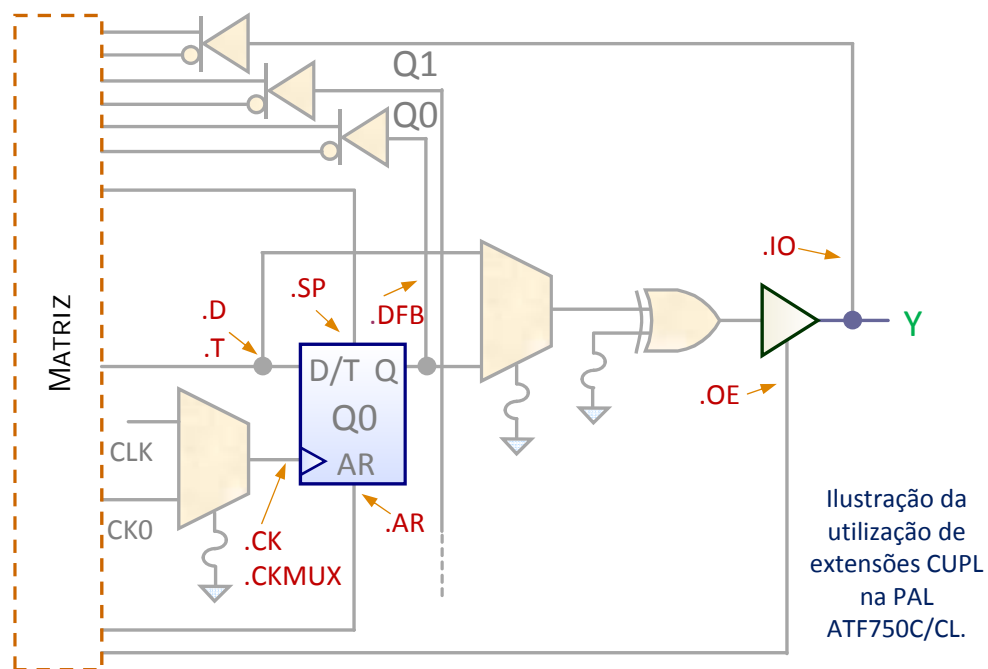
Tem o mesmo pin-out, o mesmo número de entradas, de saídas e de macrocélulas mas apresenta uma maior densidade de integração.

Possui 2 flip-flops por Macrocell num total de 20 que podem ser configurados individualmente como sendo do tipo D ou do tipo T.

O sinal de relógio (CLK) e de RESET ASSÍNCRONO (AR) de cada um dos flip-flops pode ser controlado individualmente por um termo produto. Um multiplexer permite seleccionar a origem do sinal de relógio aplicado a cada um dos flip-flops.

O SET SÍNCRONO de todos os flip-flops é controlado por um sinal síncrono comum a todos proveniente de um termo produto.

MACROCÉLULA da PAL ATF750 configurável pelos selectores S_0 a S_2 e com polaridade de saída programável.



A programação duma macrocélula da PAL ATF750 inclui a configuração do pino correspondente como entrada, saída ou entrada/saída e do sinal de controlo do tri-state de saída. Um pino de saída ou de entrada/saída pode ser configurado como combinatório ou sequencial.

Num flip-flop, é necessário configurar as entradas de reset (AR), preset (SP) e de relógio, bem como o tipo de flip-flop (D ou T).

As extensões CUPL válidas para esta PAL são: OE (controlo do tri-state de saída), AR, SP, D, T, DFB (sinais associados aos flip-flops), CK, CKMUX (sinais associados à configuração do sinal de relógio) e IO (sinal associado à identificação da realimentação do pino).

EXTENSÃO	DESCRIÇÃO
.AP	PRESET assíncrono do flip-flop
.AR	RESET assíncrono do flip-flop
.CE	Entrada ENABLE de flip-flop tipo D
.CK	Clock programável de flip-flop
.CKMUX	Seleccção de clock
.D	Entrada D de flip-flop tipo D
.DFB	Ligação de retorno registada (de flip-flop tipo D)
.DQ	Saída Q de flip-flop tipo D
.INT	Ligação interna de retorno registada
.IO	Seleccção de ligação de retorno
.J	Entrada J de flip-flop tipo JK
.K	Entrada K de flip-flop tipo JK
.L	Entrada D de latch transparente
.LE	ENABLE de latch programável
.LQ	Saída Q de latch transparente
.OE	Entrada de controlo tri-state
.R	Entrada R de flip-flop tipo SR
.S	Entrada S de flip-flop tipo SR
.SP	PRESET síncrono de flip-flop
.T	Entrada T de flip-flop tipo T
.TFB	Ligação de retorno registada (de flip-flop tipo T)

Extensões possíveis na linguagem CUPL.

Algumas das extensões possíveis no CUPL só são aplicáveis a determinados dispositivos programáveis.

Os sinais AR (reset assíncrono) dos flip-flops são configurados individualmente com um termo produto. O sinal SP (preset síncrono) dos flip-flops é comum a todos e é configurado como um único termo produto. Os three-states de saída também são configurados individualmente através dum termo produto. As extensões do CUPL utilizadas são .AR, .SP e .OE.

```
O23.ar = I1;
O23.sp = I2;
O23.oe = I2 & I4;
O21.oe = 'b'1;
```

Troço de linguagem CUPL exemplificando a atribuição dos sinais AR, SP e OE.

Cada um dos registos pode ser configurado com um sinal de relógio independente proveniente de um termo produto ou directamente do pino de relógio (pino 1). A configuração do sinal de relógio é feita com as extensões .CK e .CKMUX (sendo esta última utilizada para o clock síncrono proveniente do pino 1).

No caso de se pretender usar o sinal directamente do pino de relógio, é necessário associar um nome ao pino 1 que será depois atribuído à entrada de relógio do flip-flop, usando-se o nome do nó ou do pino a que está associado esse flip-flop, seguido da extensão .CKMUX.

No caso de se pretender usar um relógio proveniente de um termo produto, deve-se usar o nome do nó ou do pino a que está associado o flip-flop seguido da extensão .CK.

```
PIN 1 = sync_clk;
PIN [2,3] = [async_clk,en];
O22.ckmux = sync_clk;
O23.ck = async_clk & I1;
O23Q1.ck = sync_clk;
```

Troço de linguagem CUPL ilustrando a configuração dos sinais de relógio.

O flip-flop associado à saída O22 recebe um sinal de relógio directo do pino 1.

O flip-flop Q0 associado ao pino O23 (O23) recebe um sinal de relógio vindo de um termo produto (async_clk & I1). O flip-flop Q1 associado ao nó O23 (O23Q1) recebe um sinal de relógio de um termo de produto, que neste exemplo é formado apenas pelo sinal aplicado ao pino 1 (sync_clk).

O22 e o O23Q1 recebem o mesmo sinal de relógio, mas o primeiro recebe o sinal directamente, enquanto que o segundo recebe-o através de um termo produto.

Na PAL ATF750 cada flip-flop pode ser configurado como sendo do tipo D ou do tipo T usando-se as extensões .D ou .T, respectivamente, quando se definem as funções de entrada dos flip-flops.

```
O23.d = I1 & I2;
O22.t = I1 & I2;
```

Troço de linguagem CUPL ilustrando a identificação do tipo de flip-flop.

Qualquer que seja a configuração de uma MACROCÉLULA, um flip-flop não associado a um pino de saída é designado flip-flop INTERNO (BURIED) .

Na PAL ATF750 o flip-flop Q1 é sempre interno, mas o flip-flop Q0 pode ser interno ou estar associado a um pino I/O. O flip-flop Q1 interno em cada macrocélula é identificado em CUPL por um número de nó (PINNODE NUMBER).

O flip-flop Q0 em CUPL é identificado por um número de nó quando usado como interno, e um número de pino (PIN NUMBER) quando associado a um pino I/O.

Exemplo: Q0, que pode ser identificado como PIN 17 ou PINNODE 38, e Q1 identificado como PINNODE 28, pertencem à mesma MACROCÉLULA. A identificação do flip-flop Q0 por um número de nó só deve ser feita quando Q0 é interno e o pino usado como uma entrada.

MACROCÉLULA I/O PIN	Q0 PIN NUMBER	Q0 NODE NUMBER	Q1 NODE NUMBER
14	14	35	25
15	15	36	26
16	16	37	27
17	17	38	28
18	18	39	29
19	19	40	30
20	20	41	31
21	21	42	32
22	22	43	33
23	23	44	34

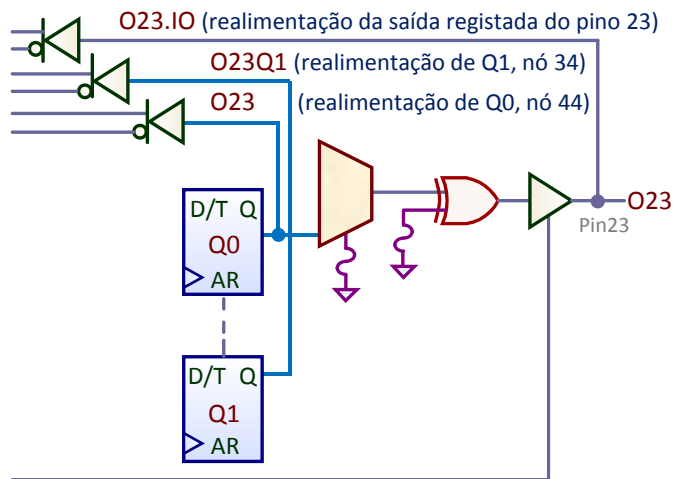
Identificação dos nós e dos pinos,
correspondendo cada linha da
tabela a uma macrocélula.

```

PIN [1, 2, 3, 4, 5] = [I1, I2, I3, I4, I5]; /* 5 pinos de entrada */
PIN [20, 21, 22, 23] = [O20, O21, O22, O23]; /* 4 pinos a usar como combinatórios ou sequenciais*/
PINNODE [34, 44, 31] = [O23Q1, O23Q0, O20Q1]; /* 3 nós internos, 2 com Q1 e um outro com Q0*/
    
```

Troço de linguagem CUPL exemplificando a atribuição de pinos e de nós para uma PAL ATF750.





Identificação dos pontos de realimentação.

Cada Macrocélula tem três caminhos de realimentação (feedback) para a matriz configurável, provenientes do:

- flip-flop Q0
- flip-flop Q1
- pino de saída.

Os caminhos de realimentação com origem nas saídas dos flip-flops permitem a sua utilização independente da configuração dos pinos de entrada/saída.

No caso de uma saída **combinatória**, a realimentação vem sempre do próprio pino e é por isso identificada pelo nome do pino.

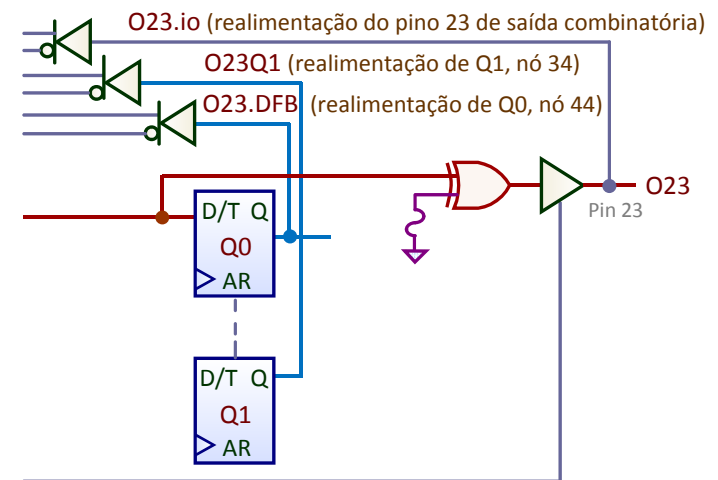
No caso de uma saída **registada**, a realimentação pode vir:

- do pino usando-se o nome do pino acompanhado da extensão .IO (ex. O23.IO), ou
- do registo Q0 associado (ex. O23), ou
- do registo Q1 associado (ex. O23Q1).

Troço em CUPL com exemplificação dos pontos de realimentação.

Atribuiu-se à saída O21 a soma lógica de 3 variáveis pertencentes à mesma macrocélula:

- o pino O23 (O23.io),
- a saída do registo Q0 (O23), e
- a saída do registo interno Q1 (O23Q1).



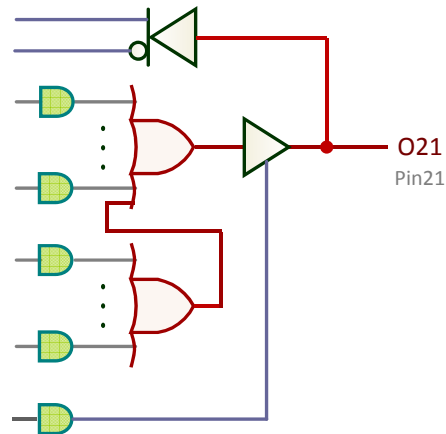
Identificação do ponto de realimentação com saída combinatória registrada em Q0.

Utiliza-se então a extensão .DFB associada ao nome do pino para identificar a saída do flip-flop Q0 (ex. O23.DFB).

```
O23 = I3;  
O20.d = O23.dfb; /* atribuição ao flip-flop Q0 (O20) do valor  
realimentado vindo da saída do flip-flop Q0 (O23.dfb) */
```

Troço em CUPL com exemplificação do ponto de realimentação numa saída combinatória de valor registado.

A macrocélula da ATF750C/CL permite várias configurações.



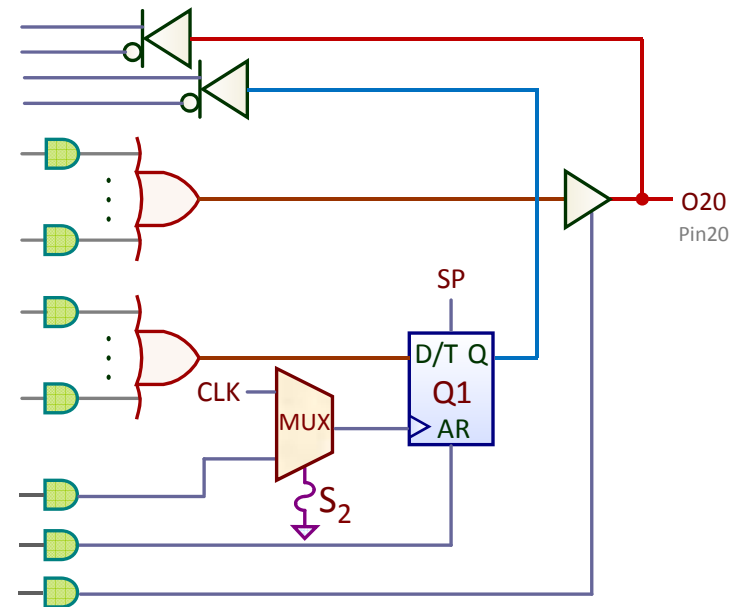
Configuração para saída combinatória.

Na configuração com saída combinatória (a mais simples) o multiplexador de saída é configurado para a entrada combinatória.

O Sel3 (S3) é ligado permitindo a utilização dos termos produto provenientes do termo soma inferior, uma vez que o flip-flop Q1 correspondente não está a ser utilizado.

$$O21 = I1 \# !I2 \& I3 \# I4 \# I5;$$

Troço em CUPL com ilustração duma saída combinatória.



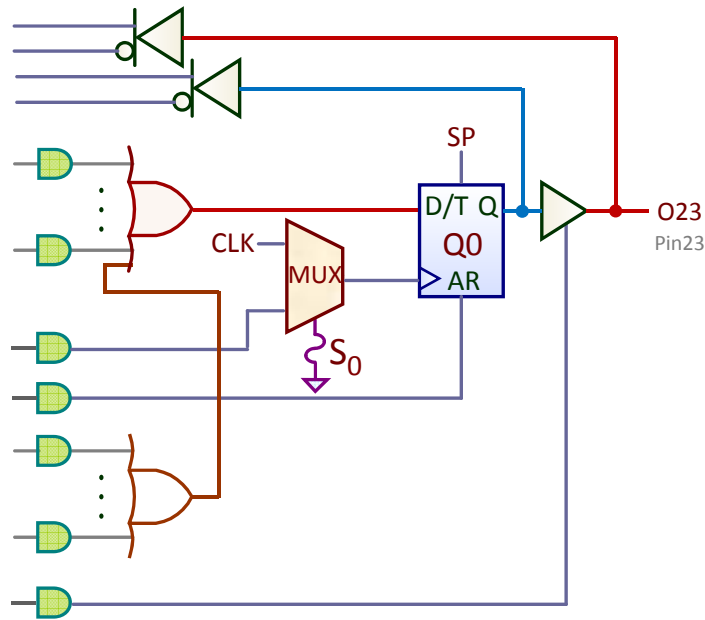
Configuração para saída combinatória mais um flip-flop.

A configuração com saída combinatória mais um flip-flop interno (buried) pode ser usada quando o circuito inclui uma saída combinatória e uma variável registada (em Q1) que não tem de ser enviada para um pino de saída. Nesta configuração não é possível associar os termos produto do termo soma inferior aos do termo soma superior, pois estão a ser usados pelo flip-flop inferior (Q1).

$$O20 = I3 \& !I4;$$

$$O20Q1.d = I2 \# I3 \# I4;$$

Troço em CUPL com ilustração duma saída combinatória mais um flip-flop.



Configuração para saída sequencial
(registered output).

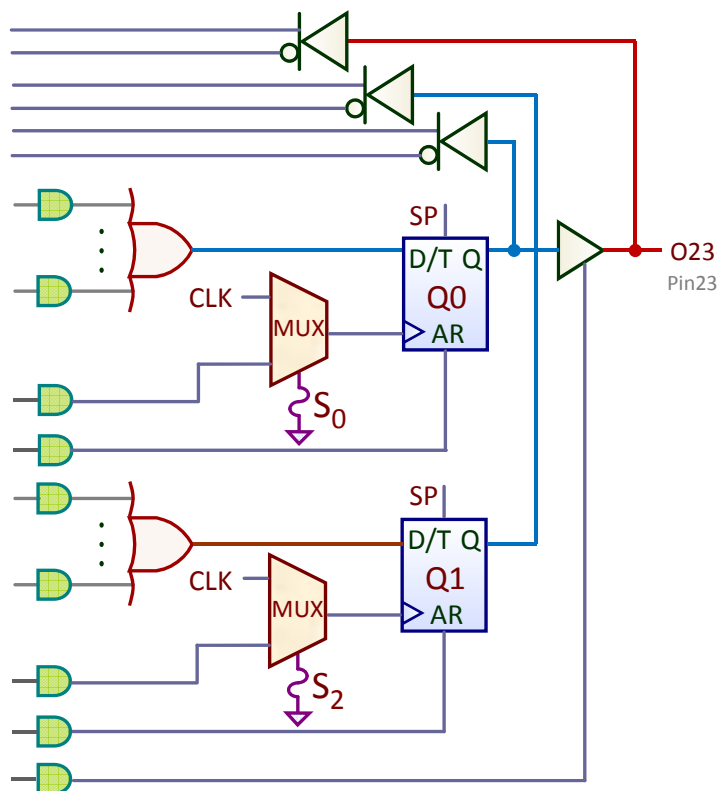
A saída sequencial da Fig. faz uso do flip-flop superior Q0 que tem um caminho directo para o pino de saída (solução mais simples).

Os termos produto do OR inferior podem-se adicionar-se ao OR superior (o flip-flop inferior Q1 não está a ser usado).

Também é possível usar o flip-flop inferior Q1 mas a sua saída não tem um caminho directo para a saída, sendo necessário usar a realimentação para a matriz AND programável para ele poder aparecer numa saída combinatória.

$$O23.d = I1 \# I2 \& I3 \# I4 \# I5;$$

Troço em CUPL com ilustração duma saída sequencial.



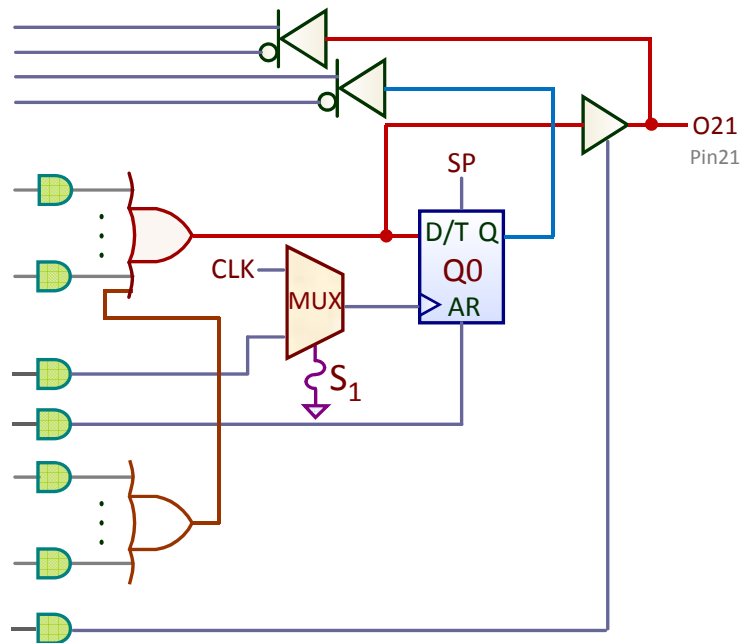
Nesta configuração o flip-flop superior Q0 gera uma saída registada e o inferior Q1 regista uma variável interna.

$$O23.d = I1 \ \& \ I2;$$

$$O23Q1.d = I3 \ \& \ I4;$$

Troço em CUPL com ilustração duma saída sequencial mais um flip-flop interno.

Configuração para saída sequencial mais um flip-flop interno.



Saída combinatória com registo do valor no flip-flop interno.

Esta configuração ilustra a utilização de uma macrocélula com saída combinatória, em que o valor de saída é registado no flip-flop respectivo.

Nesta configuração, o segundo flip-flop pode ser usado ou não.

No exemplo da figura não foi utilizado, permitindo que os seus termos produto fossem usados no termo de soma superior.

$O21 = I3 ;$

$O21.ck = CLK ;$

$O23.d = O21.dfb ;$

Troço em CUPL com ilustração de uma saída combinatória com registo num flip-flop interno.

1. **LSD-7 – FLIP-FLOPS E PAL SEQUENCIAL**
2. Célula de Memória Elementar
3. Latch S-R simples: Circuito Sequencial Básico
4. Latch S-R (Set-Reset)
5. Latch S-R (Set-Reset): Estado Proibido e Racing
6. Latch S-R com entradas Active-low
7. Latch S-R-E Controlado ou Sincronizado (Set-Reset com Enable)
8. Latch D
9. Flip-flop D Edge-triggered
10. Flip-flop D Edge-triggered
11. Impulsos de Relógio e Flip-flops Edge-triggered
12. Latch D e Flip-flop D
13. Diagrama de Estados
14. Flip-flop J-K edge-triggered
15. Flip-flop T edge-triggered
16. Fluxogramas dos Flip-flops Edge-triggered
17. Síntese de Flip-flops a partir de outros Flip-flops
18. Entradas Assíncronas
19. Flip-flops MSI da Família TTL
20. Caracterização Temporal de Flip-flops
21. Caracterização Temporal de Flip-flops
22. Sincronização Temporal
23. Ressalto (Bounce) de Comutadores
24. Debounce de Comutadores SPDT
25. Circuito Sequencial Iterativo



26. Estrutura Interna Duma PAL Sequencial
27. Símbolos Lógicos Tradicionais de Algumas GALs e PALs
28. PAL 16R8 – Diagrama Lógico e Pin-out
29. PAL 16R6 – Diagrama Lógico e Pin-out
30. Arquitectura Funcional Interna da PAL 22V10
31. Macro célula de uma PAL 22V10
32. Configurações dos Pinos Terminais I/O da PAL 22V10
33. Variantes Programáveis da Estrutura da Macro célula da PAL 22V10
34. Diagrama Lógico Funcional de uma Macro célula da PAL ATF750
35. Arquitectura Interna de uma Macro célula da PAL ATF750C/CL
36. Configuração da PAL ATF750C/CL em CUPL e Extensões Aplicáveis
37. Configuração dos Sinais de um Flip-flop e do seu Tipo
38. Atribuição de Nós e Pinos
39. Realimentações dos Nós e do Pino de cada Macro célula
40. Realimentações dos Nós e do Pino de cada Macro célula
41. Configuração da Macro célula para Saída Combinatória
42. Configuração da Macro célula para Saída Sequencial
43. Configuração da Macro célula para Saída Sequencial mais um Flip-flop
44. Configuração da Macro célula com Pino de I/O usado como Entrada
45. Configuração da Macro célula para Saída Combinatória com Registo no Flip-flop
46. LSD – 7 Índice 1
47. LSD – 7 Índice 2

