

Universidade Federal de Campina Grande Departamento de Sistemas e Computação

Disciplina: Organização e Arquitetura de Computadores

Profa.: Joseana Macêdo Fechine Régis de Araújo

Turma: 02

Alunos: 116210932 - Lucas Matheus Ferreira Barreto 115111825 - Pabllo Rodolfo Santos de Lima

> 116211361 - Victor Ribeiro Miranda 114110498 - Wellington Araújo Silva

## Relatório do Projeto Final

## **OBSERVAÇÕES**

- Esta atividade será realizada por uma equipe de cinco alunos.
- Os projetos deverão ser implementados no simulador RISC-V (Ex.: SPIKE).
- Nota máxima: 2,5 (dois, cinco pontos).

## **DESCRIÇÃO**

- A atividade consiste na implementação de um código que explore os conhecimentos adquiridos nas disciplinas OAC e LOAC (usar a criatividade!).
- Deverão ser entregues o código (comentado) e relatório.
- Itens do relatório:
  - o Código em assembly e em linguagem de máquina
  - Descrição da operação realizada pelo código.
  - o Telas que ilustrem as operações realizadas.
  - Descrição dos conhecimentos explorados na implementação.

Código em Assembly comentado disponível em <a href="https://github.com/pabllorsl/OACProjetoFinal">https://github.com/pabllorsl/OACProjetoFinal</a>

# Código em linguagem de máquina:

# Screenshot das "tirinhas" iniciais Screenshot das "tirinhas" finais

∭ΓL1	101-b 4C M-::d-d-C:-:1]#:b d -l	. H	1	۸.	A	(000049007) 1	-0 0(-0)
: [Dapi	.orsl@labarc-16 MaioridadeCivil]\$ spike -d pk	( Maioridadecivii	. core		0xfffffffff80004360 0xfffffffff80004364		a2, 0(s0) a3, 4(s0)
core	0: 0x0000000000001000 (0x00000297) auipc	t0, 0x0	core			(0x00d667b3) or	a5, a2, a3
core	0: 0x00000000000001004 (0x02028593) addi	a1, t0, 32	core		0xfffffffff8000436c 0xfffffffff80004360	(0x00042603) lw	a5, pc - 12 a2, 0(s0)
:	0. 0.0000000000000000000000000000000000	-0	core			(0x00442683) 1w	a3, 4(s0)
core	0: 0x00000000000001008 (0xf1402573) csrr	aO, mhartid	core			(0x00d667b3) or (0xfe078ae3) begz	a5, a2, a3 a5, pc - 12
core	0: 0x000000000000100c (0x0182a283) lw	t0, 24(t0)	core			(0x00042603) 1w	a2, 0(s0)
core	0: 0x00000000000001010 (0x00028067) jr	t0	core		0xfffffffff80004364 0xfffffffff80004368	(0x00442683) lw (0x00d667b3) or	a3, 4(s0) a5, a2, a3
:	A. A. COCCOCCOCCACACACACACACACACACACACACACACA	0000	core			(0xfe078ae3) begz	a5, pc - 12
core	0: 0xffffffff80000000 (0x2000006f) j	pc + 0x200	core			(0x00042603) lw (0x00442683) lw	a2, 0(s0) a3, 4(s0)
core	0: 0xffffffff80000200 (0x00000093) li	ra, 0	core			(0x00d667b3) or (0xfe078ae3) beqz	a5, a2, a3 a5, pc - 12
core	0: 0xffffffff80000204 (0x00000113) li	sp, 0	core		0xfffffffff80004360	(0x00042603) lw	a2, 0(s0)
: core	0: 0xffffffff80000208 (0x00000193) li	gp, 0	core			(0x00442683) lw (0x00d667b3) or	a3, 4(s0) a5, a2, a3
<b> </b> :			core	0;	0xffffffff8000436c	(0xfe078ae3) beqz	a5, pc - 12
core :	0: 0xffffffff8000020c (0x00000213) li	tp, 0	core		0xfffffffff80004360 0xfffffffff80004364	(0x00042603) lw (0x00442683) lw	a2, 0(s0) a3, 4(s0)
core	0: 0xffffffff80000210 (0x00000293) li	t0, 0	core	0;	0xffffffff80004368	(0x00d667b3) or	a5, a2, a3
: core	0: 0xffffffff80000214 (0x00000313) li	t1, 0	core core			(0xfe078ae3) beqz (0x00042603) lw	a5, pc - 12 a2, 0(s0)
<b> </b> :			core	0:	0xffffffff80004364	(0x00442683) lw	a3, 4(s0)
core :	0: 0xffffffff80000218 (0x00000393) li	t2, 0	core			(0x00d667b3) or (0xfe078ae3) begz	a5, a2, a3 a5, pc - 12
core	0: 0xffffffff8000021c (0x00000413) li	s0, 0	core	0:	0xffffffff80004360	(0x00042603) lw	a2, 0(s0)
; core	0: 0xffffffff80000220 (0x00000493) li	s1, 0	core			(0x00442683) lw (0x00d667b3) or	a3, 4(s0) a5, a2, a3
:	0. 0		core			(0xfe078ae3) begz	a5, pc - 12
core :	0: 0xffffffff80000224 (0x00000613) li	a2,0	core		0xfffffffff80004360 0xfffffffff80004364	(0x00042603) lw (0x00442683) lw	a2, 0(s0) a3, 4(s0)
core	0: 0xffffffff80000228 (0x00000693) li	a3, 0	core			(0x00d667b3) or (0xfe078ae3) begz	a5, a2, a3 a5, pc - 12
core	0: 0xffffffff8000022c (0x00000713) li	a4, 0	core			(0x00042603) lw	a2, 0(s0)
: core	0: 0xffffffff80000230 (0x00000793) li	a5, 0	core core			(0x00442683) lw (0x00d667b3) or	a3, 4(s0) a5, a2, a3
:		45, 4	core	0:	0xfffffffff8000436c	(0xfe078ae3) beqz	a5, pc - 12
core	0: 0xffffffff80000234 (0x00000813) li	a6,0	core			(0x00042603) lw (0x00442683) lw	a2, 0(s0) a3, 4(s0)
core	0: 0xffffffff80000238 (0x00000893) li	a7, 0	core	0:	0xffffffff80004368	(0x00d667b3) or	a5, a2, a3
: core	0: 0xffffffff8000023c (0x00000913) li	s2, 0	core			(0xfe078ae3) beqz (0x00042603) lw	a5, pc - 12 a2, 0(s0)
<b> </b> :			core	0:	0xffffffff80004364	(0x00442683) lw	a3, 4(s0)
core :	0: 0xffffffff80000240 (0x00000993) li	s3, 0	core			(0x00d667b3) or (0xfe078ae3) beqz	a5, a2, a3 a5, pc - 12
core	0: 0xffffffff80000244 (0x00000a13) li	s4, 0	core	0:	0xffffffff80004360	(0x00042603) lw	a2, 0(s0)
core	0: 0xffffffff80000248 (0x00000a93) li	s5, 0	core			(0x00442683) lw (0x00d667b3) or	a3, 4(s0) a5, a2, a3
: core	0: 0xffffffff8000024c (0x00000b13) li	s6, 0	core			(0xfe078ae3) beqz (0x00042603) lw	a5, pc - 12 a2, 0(s0)
:	0, 02777777780000240 (0200000013) 11	50, 0	core	0:	0xffffffff80004364	(0x00042603) 1w (0x00442683) 1w	a3, 4(s0)
core	0: 0xffffffff80000250 (0x00000b93) li	s7, 0	core			(0x00d667b3) or (0xfe078ae3) beqz	a5, a2, a3 a5, pc - 12
core	0: 0xffffffff80000254 (0x00000c13) li	s8, 0	core	0:	0xffffffff80004360	(0x00042603) lw	a2, 0(s0)
: core	0: 0xffffffff80000258 (0x00000c93) li	s9, 0	core			(0x00442683) lw (0x00d667b3) or	a3, 4(s0) a5, a2, a3
:			core	0:	0xfffffffff8000436c	(0xfe078ae3) beqz	a5, pc - 12
core	0: 0xffffffff8000025c (0x00000d13) li	s10, 0	core			(0x00042603) lw (0x00442683) lw	a2, 0(s0) a3, 4(s0)
core	0: 0xffffffff80000260 (0x000000d93) li	s11, 0	core	0:	0xffffffff80004368	(0x00d667b3) or	a5, a2, a3
core	0: 0xffffffff80000264 (0x00000e13) li	t3, 0	core			(0xfe078ae3) beqz (0x00042603) lw	a5, pc - 12 a2, 0(s0)
:	0: 0xffffffff80000268 (0x00000e93) li	t4, 0	core		0xfffffffff80004364 0xfffffffff80004368		a3, 4(s0)
core		14, 0	core		0xffffffff8000436c		a5, a2, a3 a5, pc - 12
core :	0: 0xffffffff8000026c (0x00000f13) li	t5,0	core core		0xfffffffff80004360 0xfffffffff80004364		a2, 0(s0) a3, 4(s0)
core	0: 0xffffffff80000270 (0x00000f93) li	t6, 0	core	0:	0xffffffff80004368	(0x00d667b3) or	a5, a2, a3
: core	0: 0xffffffff80000274 (0x34001073) csrw	mscratch, zero	core		0xfffffffff8000436c 0xfffffffff80004360		a5, pc - 12 a2, 0(s0)
:			core	0:	0xffffffff80004364	(0x00442683) lw	a3, 4(s0)
core	0: 0xffffffff80000278 (0x00000297) auipc	t0, 0x0	core		0xfffffffff80004368 0xfffffffff8000436c		a5, a2, a3 a5, pc - 12
core	0: 0xffffffff8000027c (0xd8c28293) addi	t0, t0, -628	core	0:	0xffffffff80004360 0xffffffff80004364	(0x00042603) lw	a2, 0(s0) a3, 4(s0)
core	0: 0xffffffff80000280 (0x30529073) csrw	mtvec, tO	core	0;	0xffffffff80004368	(0x00d667b3) or	a5, a2, a3
: D			core [pablic	O: orei	0xfffffffff8000436c l@labarc-16 Maiorida	(0xfe078ae3) beqz deCivill\$ N	a5, pc - 12
88[			and - Long 110				

#### Screenshot ilustrando as operações de teste realizadas.

```
[pabllorsl@labarc-16 MaioridadeCivil]$ riscv-gcc -01 -S MaioridadeCivil,c %% riscv-gcc MaioridadeCivil,s -o MaioridadeCivil %% spike pk MaioridadeCivil ligite o ano do seu mascimento;
1990
Voce tem 23 anos de idade
Voce atingiu a maioridade Civil
[pabllorsl@labarc-16 MaioridadeCivil]$ riscv-gcc -01 -S MaioridadeCivil,c %% riscv-gcc MaioridadeCivil,s -o MaioridadeCivil
Rigite o ano do seu mascimento;
1998
Voce tem 21 anos de idade
Voce atingiu a maioridade MaioridadeCivil]$ riscv-gcc -01 -S MaioridadeCivil,c %% riscv-gcc MaioridadeCivil,s -o MaioridadeCivil
Rigite o ano do seu mascimento;
1997
Voce tem 22 anos de idade
Voce atingiu a maioridade Civil
[pabllorsl@labarc-16 MaioridadeCivil]$ riscv-gcc -01 -S MaioridadeCivil,c %% riscv-gcc MaioridadeCivil,s -o MaioridadeCivil
Rigite o ano do seu mascimento;
2001
Voce tem 18 anos de idade
Voce atingiu a maioridade Civil
[pabllorsl@labarc-16 MaioridadeCivil]$ riscv-gcc -01 -S MaioridadeCivil,c %% riscv-gcc MaioridadeCivil.s -o MaioridadeCivil
Rigite o ano do seu mascimento;
2002
Voce tem 18 anos de idade
Voce atingiu a maioridade civil
[pabllorsl@labarc-16 MaioridadeCivil]$ riscv-gcc -01 -S MaioridadeCivil,c %% riscv-gcc MaioridadeCivil.s -o MaioridadeCivil
Rigite o ano do seu mascimento;
2002
Voce tem 17 anos de idade
Voce nao atingiu a maioridade civil
[pabllorsl@labarc-16 MaioridadeCivil]$ [
[pabllorsl@labarc-16 MaioridadeCivil]$ [
[pabllorsl@labarc-16 MaioridadeCivil]$ [
```

Para desenvolver o projeto, foram necessários alguns conhecimentos de Assembly, saber a diferença entre a arquitetura RISCV e a arquitetura Intel para gerar o código de máquina correto. Foi necessário também um certo entendimento da linguagem de máquina. Conhecimentos adquiridos, relacionados ao simulador SPIKE.

- 1. Assembly: Para desenvolvermos o projeto utilizamos uma ferramenta de conversão de código C para Assembly do RISCV. Houveram alguns problemas na utilização de entradas no começo, mas que posteriormente foram resolvidos com o uso de modularização no código C e na determinação de fim de linha para o uso de prints. Ou seja, quando usamos um printf em C para imprimir na tela em uma ordem específica, não sabíamos que seria necessário determinar o fim da linha no final da frase que iria ser impressa (uso de \n).
  - a. Descrição do problema de entrada:

Quando colocamos um printf sem o "\n" no código em C no fim da frase que iria ser impressa, o código em Assembly pedia primeiro as entradas ao usuário em vez de disponibilizar uma pergunta ao usuário, com a expectativa de receber valores condizentes com o propósito do programa.

- Diferença entre a arquitetura Intel e a RISCV: Nosso grupo comparou o Assembly da Intel e do RISCV, verificando diferenças tanto sintáticas como semânticas do código transformado de C.
- Entendimento da linguagem de máquina: Para acompanharmos as instruções geradas pelo código em Assembly do RISCV, foi necessário o conhecimento adquirido com as aulas de OAC/LOAC sobre "tirinhas".
- 4. Conhecimento sobre o simulador SPIKE: O conhecimento sobre o uso do simulador SPIKE, que foi adquirido nas aulas de LOAC, foi crucial para o desenvolvimento do projeto, dado que os testes e visualização dos resultados foram executados no SPIKE.