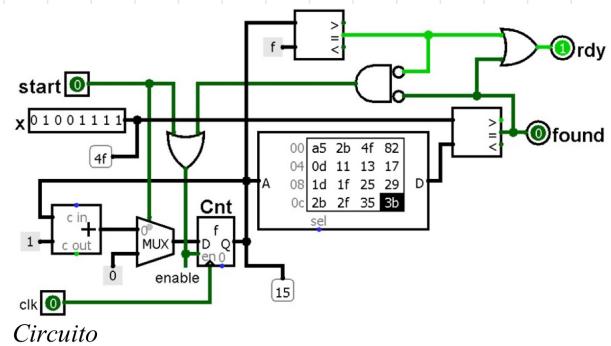


Parte b. (1 punto) Considere el circuito de arriba en la siguiente columna. Complete la siguiente tabla con los valores que toma cada señal hasta el ciclo 6 del reloj:

CIK:	ciclo	start	x (hex)	Cnt (hex)	enable	rdy	found
0-1	1	0	4f	f	0	1	0
0-1	2	1	4f	f	1	1	0
0-1	3	0	4f	0	1	0	0
0-1	4	0	4f	1	1	0	0
0-1	5	0	4f	2	0	1	1
0-1	6	0	4f	2	0	1	1



Parte c. (1 punto) La tabla de arriba en la siguiente columna muestra un extracto del estado inicial de un *caché* de 4 KB (2^{12} bytes) de un grado de asociatividad con 256 líneas de 16 bytes. Por ejemplo en la línea 6b del caché (en hexadecimal) se almacena la línea de memoria que tiene como etiqueta 86b (es decir, la línea que va de la dirección 86b0 a la dirección 86bf).

Un programa accede a las siguientes direcciones de memoria (en hexadecimal): 79c0, 86b4, a34c, 56b0, 79c4, a348, d340, 79c8, 86b8. Indique qué accesos a la memoria son aciertos en el caché, cuáles son desaciertos y rehaga la figura mostrando el estado final del cache. Observe que el caché no está vacío inicialmente y por lo tanto el acceso 79c0 es un acierto. Base su respuesta en el ejemplo que aparece al principio de este [video](#).

$$\rightarrow \text{Notemos que } L = D/16 \quad (D \gg 4) \Rightarrow LC = L \% 256$$

Accesos a dir. de memoria

1. $\rightarrow 79c0 \rightarrow L = 79c \Rightarrow LC = 9c \rightarrow$ linea cache
etiqueta contenido
9c 79c ✓
6b 86b ✓
34 a34
 $\therefore 79c0 \Rightarrow$ Acierto

Coincide, por lo que tenemos un acierto.

2. $\rightarrow 86b4 \rightarrow L = 86b \Rightarrow LC = 6b \rightarrow$ linea cache
etiqueta contenido
9c 79c ✓
6b 86b ✓
34 a34
 $\therefore 86b4$ es un acierto, pues está en la memoria

3. $\rightarrow a34c \rightarrow L = a34 \text{ y } LC = 34 \rightarrow$ linea cache
etiqueta contenido
9c 79c ✓
6b 86b ✓
34 a34 ✓
 $\therefore a34c$ es un acierto

4. $\rightarrow 56b0 \rightarrow L = 56b \text{ y } LC = 6b \rightarrow$ linea cache
etiqueta contenido
9c 79c ✓
6b 86b ✓
34 a34
accedemos
L.C. etiqueta
6b | 86b ≠ 56b
 $\therefore 56b0$ es un desacierto, pues está la etiq. 86b en la línea 6b. la etiq.
y luego, cambiamos 6b | 56b | ...

5. $\rightarrow 79c4 \rightarrow L = 79c \text{ y } LC = 9c \rightarrow$ linea cache
etiqueta contenido
9c 79c ✓
6b 86b ✓
34 a34
accedemos
9c | 79c ✓ | ...
 $\therefore 79c4$ es un acierto.

6. $\rightarrow a348 \rightarrow L = a34 \text{ y } LC = 34 \rightarrow$ linea cache
etiqueta contenido
9c 79c ✓
6b 86b ✓
34 a34 ✓
access.
 $\therefore a348$ es un acierto.

7. $\rightarrow d340 \rightarrow L = d34 \text{ y } LC = 34 \rightarrow$ linea cache
etiqueta contenido
9c 79c ✓
6b 86b ✓
34 a34
access.
34 | a34 ≠ d34
 $\therefore d340$ es un desacierto, pues está la etiq. a34 en la linea 34.
→ cambiamos a 34 | d34 | ...

8. $\rightarrow 79c8 \rightarrow L = 79c \text{ y } LC = 9c \rightarrow$ linea cache
etiqueta contenido
9c 79c ✓
6b 86b ✓
34 a34
access.
9c | 79c
 $\therefore 79c8$ es un acierto

9. $\rightarrow 86b8 \rightarrow L = 86b \text{ y } LC = 6b \rightarrow$ linea cache
etiqueta contenido
9c 79c ✓
6b 86b ✓
34 a34
access.
6b | 56b ≠ 86b
 $\therefore 86b8$ es un desacierto, pues está la etiq 56b en la linea 6b.
→ cambiamos a 6b | 86b | ...

→ Estado final

línea cache	etiqueta	contenido
9c	79c	
6b	86b	
34	d34	

Parte d. (1 punto) La tabla de la derecha muestra las instrucciones Risc-V ejecutadas por un programa. Haga un diagrama que muestre el ciclo en que se ejecuta cada etapa de las instrucciones, considerando una arquitectura (i) en pipeline con etapas *fetch*, *decode* y *execute*, y (ii) superescalar, con 2 pipelines con las mismas etapas de (i). Suponga que el salto en E no ocurre y el salto en F sí ocurre (y no hay ningún tipo de predicción de saltos). Base sus respuestas en los ejemplos que aparecen a partir del minuto 57:13 de este [video](#).

Instrucciones

i)	ciclo	Fetch	Decode	Execute
	1	A		
	2	B	A	
	3	C	B	A
	4	D	C	B
	5	E	D	C
	6	F	E	D
	7	G	F	E
	8	H	G	F
	9	P		
	10	Q	P	
	11		Q	P
	12			Q

no ocurre el salto

ii)

ii)	ciclo	Fetch	Decode	Execute
	1	AB		
	2	CD	AB	
	3		B	A
	4	EF	CD	B
	5	GH	EF	CD
	6		F	E
	7	IJ	GH	F
	8	PQ		
	9		PQ	
	10			PQ

$$\begin{aligned} a1 &= a2 + a3 \\ t4 &= a1 \& 7 \\ t5 &= t4 + 1 \end{aligned}$$

$$a1 < t4$$

$\rightarrow E$ no salta } no se pueden ejecutar 2
 $\rightarrow F$ si salta saltos al mismo tiempo